

SPICE를 이용한 GaAs 연산증폭기 설계.

전 주 성, 강 희 조, 김 길 상, 최 승 철  
 숭실대학교 전자공학과

GAAS OP AMP DESIGN USING SPICE

Joo Sung JEON, Heau Jo KANG, Kil Sang KIM, Seung Chul CHOI  
 Dept. of Electronics Eng., Soong Sil University

ABSTRACT.

An operational amplifier has been designed using GaAs MESFET. This amplifier is GaAs op amp designed as a stand-alone component reported in the reference. The amplifier has a differential input, an open-loop gain in excess of 60dB, and is internally compensated. The high open-loop gain (60dB at 100kHz) was achieved by using gain stages with positive feedback. The op amp incorporates a current-mirror level-shifting stage which allows the op amp to operate over a wide power supply range (1.5-9V). Previous designs have used diodes to achieve level shifting, a practice that precludes operation over a wide supply range. All designs were based on computer simulations, with SPICE, using FET model.

1. 서 론

본 논문은 실리콘에 비해 빠른 전하이동속도와 적은 기생용량을 가지므로써 초고속 저소비 전력, 넓은 동작온도 범위 등의 많은 특성을 갖는 III-V 족 화합물 반도체 중의 하나인 GaAs MESFET 를 이용한 depletion mode의 연산증폭기를 설계 하였다. 이 연산증폭기는 내부에서 보상이 되고 일반적인 목적을 가진 실리콘 연산증폭기와 비슷한 특성을 갖도록 설계 되었으며 높은 이득 대역폭을 갖도록 하였다. 그리고 입력 OFFSET 전압, 온도와 입력 OFFSET 전압 drift와 같은 특성들 또한 설계에서 고려 하겠다. GaAs MESFET 의 단자 V-I 특성들을 실리콘 n 채널 JFET 와 매우 유사하므로 실리콘 JFET 회로 Topology 는 GaAs MESFET 회로 설계에서 출발점으로 삼았다. 그러나 실리콘 JFET 는 광범위하게 사용 하지 못하고 어떤 연산증폭기도 JFET 로 완전하게 구성된 것이 없으므로 NMOS 연산증폭기 [1]-[3]으로 MESFET 로 회로 설계를 할때 약간의 회로 Topology 를 마련했다. 즉 Single Ended Converter 에서 Double Ended의 사용,

Cascode 설계, 높은 Open Loop 이득을 얻는 CURRENT BUFFER 등이며 JFET 와 비슷한 입력 구조의 MESFET 는 level shift 를 0.7V 보다 적게 제한 했다.

본 논문에서의 GaAs 연산증폭기는 독자적인 CURRENT MIRROR 가 포함 되는것을 표시하였으며 Interstage level shifter는 Depletion mode n 채널 MESFET 의 특성을 양립 할수있게 설계 하겠다.

2. 소자의 특성고찰.

본 논문은 표준 1um gate depletion mode MESFET로 설계 되었으며, gate를 제외하고는 3um의 minimum feature size를 사용했다. MESFET는 1.5V pinchoff 전압을 가지고 모든 다이오드는 0.7V의 turn on 전압을 가진 Schottky barrier이다.

50um MESFET의 dc 특성은 Fig. (a)에서 보여지고, 그의 등가회로는 Fig.1(b)에 보여진다.

주파수함수로서 측정된 Rds의 값은 Fig.1(c)에 보여진다. Fig.1(a)와(c)의 출력저항대주파수로부터 stage당 취할 수 있는 최대이득, gm.Rds를 볼수있다. 실리콘과는 달리 GaAs 기판재료(substrate material)는 약 10E12 Ohm-cm의 고유저항을 가진 반절연체(semi insulating)이다. 이러한 높은 고유저항때문에 backgating 효과는 드레인전류를 계산할때 무시할수있는것이므로 충분히 약해진다.

3. 회로설계.

Fig.2에서 총괄적인 회로외형이 보여진다. Fig.2는 Miller 보상을 가진 전형적인 2단 연산증폭기를 보인다. source follower buffer [1], [2]에서 고주파에서 출력을 통과하는 신호feeding으로로부터 방지하는 Cc는 두번째이득단(stage)의 출력에서 사용되었다. 그리고 Rc는 신호붕괴를 최소화할 위해서이며, low-power high-frequency level shifter의 방지를 위해 feed-forward capacitor Cf가 필요로 했다.

A. 입력 단

입력단으로 사용된 수정된 자동증폭기는 Fig-3 에서 보았다. Rds의 ac 값(100 KHz 이상)이 여기에서 사용 되었다. Fig-3의 이득과 CMRR 은 (1), (2)로 부터 얻을수

있다.

$$\text{gain} = \frac{g_{m1} R_{DS4}}{2} \approx 20 \quad (1)$$

$$\text{CMRR} = \text{gain} \times g_{m5} R_{DS6} \approx 400. \quad (2)$$

인산증폭기를 위한 중요한 파라미터는 common-mode range 이다. Fig.3을 위한 정(positive) 방향에서 common-mode range는 정적전압 $V_0$ 에 의해서 결정된다. 손실된 이득없이 취할 수 있는 가장 큰 positive common-mode range는 2V이며, 이 2V의 조건은 포화상태에서 M4를 유지해야 한다.

### B. LEVEL SHIFTER

중간단 level shifter 는 Fig.4 에서 보여진 MESFET CURRENT MIRROR 로 설계 하였다. 만약 Fig.4 에서 M7이 M8 과 같이 폭 같은 폭 이라면, 그리고 FET가 포화 상태 라면, 그때  $I_0 = I_0'$  이다. M10 과 M11 는 M7 과 M8 의 외관상 출력 Conductance 가 감소하는 것을 포함 하며, D1 과 D2 는 M12 내에서 혹은 근처에서 포화상태를 유지 하는데 충분한 level shift 를 공급한다.

마찬가지로 D3-D6 는 포화 상태에서 M7, M8 그리고 M10 이 유지 하는데 사용 되었다. M7, M8, M10 그리고 M11 는 같은 폭이 되도록 선택되었고 FET 가  $I_0$  를 가진 게이트 소오스 전압  $V_{gs}$  가 Zero 를 가지기 위하여 그 폭을 선택 하였다. Fig.3 과 Fig.4 를 포함하는 완전한 level shifter 는 Fig.5 에서 보여진다.

Level shifter 의 동작이 상술된 전개식은 아래로부터 시작 된다. Level shift 를 설정 하는데 필수인 전압강하는 resistor R1 을 지나 거의 완전 하게 나타난다.

CURRENT MIRROR 의 작동에 의해  $I_0 = I_0'$  때문에 전압강하  $V_4 - V_3$  는 계산식 에서 상술 된 것 처럼  $V_2 - V_5$  와 비슷하다.  $(V_4 - V_3) = (V_2 - V_5) = V_{LS} \dots (3)$ , 만약 정적조건(quietest condition)  $V_2 - V_4$  상태에서 (3) 의 식은  $V_5 = V_3 \dots (4)$  가 된다. Fig.5 로 부터  $V_3 = V_{SS} + 1.4 + V_{gs7} \dots (5)$  가 된다.

만약  $V_{gs7}$  이 nominal power supply voltage 에서 Zero 되게 하기 위해서 R1 이 선택 되었다면, 그때 (5) 속에 (4) 로 대체 하고,  $V_{gs7} = 0$  을 setting 하면 다음과 같이 산출 된다.  $V_5 = V_{SS} + 1.4 \dots (6)$  이다. 식 (6) 에서 주어진  $V_5$  의 값은 다음 단 증폭기를 공급 하는데 요구 되는 값이다. (4) 를 얻는데 요구된 가정은  $V_2 - V_4$  였다. FET 의 이상적인 matching 의 가장하에서  $V_{gs7} = V_{gs5} = 0$  라고 가정 하면  $V_{ds4} = V_{ds6} = 2.1 \dots (7)$  이 된다.

그러나 FET 의 이상적인 matching 은 실제로는 얻을 수 없다. 즉 인산증폭기는 모든 인산증폭기와 마찬가지로 임팩 OFFSET 전압을 가질 것이기 때문이다. 이 인산증폭기를 위한 임팩 OFFSET 전압은  $\pm 20mV$  의 표준편차를 갖는다. 이 level shifter 는 인산증폭기를 위한 큰 전압 제거비(PSSR) 를 공급 할 뿐만 아니라 온도 보상도 공급 한다.

### C. 두번째이득단(second gain stage)

Fig.6에서 보여진 두번째이득단은 약60정도의 이득을 공급한다. 60의 이득은 정태관용기전 전류비이다.

는 Fig.6에서 보여준다. 그리고 그이득은 다음과 같다.

$$\text{gain} = \frac{g_{m17} \cdot R_{DS19}}{1 - \frac{R_{DS19}}{R_{DS20}}} \approx 60, \quad r_{d19} \ll r_{d20}. \quad (8)$$

M19와M20의 동등한 폭(width)를 만드는대는 이론적으로 가능하다. 그래서 무한한 이득을 얻을수있다. 그렇지만 Rds가 Vds로 의존하는 이태로 M19에 너무 가까이 M20의 폭(width)를 비는것은 바람직하지못하다.

### 4. 회로시뮬레이션결과 및 고찰.

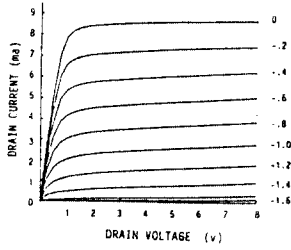
dc 와 ac 특성들은 Table 1 에서 보여진다. Table 1 로부터 GaAs는 초고속의인산증폭기에 사용할수있다는것이 명백해졌다.dc 특성들이실리콘 바이폴라 소자로부터 만들어진인산증폭기보다일등하다는것또한 보여진다. 실리콘바이폴라인산증폭기와 비교시 일등한dc 특성 때문에 입력차동증폭단(약20)의 낮은이득과 mask level에서 동등한FET사이의 matching의 결핍등이다. 완전한 인산증폭기의 그림은 Fig.7에서 보여준다. 보상 캐패시터에대한 인산증폭기의 이득과 위상응답은 fig.8에서 보여준다.

### 5. 결론.

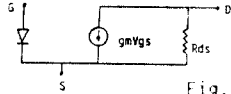
본논문은 computer simulation(SPICE)에 의한 GaAs MESFET를 사용하여 인산증폭기설계를 시도하였으며, 상당히 양호한 결과를 얻었다.ac 특성들은 매우 우수하며, dc 특성들은 초고속 적용을 위해 수락될수 있다. 앞으로 더욱 더이 분야의 연구발견이 있어야 할 것이다.

### 6. 참고 문헌.

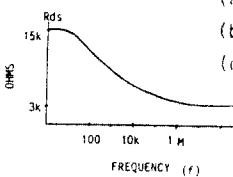
- [1] D.Senderowicz, B.Hodges, & P.Gray, "High-performance NMOS operational amplifier," IEEE J.Solid-State Circuit, vol.SC-13, pp. 760-766, Dec.1978.
- [2] Y.Icividis, D.Fraser, & J.Dziak, "A process-insensitive high-performance NMOS operational amplifier," IEEE J.Solid-State Circuits, vol.SC-15, pp.921-928, Dec.1980.
- [3] P.Gray, "MOS operational amplifier design-A tutorial overview," IEEE J. Solid-State Circuits, vol.SC 17, pp.969-982, Dec.1982.



(a)



(b)



(c)

Fig.1. 50um의 MESFET의 특성.

- (a) dc 특성곡선.
- (b) dc 등가회로.
- (c) 출력저항대주파수.

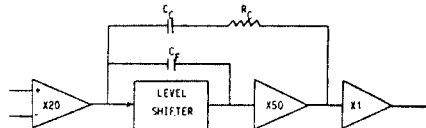


Fig.2. 연산증폭기의 블록 다이어그램.

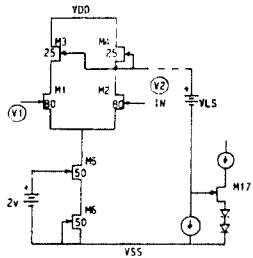


Fig.3. 자동증폭기 입력단.

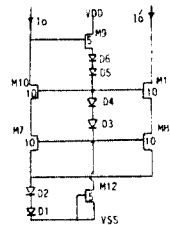


Fig.4. CURRENT MIRROR.

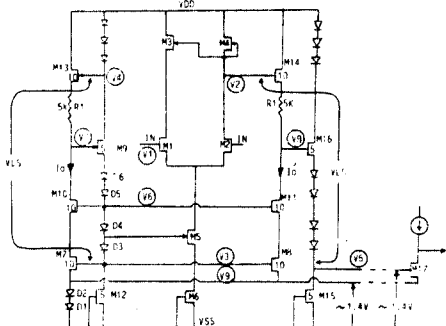


Fig.5. 레벨 SHIFTER.

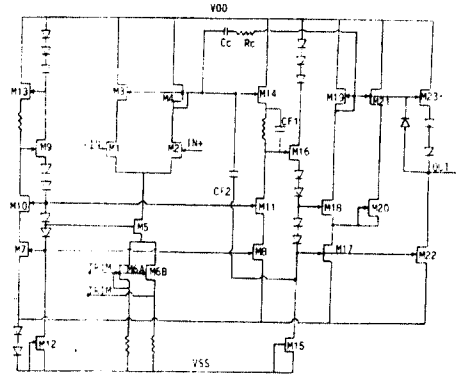


Fig.7. 연산증폭기 SCHEMATIC.

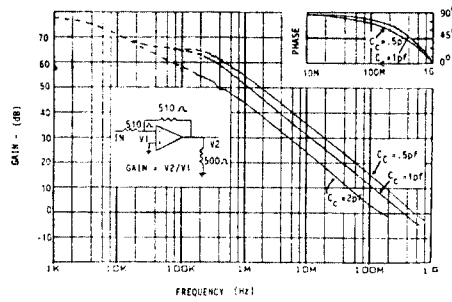


Fig.8. 보상CAPACITOR에 대한 연산증폭기의 이득과 위상응답.

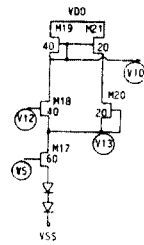


Fig.6. 전류브리더.

TABLE I

DC CHARACTERISTICS

INPUT OFFSET VOLTAGE	± 28	mV
INPUT OFFSET TEMP. COEF.	± 30	uV/°C
COMMON MODE RANGE	± 4	volts from power rails
OUTPUT SWING	± 3	volts from power rails
CMRR (100 KHz)	50	dB
OPEN LOOP GAIN (100 KHz)	60	dB
POWER SUPPLY REJ. RATIO	1	mV/V
OUTPUT CURRENT	± 25	mA

AC CHARACTERISTICS  $C_L = 5pF, R_L = 500 \Omega$

GAIN BANDWIDTH PRODUCT ( $C_c = .5pF$ )	500	MHz
PHASE MARGIN ( $C_c = .5pF$ )	± 35	DEGREES
GAIN BANDWIDTH PRODUCT ( $C_c = 1pF$ )	320	MHz
PHASE MARGIN ( $C_c = 1pF$ )	± 60	DEGREES
POWER BANDWIDTH (5Vpp OUTPUT, $C_c = 1pF$ )	100	MHz
SLEW RATE ( $C_c = 1pF$ )	1500	V/μS
OUTPUT RESISTANCE	25	Ω

POWER REQUIREMENTS

POWER RANGE	± 5V TO ± 9V	
SUPPLY CURRENT	47	mA