한국통신학회 1987년도 추계학술발표회 논문집 (1987. 11. 14)

TDM 전자교환기의 프로세서간 통신을 위한 BUS CONTROLLER 의 설계에 관한 연구

윤도권
한국전기통신공사, 품질보증단

이문기
연세 대학교

A study on the Design of a BUS CONTROLLER for Inter-Processor Communication in a TDM ESS

D. G. Yoon
Quality Assurance Center, K.T.A

M. K. LEE
Yeon Sei University

요 약 : 본 논문은 TDM(Time Division Multiplexing) 전자교환기의 프로세서간 통신을 위한 Global BUS Controller 를 Double Metal 2 um CMOS 설계 법칙을 이용한 집적회로로 설계하기 위하여 Logic Design 을 수행한 것이다. 논리회로 검증은 μVAX-II 컴퓨터에서 로직 시뮬레이터인 YSLOG 로 수행 되었다.

ABSTRACT : This paper stuidies the logic design of a Global Bus Controller for Inter-Processor communication of a TDM ESS. This custom circuit will be implemented into one chip IC with CMOS double metal process and 2 μm design rule. To verify the logic, simulation was performed by YSLOG on μVAX-II computer.

1. 서론

흔히 오늘날의 사회를 Computer & Communication 사회라 일컫는데 이러한 정보화 사회를 이루게 하는 근간이 되는 기술이 반도체 기술이다.
그중에서 통신용 반도체 기술은 특히 고신뢰성, 저소비전력, 저가격, 초고속화 등이 요구되며 이에 따라 통신 시스템은 One-Chip 화 되어가는 경향이 뚜렷하다. 따라서 본 논문에서는 TDM 전자교환기의 프로세서간 통신 (IPC: Inter Processor Communication) 을 위한 버스 컨트롤러 (Bus Controller) 를 2 μm CMOS Standard Cell 을 이용한 집적회로로 설계할 목적으로 먼저 논리설계를 하였는데, 현재 TDX-1A 전자교환기에서 사용하고 있는 Global Bus Access 기법인 Reservation & Selection 방식을 근거로 하였다.

논리회로에 사용된 각 Cell 의 전기적 특성을 파악하기 위하여 연세대학교의 μVAX-II 컴퓨터에서 SPICE 프로그램을 이용하여 시뮬레이션 하였으며 여기에서 얻은 delay time 값을 각 게이트의 delay 로 하여 논리 시뮬레이션 (logic simulation) 을 하였다.

2. TDX-1A 전자교환기의 프로세서간 통신

2.1 Bus Access 기법

TDX-1A 에 있어서 프로세서간에 상호 연결되는 topology 는 multi-drop 형태의 Global Bus 구조인데, 각 프로세서는 채널을 액세스(access) 하기 위하여 Reservation & Selection Technique 을 이용한다. 이와 같은 기법에서는 버스를 액세스 하고자 하는 프로세서는 각 프로세서내의 레지스터에 이를 예약(Reserve) 시켜 놓고 자기의 차례가 돌아올 때까지 대기하고 있다가 그 후 자기의 차례가 돌아오면 버스를 점유하도록 되어있다.

2.2 메시지 형태

TDX-1A 에 있어서 메시지 통신은 HDLC 프로토콜에 의한다. 각 프로세서는 메시지를 전송하기 위하여 Round-Robin 방식으로 버스를 점유하는데 이때 한번에 전송 가능한 메시지량은 제한되어 있어 한 프로세서가 버스를 독점하는 것을 막고 있다. 통신 메시지는 IL type (length type) 이 12 byte 가 되는 Unit Variable (uv) 형태를 취하는데 수신측에서 수신 메시지의 길이를 측정한후 12 의 배수가 아니면 에러로 처리하도록 되어 있다.

2.3 버스의 Turn Around Time

가. 버스 점유시간

TDX-1A 의 Global T-Bus system 은 최대 32개의 프로세서가 User 로서 큐(queue) 를 형성하고 하나의 T-Bus 가 Server 로서 메시지를 전달해 주는 One-Server multi-queue system 이다.

임의의 한 프로세서가 메시지를 전송키 위하여 한번에 버스를 점유하는 시간을 구해 보겠다.

먼저 다음과 같이 가정하겠다.

a) 메시지의 IL type : 12 byte

b) 메시지의 transmisson rate (B) 를 256 KBPS 라 하면 순수하게 메시지 한개만을 전송하는데 소요되는 시간 H' 은

$$H' = \frac{1x1x12x8\ bit}{256\ KBPS} = 0.375\ ms$$ 이다.

이 외에 메시지 전송시 평균 0.5 ms 의 시간이 추가로 소요된다고 할때 총 소요 시간 H 는 H=0.375+0.5=0.875 ms 가 된다.

TDX-1A 의 경우 한 프로세서가 전송할 수 있는 최대 한도의 메시지 양은 L type이 5인 메시지를 5개 혹은 L type이 25인 메시지를 1개까지 전송할 수 있는데 L type이 5인 메시지를 5개 전송한다고 할 경우 이 때의 총 소요 시간은 한개의 프로세서가 버스를 점유할 수 있는 최대 이용 시간과 같다. 따라서 L type 5인 메시지를 5개 전송한다고 할 경우 총 소요 시간 즉 프로세서당 버스 점유 최대 이용 시간 (H max) 은 H max=(1.875+0.5)x5=11.875 ms 가 된다.

나. Bus 의 Turn Around Time

Bus 가 한 프로세서를 써비스 한 후 다음번에 그 프로세서를 써비스 하기까지의 소요되는 시간을 Bus 의 Turn Around Time, E(T) 라 할때 이를 구하기 위하여 다음과 같이 정의 하겠다.

a) 프로세서 수 : N

b) 단위 시간당의 평균도착 호 (call) 수 : λc

c) 가입자의 호(call) 에 의하여 발생되는 단위 시간당 총 메시지수 : λm

d) 한개의 호당 발생되는 메시지수 : m

e) 임의의 프로세서가 메시지를 한개 전송하는데 버스를 점유하는 평균 시간 : h

f) 버스의 Turn 이 한 프로세서에서 다음 프로세서로 옮겨갈때의 Bus Transition Time : δ 라 할때 E(T) 는 다음과 같이 두가지 경우로 나누어서 계산할 수 있다.

(i) 해당 프로세서가 T - 버스를 통해 전송하는 메시지량이 한번에 전송가능한 최대한도 이하인 경우 : 임의의 프로세서에 의하여 생성되는 메시지가 큐에 들어와 대기할 확률은 poisson 분포 특성을 가지므로 t 시간 구간에 큐내에 메시지가 전혀 존재하지 않을 확률 (Po) 은 $Po(t)=e^{-\lambda m}$ 가 되며, 따라서 적어도 한개 이상의 메시지가 큐에 대기할 확률(P) 는 $P(t)=1-Po(t)=1-e^{-\lambda m \cdot t}$ 이다.

또한 큐내에 있는 메시지가 단위시간당 처리되는 갯수를 M 이라 할때 t 시간 내에 처리될 확률 (PE) 는 $PE(t)=1-e^{-Mt}$ 이다.

그런데 버스의 Turn Around Time(T) 중에 버스는 $N\delta$ 시간 동안은 idle 상태에 있으므로 T 시간 내에 큐에 메시지가 대기할 확률은 실제로 $(T-N\delta)$ 시간내에 메시지가 처리될 확률과 같아진다.

따라서 윗식으로부터 $\lambda mT=M(T-N\delta)$ 를 얻을 수 있다. 여기서 M 은 $M=\frac{1}{h}$ 이 되는데 T를 E(T1)이라 하면 $E(T1)=\frac{N\delta}{1-m\lambda sh}$ 이 된다. 여기서 ℓ 을 $\ell=m\lambda sh$ 로 하면 ℓ 은 T-Bus 의 부하를 나타내며, 또한 메시지 전송에 소요되는 점유율을 의미한다. 보통 부하 ℓ 은 0.4-0.5 erlang 으로 잡는다.

(ii) 최대한도를 초과하게 되는 경우 : 1 번째 프로세서가 T-Bus 를 통해 전송할 수 있는 최대 메시지 수를 ki 라 할때 ki 는 1 부터 5 까지의 값을 갖기 때문에 이때의 Turn Around Time, E(T2) 는 각 프로세서의 버스 점유 시간의 합으로서 나타낼 수 있다.

$$E(t2)=\sum_{j=1}^{N}\left\{\sum_{i=1}^{ki} Tij+\delta\right\}$$ 이다.

여기서 Tij 는 i 번째 프로세서의 TOQ 내에 있는 j 번째 메시지의 버스 점유 시간을 의미하는데 TOQ 에 쌓인 모든 메시지들의 L type 을 1 이라 가정하고 이를 보완하기 위하여 safety factor(α) 를 고려하여 E(T2) 를 다시 쓰면 $E(T2)=\sum_{i=1}^{N}\left\{\sum_{j=1}^{ki}\right.$ (L type 이 1인 메시지의 버스 점유 시간) + δ 가 되는데 윗식에 의해 구한 결과값 H=0.875 ms 를 대입하여 정리하면 $E(T2)=\sum_{i=1}^{N}\{0.875xki+\delta\}\cdot\alpha$ 로 된다.

이제 이들의 값을 구하기 위하여 다음과 같이 가정하겠다.

N: 32개, m: 16개, 메시지의 평균크기 : 16 byte, B:256 KBPS, 메시지 전송을 위하여 추가로 소요되는 시간 : 0.5 ms, ℓ: 0.5Erlang, δ: 0.45 로 하고 α 를 1.5로 할때 이들로 부터 E(T1) 을 구하면 $E(T1)=\frac{32x0.45}{1-0.5}$ ms=28.8 ms 가 된다. 또한 E(T2) 는

$$(T2)=\sum_{i=1}^{32}\{(0.875x5)+0.45\}1.5=231.6ms$$ 가 된다.

3. 버스 컨트롤러 설계

3.1 T- 버스상의 각종 신호

T- 버스상의 신호는 Frame Sync (FRS), Assert (AST), Baud Rate Clock (BRC), Data (DAT) 등의 4가지로 구성되어 있으며 각각 A, B 채널로 이중화 되어 있다.

가. Frame Sync (FRS)

각 프로세서의 동기를 맞춰주기 위한 신호로서 메시지 전송순서를 결정해 준다.

나. Assert (AST)

임의의 프로세서가 버스를 점유할때 이를 다른 프로세서에게 통보하기 위한 신호이다.

다. Baud Rate Clock (BRC)

데이타 전송속도를 결정해 주며 데이타 버스를 통하여 Serial Data 를 전송하기 위한 클락이다.

라. Data (DAT)

버스를 통하여 송수신되는 Serial Data 이다.

3.2 통신방법

각 프로세서 간에 행해지는 통신방법은 아래와 같다.

i) 버스를 액세스 하고자 하는 프로세서는 S/W 에 의하여 TX Enable (TX-EN) 신호를 activate 시킨 후 자기의 Turn 이 될때까지 기다린다.

ii) AST 신호가 active 상태로 되면 TX Interrupt 신호를 발생시킨다.

iii) TX Interrupt 가 요구되면 DMA 와 SIO 가 구동되어 Data 전송이 개시된다.

iv) Data 전송이 종료되면 TX-EN 신호를 inactivate 시킨후 버스 점유권을 다음 순번의 프로세서에게 양도한다. 이때 한번에 전송 가능한 시간은 H/W 적으로 고정된 허용 시간 내에서 S/W 적으로 가변할 수 있는데 최대 버스 점유 허용 시간을 초과하여 전송하는 경우 에는 자동적으로 AST 신호를 inactive 상태로 만들어 버스가 독점되는 것을 방지한다.

3.3 하드웨어 설계

Bus Controller 는 (그림 1)과 같이 FRS 발생회로 TX Interrupt 발생회로, FRS 모니터, BRC 모니터, AST 선택회로, Data 선택회로, 버스 인터페이스 등으로 구성되어 있다.

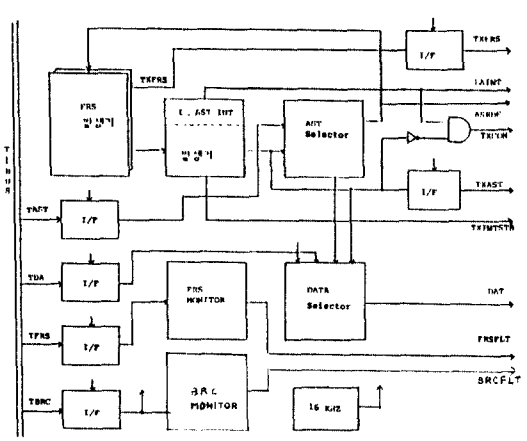


그림 1. Bus Controller 블럭도

가. FRS 발생회로

모든 프로세서의 동기를 맞춰주기 위한 회로이다.

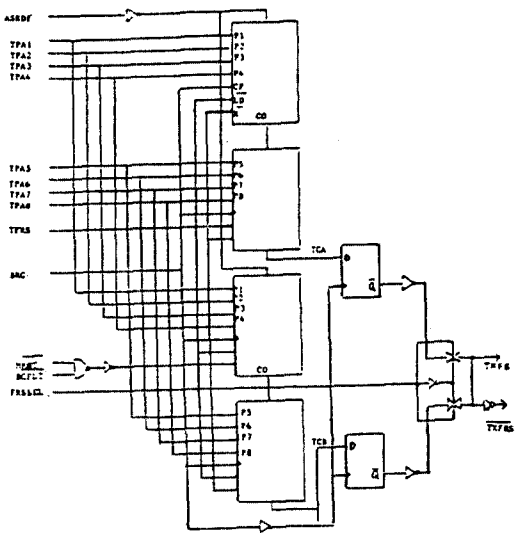


그림 2. Frame Sync 발생회로

나. TX INTERRUPT(TXINT) 발생회로

메시지를 전송하기 위하여 AST 와 TXINTSTB 신호를 발생시키는 회로로서, 임의의 프로세서가 버스를 점유할때는 다른 프로세서에게 AST 신호를 통고하도록 되어 있으며 이때 TX Interrupt 가 걸려 메시지의 전송을 할 수 있게 된다. 그런데 어느 한 프로세서가 버스 점유 최대 허용 시간을 초과하여 버스를 점유하려할때 하드웨어적으로 인터럽트를 걸어줘야 하는데 이를 위하여 버스를 점유하기 시작한후 23ms (2장에서 구한 Hmax 값인 11.875 ms 외에 충분한 여유를 둠) 가 경과하면 Long AST Interrupt 가 걸리도록 하는 로직을 설계했다.

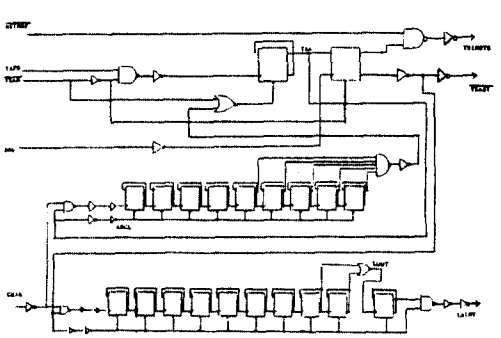


그림3. TX Interrupt 발생기

다. FRC 모니터

Master Processor 에서 오는 FRS 신호를 모니터하기 위한 회로로서 FRS 펄스 수신간격 (Bus 의 Turn Around Time) 이 370 ms (2장에서 구한 $T_{(T2)}$ 값인 231.6 ms 외에 충분한 여유를 둠)를 초과하는 경우 Fault Interrupt 가 걸리도록 하는 로직을 설계했다.

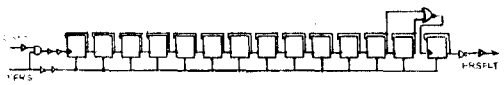


그림4. Frame Sync 모니터

라. BRC 모니터

Baud Rate Clock 을 모니터하기 위한 회로로서 16 KHZ 클락을 자체에서 발생시켜 이를 이용, 16 KHZ 의 한 주기동안에 두번씩 BRC 를 체크하도록 하는 로직을 설계 했다.

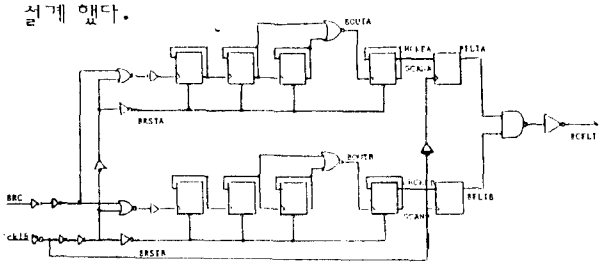


그림5. Baud Rate 클락 모니터

마. AST 선택회로

BUS 에 전송되는 AST 신호는 이중화 되어 있는데 이들 신호중 양호한 신호를 선택 수신토록 하는 로직을 설계했다.

각 신호를 다음과 같이 정의 하겠다.

$\overline{ASTA}$: A-BUS 를 통해 수신되는 AST 신호 (Active low)

$\overline{ASTB}$: B-BUS 를 통해 수신되는 AST 신호 (Active low)

ATRA : ASTA 신호를 트리거하여 만든 신호 (Active High)

ATRB : ASTB 신호를 트리거하여 만든 신호 (Active High)

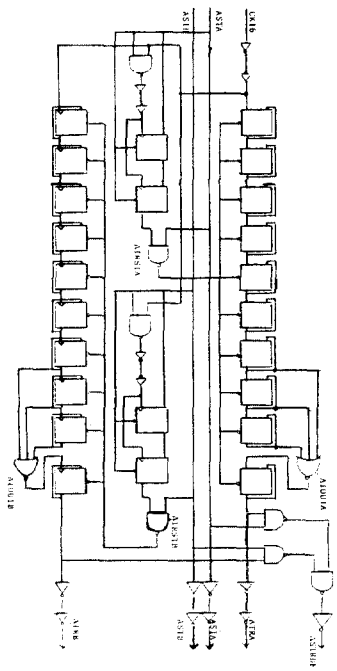
$\overline{ASRDF}$: Select 되어 출력되는 AST 신호

이상으로 부터 출력 $\overline{ASRDF}$ 를 논리식으로 나타내면

$\overline{ASRDF}$=ASTA.ATRA+ASTB.ATRB 와 같다.

여기서 ASTA, ASTB 는 각각 $\overline{ASTA}$ 와 $\overline{ASTB}$ 의 inverse 이다.

그림6. AST Selection 회로



바. 데이타 선택회로

이중화 된 데이타중 양호한 것을 선택 수신하기 위한 회로로서 입력측에 데이타 모니터 (그림 7a)를 두어 데이타의 이상유무를 판별하도록 하며 이로부터 얻은 출력신호와 AST, Delayed AST 신호등이 조합되어 데이타가 선택되는 논리를 설계했다. 각 신호를 다음과 같이 정의 하겠다.

DTA : A-BUS 를 통해 수신되는 데이타

DTB : B-BUS 를 통해 수신되는 데이타

DTRA : A 채널 데이타 모니터의 출력

DTRB : B 채널 데이타 모니터의 출력

BUSEL : 채널 선택을 위한 셀렉트 입력

DAT : 선택되어 출력된 데이타

이상으로 부터 출력 DAT 를 논리식으로 나타내면 아래와 같다.

DAT= ASTA.ATRA.$\overline{ATRB}$.DATA.DTA

+ASTA.ATRA.$\overline{ASTB}$.DTRA.DTA

+ASTB.ATRB.$\overline{ATRA}$.DTRA.$\overline{DTRB}$.DTA

+ASTB.ATRB.$\overline{ASTA}$.DTRA.$\overline{DTRB}$.DTA

+ASTA.ATRA.ASTB.ATRB.DTRA.$\overline{BUSEL}$.DTA

+ASTA.ATRA.ASTB.ATRB.DTRA.$\overline{DTRB}$.DTA

+ASTA.ATRA.$\overline{ASTB}$.$\overline{DTRA}$.DTRB.DTB

+ASTA.ATRA.$\overline{ASTB}$.$\overline{DTRA}$.DTRB.DTB

+ASTB.ATRB.$\overline{ASTA}$.DTRB.DTB

+ASTB.ATRB.$\overline{ATRA}$.DTRB.DTB

+ASTB.ATRB.ASTA.ATRA.DTRB.$\overline{BUSEL}$.DTB

+ASTA.ATRA.ASTB.ATRB.DTRB.$\overline{DTRA}$.DTB

$+ ASTA.ATRA.\overline{ASTB}.\overline{DTRA}.\overline{DTRB}$

$+ ASTA.ATRA.\overline{ATRB}.\overline{DTRA}.\overline{DTRB}$

$+ ASTB.ATRB.\overline{ASTA}.\overline{DTRA}.\overline{DTRB}$

$+ ASTB.ATRB.\overline{ATRA}.\overline{DTRA}.\overline{DTRB}$

$+ ASTA.ASTB.ATRA.ATRB.\overline{DTRA}.\overline{DTRB}$

$+ \overline{ASTA}.\overline{ASTB} + \overline{ATRA}.\overline{ATRB} + \overline{ASTA}.\overline{ATRB}$

$+ \overline{ATRA}.\overline{ASTB}$

따라서 이를 논리 회로로 그리면 그림 7.b 와 같다.

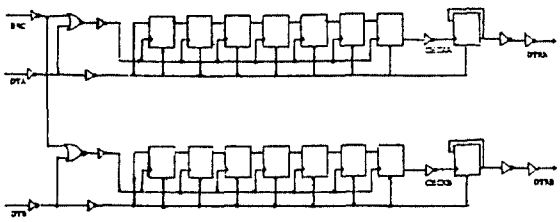


그림7.a데이타 모니터

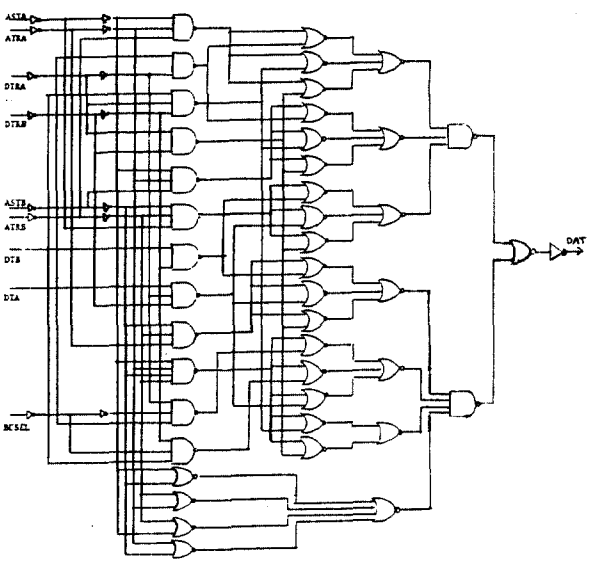


그림 7.b. Data Selection 회로

사. 버스 인터 페이스

a) AST 신호의 인터페이스

버스 라인상에 송수신 되는 AST 신호를 인터페이스 하기 위하여 그림 8과 같이 트랜스미션 게이트와 라인 트랜시버(칩 외부에 둠)를 사용하였는데 라인 트랜시버 (SN 75174, SN 75175)를 구동시키기 위하여 출력단에 버퍼를 삽입하였다.

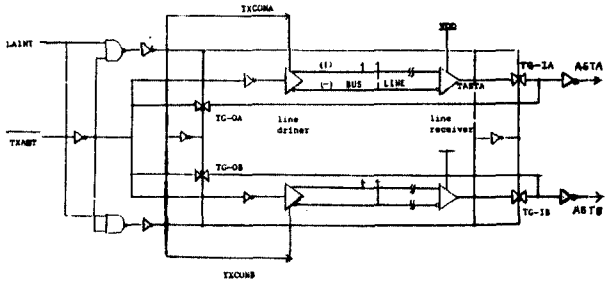


그림 8. AST 신호의 인터페이스

b) FRS, DAT, BRC, 신호 인터 페이스 유사한 방식으로 구성한다.

4. Computer Simulation

설계한 로직은 NAND, NOR, Inverter, D Flip-Flop, MUX 등 11종의 Cell 들로 구성되어 있으며 이들에 대한 전기적 특성을 파악하기 위하여 SPICE 프로그램으로 시뮬레이션을 하였다.

표(1)에 기본적인 Cell 들의 delay time 특성을 나타내었으며 시뮬레이션 입출력 핀의 가운데 2- Input NAND Gate 의 것만을 부록에 수록하였다.

Inverter

TD \ FO	1	2	4
TPHL	0.89	1.10	1.47
TPLH	0.78	1.01	1.37
Tf	1.63	1.85	2.21
Tr	1.79	2.03	2.44

NAND (2 Input)

TD \ FO	1	2	4
TPHL	0.96	1.15	1.48
TPLH	1.19	1.36	1.65
Tf	1.69	1.93	2.31
Tr	1.58	1.81	2.14

NOR (2 Input)

TD \ FO	1	2	4
TPHL	1.30	1.48	1.81
TPLH	1.13	1.35	1.76
Tf	1.61	1.83	2.22
Tr	2.19	2.53	3.09

MUX (2 Input)

TD \ FO	1	2	4
TPHL	1.03	1.23	1.48
TPLH	1.48	1.55	1.73
Tf	1.73	1.94	2.26
Tr	1.70	1.84	2.15

DFF (with clear)

TD \ FO	1	2	4
TPHL	1.45	2.57	2.80
TPLH	2.40	2.51	2.72
Tf	1.53	1.68	1.98
Tr	1.70	1.86	2.19

DFF (without clear)

TD \ FO	1	2	4
TPHL	2.48	2.61	2.83
TPLH	2.29	2.40	2.59
Tf	1.56	1.70	1.98
Tr	1.54	1.78	2.10

FO: Fan Out (1CL = 27 FF)
TD: Delay Time (ns)

표 1. 각 Cell 들의 time delay 특성

이상과 같이 시뮬레이션 하여 얻은 delay time 값을 각 논리 게이트의 delay 로 가정하고, 또 클락 입력으로 주기가 30 NS 인 펄스와 480 NS 인 펄스를 실제 클락인 256 KHZ (외부로 부터 수신하는 BRC)와 16 KHZ (자체에서 발생한 클락) 클락으로 가정하여 각 논리회로에 대한 시뮬레이션을 수행하였는데 정상 동작 하였다.
AST 선택 회로와 데이타 선택회로에 AST 와 DATA 가 입력되어 출력되기 까지의 지연 시간은 약 6 NS 와 10 NS 정도 이었다. 이들에 대한 시뮬레이션 입출력 파일중 일부만을 부록에 수록하였다.

5. 결론

본 논문은 전자 교환기의 프로세서간 통신을 위한 버스 컨트롤로를 2UM CMOS Standard cell 을 이용한 집적회로로 설계하기 위하여 전 단계로 서 먼저 논리회로 설계를 수행한 결과이다. 논리회로에 사용된 각 cell 들의 전기적 특성을 파악하기 위하여 연세 대학교의 UVAX-II 컴퓨터를 이용 SPICE 프로그램으로 시뮬레이션을 하였으며 논리 검증을 위하여 로직 시뮬레이터인 YSLOG 프로그램으로 논리 시뮬레이션을 하였는데 이미 고찰한 바와 같이 정상 동작하였다. 설계하고자 하는 집적 회로를 TDX-1A 전자 교환기에 이용할 경우 기존의 방식에 비하여 신뢰도를 향상시킬 수 있을 뿐만 아니라, 전력소모 및 점유 면적도 대폭 줄일수 있는등 잇점이 있으리라 보며 현재 개발중인 TDX-1B 에도 이용할 수 있을 것으로 본다.

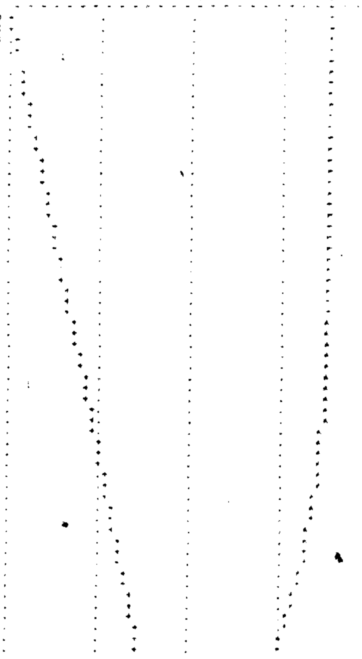
** 참 고 문 헌 **

1. Edward C. Luczak, "Global Bus Computer Communication Techniques" pp453-459 Proceedings, Computer Networking Symposium 1978, IEEE
2. "TDX-1 S/W Design Engineering", ETRI
3. 이선외 2명 "TDX-1 의 Processor 간 통신방식에 관한 연구 "1983 , ETRI
4. 임주환 "TDX-1 System 용량해석방법 " 1984, ETRI
5. 이강원 "T-BUS 의 Traffic Capacity 분석" 1986, ETRI
6. Neil Weste, Kamran Eshraghian, "Principles of CMOS VLSI DESIGN" 1985, Addison Wesley
7. Amar Mukherjee, "Introduction to NMOS & CMOS VLSI System Design", 1986 Prentice Hall
8. Ryota Kasai et al, "An Integrated Modular & Standard cell VLSI Design Approach", Journal of Sokid-state Circuits, Vol.SC-20 No.1, pp407-412, 1985
9. A.J. Kessler, A.Ganesan, "Standard Cell VLSI Design"; A Tutorial", IEEE Circuits & Devices Magazine pp 17-34, 1985
10. Microelectronics & CAD Lab., "YSLOG User's Manual, Yeon Sei University
11. Microelectronics & CAD Lab., "YSPICE User's Manual, "Yeon Sei University

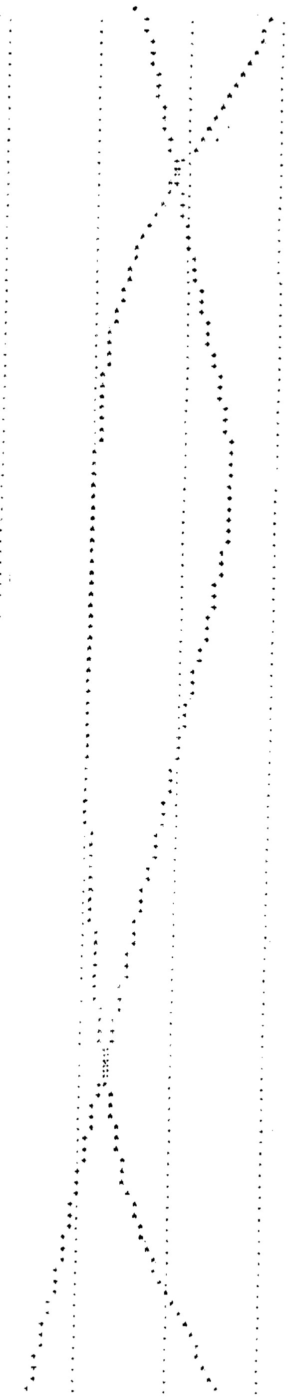
1. 2-Input NAND 의 SPICE Simulation

```
Oct 10 10:47 1987  nd2.o Page 1

1*******03 ******* SPICE 2G.6    3/15/83 ************

02-INPUT NAND

0****     INPUT LISTING                    TEMPERATURE =   27.000 DEG C

0*************************************************************************

VDD 4 0 DC 5V
VIN 1 0 PULSE 0 5 5NS 5NS 5NS 5NS 50NS
VBI 2 0 DC 5V
MP1 3 1 4 4 PLOAD L=2.75U W=9.53U AD=73P AS=63P PD=35U PS=35U
MP2 3 2 4 4 PLOAD L=2.75U W=9.53U AD=73P AS=63P PD=35U PS=33U
MN1 3 2 5 0 NLOAD L=2.35U W=6.14U AD=17P AS=42P PD=19U PS=26U
MN2 5 1 0 0 NLOAD L=2.35U W=6.14U AD=42P AS=17P PD=26U PS=19U
CL 3 0 27FF
.MODEL PLOAD PMOS VTO=-0.93 GAMMA=0.55 PHI=0.70 PB=0.5 CGSO=6.5E-10
+CGDO=6.5E-10 CGBO=5.5E-10 RSH=55 CJ=0.90E-04 MJ=0.50 CJSW=0.27E-10
+MJSW=0.33 JS=1.17E-05 TOX=380E-10 NSUB=6.33E15 ...
+LD=0.45E-06 UO=240 VMAX=1.5E5 DELTA=0.1 THETA=0.1 ETA=0.?
+KAPPA=1.5 LEVEL=3
.MODEL NLOAD NMOS VTO=0.71 GAMMA=0.68 PHI=0.70 PB=0.8 CGSO=0.2E-10
+CGDO=2.2E-10 CGBO=5.5E-10 RSH=30 CJ=3.28E-04 MJ=0.43 CJSW=1.50E-10
+MJSW=0.27 ... TOX=380E-10 NSUB=1.11E16 ... XJ=0.3E-06
+LD=0.2E-06 UO=620 VMAX=1.75E5 DELTA=0.6 THETA=0.03 ETA=0.3
+KAPPA=0.5 LEVEL=3
.TRAN 0.05NS 20NS
.PLOT TRAN V(3) V(1)
.WIDTH IN=80 OUT=80
.OPTIONS NOPAGE NOMOD LIMPTS=501
.END

     TOTAL POWER DISSIPATION   6.35d-11  WATTS
0****     OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C

0
0**** MOSFETS

0             MP1        MP2        MN1        MN2
0MODEL       PLOAD      PLOAD      NLOAD      NLOAD
 ID        -1.21e-11  3.12e-20   7.49e-12   1.71e-14
 VGS         -5.000      0.          1.370      0.
 VDS         -0.000     -0.000       1.370      3.630
 VBS          0.         0.         -3.630      0.
0****     TRANSIENT ANALYSIS                TEMPERATURE =   27.000 DEG C

0LEGEND:

 *: V(3)
 +: V(1)
X
     TIME       V(3)

(*)-------------- -2.000d+00      0.    d+00      2.000d+00      4.000d+00   6.0..

(+)--------        0.    d+00      2.000d+00      4.000d+00      6.000d+00   8.0..
```

TIME	V(3)
0. d+00	5.000d+00
5.000d-11	5.00[illegible]
1.000d-10	5.01[illegible]
1.500d-10	[illegible]
[illegible]	[illegible]
2.500d-10	5.0[illegible]
3.000d-10	5.026d+00
3.500d-10	5.028d+00
4.000d-10	5.031d+00
4.500d-10	5.033d+00
5.000d-10	[illegible]
5.500d-10	5.037d+00
6.000d-10	5.038d+00
6.500d-10	5.040d+00
7.000d-10	5.041d+00
7.500d-10	5.042d+00
8.000d-10	5.043d+00
8.500d-10	5.044d+00
9.000d-10	5.04[illegible]d+00
9.500d-10	5.046d+00
1.000d-09	5.045d+00
1.050d-09	5.045d+00
1.100d-09	5.04[illegible]
[illegible]	[illegible]
1.200d-09	5.044d+00
1.250d-09	5.042d+00
1.300d-09	5.043d+00
1.350d-09	5.038d+00
1.400d-09	5.031d+00
1.450d-09	5.024d+00
1.500d-09	5.017d+00
1.550d-09	5.010d+00
1.600d-09	5.003d+00
1.650d-09	4.9[illegible]d+00
1.700d-09	4.989d+00
1.750d-09	4.971d+00
1.800d-09	4.951d+00
1.850d-09	4.931d+00
1.900d-09	4.910d+00
1.950d-09	4.890d+00
2.000d-09	4.869d+00
2.050d-09	4.849d+00
2.100d-09	4.8[illegible]d+00
2.150d-09	4.7[illegible]
2.200d-09	4.75[illegible]d+00
2.250d-09	4.7[illegible]
2.300d-09	4.680d+00
2.350d-09	4.6[illegible]d+00
2.400d-09	4.604d+00
2.450d-09	4.566d+00
2.500d-09	4.5[illegible]
2.550d-09	4.4[illegible]7d+00
2.600d-09	4.399d+00
2.650d-09	4.3[illegible]
[illegible]	[illegible]
2.750d-09	4.194d+00
2.800d-09	4.125d+00
2.850d-09	4.057d+00
2.900d-09	3.989d+00
2.950d-09	3.[illegible]d+00



TIME	V(3)
3.000d-09	3.753d+00
3.050d-09	3.629d+00
3.100d-09	3.504d+00
3.150d-09	3.379d+00
3.200d-09	3.255d+00
3.250d-09	3.130d+00
3.300d-09	3.006d+00
3.350d-09	2.[illegible]d+00
3.400d-09	2.701d+00
3.450d-09	2.5[illegible]
3.500d-09	2.389d+00
3.550d-09	2.222d+00
3.600d-09	2.[illegible]
3.650d-09	1.920d+00
3.700d-09	1.76[illegible]
3.750d-09	1.[illegible]
3.800d-09	1.515d+00
3.850d-09	1.394d+00
3.900d-09	1.274d+00
[illegible]	[illegible]
4.000d-09	1.022d+00
4.050d-09	9.[illegible]
[illegible]	[illegible]
4.150d-09	7.153d-01
4.200d-09	6.525d-01
4.250d-09	5.890d-01
4.300d-09	5.270d-01
4.350d-09	4.642d-01
4.400d-09	4.014d-01
4.450d-09	3.3[illegible]d-01
4.500d-09	2.759d-01
4.550d-09	2.440d-01
4.600d-09	2.218d-01
4.650d-09	1.996d-01
4.700d-09	1.774d-01
4.750d-09	1.553d-01
4.800d-09	1.331d-01
4.850d-09	1.109d-01
4.900d-09	8.872d-02
4.950d-09	7.725d-02
5.000d-09	6.940d-02
5.050d-09	5.939d-02
5.100d-09	5.014d-02
9.800d-09	1.[illegible]d-07
9.850d-09	-5.625e-08
9.900d-09	-2.248d-07
9.950d-09	-3.933d-07
1.000d-08	-5.627d-07
1.005d-08	-4.047d-03
1.010d-08	-7.9[illegible]d-03
1.015d-08	-1.120d-02
1.020d-08	-1.405d-02
1.025d-08	-1.[illegible]d-02
1.030d-08	-1.800d-02
1.035d-08	-1.931d-02
1.040d-08	-1.9[illegible]d-02
[illegible]	[illegible]
1.050d-08	-2.00[illegible]d-02
1.055d-08	-2.1[illegible]d-02
1.060d-08	-2.186d-02
1.065d-08	-1.[illegible]d-02
1.070d-08	-1.4[illegible]
1.075d-08	-1.[illegible]
1.080d-08	-7.901d-03
1.085d-08	-4.41[illegible]
1.090d-08	-9.[illegible]d-04
1.095d-08	2.5[illegible]d-03
1.100d-08	[illegible]
1.105d-08	1.6[illegible]
1.110d-08	2.[illegible]
[illegible]	[illegible]
1.120d-08	4.2[illegible]d-02
1.125d-08	5.[illegible]d-02
[illegible]	[illegible]
1.135d-08	6.9[illegible]d-02
1.140d-08	7.[illegible]
1.145d-08	9.[illegible]
1.150d-08	1.[illegible]
[illegible]	[illegible]
1.160d-08	1.30[illegible]d-01
[illegible]	[illegible]
[illegible]	[illegible]
[illegible]	[illegible]
1.180d-08	2.002d-01
[illegible]	[illegible]
[illegible]	[illegible]
1.195d-08	2.665d-01
1.200d-08	2.886d-01
[illegible]	[illegible]
[illegible]	[illegible]
1.215d-08	3.[illegible]
[illegible]	[illegible]
[illegible]	[illegible]
1.230d-08	4.[illegible]
1.235d-08	4.7[illegible]
[illegible]	[illegible]
[illegible]	[illegible]
1.250d-08	5.7[illegible]
1.255d-08	6.0[illegible]
1.260d-08	6.465d-01
1.265d-08	6.968d-01
1.270d-08	7.471d-01
1.275d-08	7.974d-01
1.280d-08	8.477d-01
1.285d-08	8.980d-01
1.290d-08	9.483d-01
1.295d-08	9.986d-01
1.300d-08	1.061d+00
1.305d-08	1.146d+00
1.310d-08	1.231d+00
1.315d-08	1.316d+00
1.320d-08	1.400d+00
1.325d-08	1.485d+00
1.330d-08	1.570d+00
1.335d-08	1.655d+00
[illegible]	[illegible]
1.345d-08	[illegible]
1.350d-08	[illegible]
1.355d-08	[illegible]
[illegible]	[illegible]
1.365d-08	2.[illegible]
[illegible]	[illegible]
[illegible]	[illegible]
[illegible]	2.70[illegible]
1.385d-08	2.9[illegible]
1.390d-08	[illegible]
[illegible]	[illegible]



FRS 발생기의 논리 시뮬레이션

```
..................... FRAME SYNC GENERATOR ..............................
............ SYNCHRONOUS 4-BIT COUNTER MACRO ................

DEFAULT 0
[illegible] TPA1 TPA2 TPA6 TPA7 TPA8 [illegible] MRST BCFLT TFRS ASRF
[illegible] TPA1 TPA2 TPA4 MRST BCFLT
[illegible]

MACRO SYNC [illegible]
[illegible]
QN2 NAND 2 2 Q2 CD
IY1 PNTRG 1 1 IY2 D3 IY1 D3 IY1 IY2 IY2 IY2
IY2 PNTRG 1 1 IY1 [illegible] QN2 IY1 QN2
IY1 INV 1 1 CP
IY2 INV 1 1 IY1
NAY NAND 1 1 IY1 CD
IY3 INV 1 1 NAY
[illegible]
[illegible] PNTRG 1 1 [illegible] D4 [illegible] D4 [illegible]
[illegible] PNTRG 1 1 [illegible]
[illegible]
[illegible] INV 1 1 NR3
ENDMAC

* ........ D FF MACRO ( RISING EDGE ) ................*

MACRO DFF DD CPD QDN QD
TD1 PNTRG 1 1 [illegible] DD ND1 DD [illegible]
TD2 PNTRG 1 1 ND1 ND4 [illegible] QDN [illegible]
ND1 INV 1 1 CPD
ND2 INV 1 1 [illegible]
ND3 INV 1 1 ND4
ND4 INV 1 1 TD1
QD INV 1 1 TD2
QDN INV 1 1 QD
ENDMAC

SYNC TPA1 TFRS RST TPA2 BRC TPA3 TPA4 D1A D2A D3A D4A
+     Q1A [illegible]
SYNC TPA5 TFRS RST TPA6 BRC TPA7 TPA8 D5A D6A D7A D8A
+     Q5A Q6A Q7A Q8A [illegible]
[illegible]
+     Q1B Q2B Q3B Q4B ASRF TC2
SYNC TPA5 TFRS RST TPA6 BRC TPA7 TPA8 D5B D6B D7B D8B
+     Q5B Q6B Q7B Q8B TC1 TC2
```

```
DFF TCA BRCN FIQNA TFDQA
DFF TCB BRCN FIQNB TFDQB
RST INV 1 1 RSTN
RSTN NAND 1 1 MRST BCFLT
INFDQA INV 1 1 TFDQA
TFDQA INV 1 1 FIQNA
INFDQB INV 1 1 TFDQB
TFDQB INV 1 1 FIQNB
[illegible] INV 1 1 [illegible]

PRINT TPA8 BLANK TPA7 BLANK TPA6 BLANK TPA5 BLANK TPA4 BLANK TPA3
+ BLANK TPA2 BLANK TPA1 BLANK BLANK TFRS BLANK MRST BLANK BCFLT
+ BLANK ASRF BLANK BRC BLANK TC1 BLANK TC2 BLANK TCA BLANK TCB BLANK
+  BLANK BRC BLANK BRCN BLANK BLANK D1A D2A D3A D4A D5A D6A D7A D8A
+ BLANK BLANK Q1A Q2A Q3A Q4A Q5A Q6A Q7A Q8A
+ BLANK BLANK INFDQA INFDQA

MAXTIME 2000
END
```

```
************************ YONSEI LOGIC SIMULATOR - YSLGS **************************
*                                                                                *
*                                                                                *
*                                                                                *
**********************************************************************************

        T T T T T T T T   T M B A U T T T T   B B   DDDDDDDD   QQQQQQQQ   IT
        P P P P P P P P   F R C S R C C C C   R R   12345678   12345678   NX
        A A A A A A A A   R S F R C 1 2 A B   C C   AAAAAAAA   AAAAAAAA   FF
        8 7 6 5 4 3 2 1   S T L F               N                          SF
                              T                                            AE
                                                                           2.
TIME
   0    1 1 1 1 0 0 1 0   1 0 0 1 0 0 1 0 0   0 1   10000000   00000000   01
  15    1 1 1 1 0 0 1 0   1 0 0 1 1 0 0 0 0   1 1   10000000   00000000   01
  16    1 1 1 1 0 0 1 0   1 0 0 1 1 0 0 0 0   1 0   10000000   00000000   01
  30    1 1 1 1 0 0 1 0   1 0 0 1 0 0 0 0 0   0 1   10000000   00000000   01
  31    1 1 1 1 0 0 1 0   1 0 0 1 0 0 0 0 0   0 1   10000000   00000000   01
  45    1 1 1 1 0 0 1 0   1 0 0 1 1 0 0 0 0   1 1   10000000   00000000   01
  46    1 1 1 1 0 0 1 0   1 0 0 1 1 0 0 0 0   1 0   10000000   00000000   01
  60    1 1 1 1 0 0 1 0   1 0 0 1 0 0 0 0 0   0 0   10000000   00000000   01
  61    1 1 1 1 0 0 1 0   1 0 0 1 0 0 0 0 0   0 1   10000000   00000000   01
  75    1 1 1 1 0 0 1 0   1 0 0 1 1 0 0 0 0   1 1   10000000   00000000   01
[illegible]

 655    1 1 1 1 0 0 1 0   1 1 1 1 1 1 1 0 0   1 0   0[illegible]            01
[illegible]
```

TX Intérrupt 발생회로의 시뮬레이션

```
************************* YOSEI LOGIC SIMULATOR - YSLOG **********************
*
*
*
*****************************************************************************
************  TX INTERRUPTER *************

DEFAULT 0
ONE THEN ASTRDF
THFS GEN 666 696 1000000
ASTRDF GEN 710 10000 1000000
THEN GEN 80 210000 1000000
BRC GEN 15 30 R 0
CK16 GEN 240 480 R 0
DC GEN 0
CPC GEN 0
CDC GEN 0

********* D FF MACRO ( CLEAR , RISING EDGE ) ***********

MACRO DFFC DC CPC CDC QCN QC
TC1 FNTRG 1 1 NC2 DC NC1 DC NC1 NC3 NC2 NC3
TC2 FNTRG 1 1 NC1 NAC NC1 NAC NC2 QCN NC2 QCN
NC1 INV 1 1 CPC
NC2 INV 1 1 NC1
NAC NAND 1 1 TC1 CDC
NC3 INV 1 1 NAC
QC INV 1 1 TC2
QCN NAND 2 2 QC CDC
ENDMAC

DFFC ARQN1 AC16 ARCL ARQN1 ARQ1
DFFC ARQN2 ARQN1 ARCL ARQN2 ARQ2
DFFC ARQN3 ARQN2 ARCL ARQN3 ARQ3
DFFC ARQN4 ARQN3 ARCL ARQN4 ARQ4
DFFC ARQN5 ARQN4 ARCL ARQN5 ARQ5
DFFC ARQN6 ARQN5 ARCL ARQN6 ARQ6
DFFC ARQN7 ARQN6 ARCL ARQN7 ARQ7
DFFC ARQN8 ARQN7 ARCL ARQN8 ARQ8
DFFC ARQN9 ARQN8 ARCL ARQN9 ARQ9

DFFC ACQN1 APSN AP6 ACQN1 THA
DFFC THA BRCN THENN ACQN2 ACQ2

AP5 NAND 1 1 THFS THENN
AP5N INV 1 1 AP5
AOUT INV 1 1 AC
AC NAND 2 2 ARQ4 ARQ5 ARQ7 ARQ8 ARQ9

THENN INV 1 1 THEN
AP6 NOR 1 1 THEN AOUT
AC16 INV 1 1 AP4
AP4 INV 1 1 AP3

AP3 NAND 1 1 AP1 THA
ARCL INV 3 3 AP2
AP1 INV 1 1 CK16
AP2 INV 1 1 THA
TACT INV 1 1 ACQN2
THAST INV 3 3 TACT
THINT NAND 1 1 TACT ASTRDFN
THINTSTB INV 3 3 THINT
ASTRDFN INV 1 1 ASTRDF
BRCN INV 1 1 BRC

PRINT THFS BLANK THEN BLANK ASTRDF CK16 BLANK BRCN BLANK AP5 BLANK
+      AP6 BLANK THA BLANK ACQN1 BLANK ARCL BLANK
+      AOUT BLANK  BLANK AC16 BLANK ACQ2
+      BLANK BLANK ARQ1 ARQ2 ARQ3 ARQ4 ARQ5 ARQ6 ARQ7 ARQ8 ARQ9
+      BLANK BLANK THAST BLANK THINTSTB
MAXTIME 6000 240
END
```

```
   TIME
         0 0 : : : : : : : : : : :   [illegible]     : :
$      240 0 0 :0 0 : 1 0 : : 0 : 0  000000000      : 0
$      480 0 0 :: : : : : : : : : 0  000000000      : :
$      720 0 0 :: : : : : : : : : 1  [illegible]    : :
$      960 0 0 01 0 : : : : : 0 : 1  100000000      0 :
$     1200 0 : :: 0 : : : 0 : 0 0 :  100000000      0 :
$     1440 0 0 :: 0 : : : : : : : :  [illegible]    : :
$     1680 0 : :: 0 : : : : : : 0 :  [illegible]    : :
$     1920 0 0 :: 0 : : : : : 0 1 1  110000000      0 :
$     2160 : : :: : : : : : : : : :  110000000      : :
$     2400 : : :: : : : : : : : : :  001000000      : :
$     2640 0 : :: 0 : : : : : : : :  001000000      0 :
$     2880 : : 01 0 : : : : : : : :  [illegible]    : :
$     3120 0 0 00 0 : : : 0 : : : :  [illegible]    : :
$     3360 0 : :: : : : : : : : : :  [illegible]    : :
$     3600 : : :: : : : : : : : : :  [illegible]    : :
$     3840 0 : :: 0 : : : 0 : 0 : :  111000000      0 :
$     4080 0 0 00 0 1 1 1 0 1 0 0 1  111000000      0 1
$     4320 0 0 01 0 : : 1 0 : 0 1 1  000100000      0 :
$     4560 0 0 00 0 : : : 0 : 0 0 1  000100000      0 :
$ 205440 0 0 0 1 0 1 1 1 0 1 0 1 1  110101011  0 1
$ 205680 0 0 0 0 0 1 1 1 0 1 0 0 1  110101011  0 1
$ 205920 0 0 0 1 0 1 1 1 0 1 0 1 1  001101011  0 1
$ 206160 0 0 0 0 0 1 1 1 0 1 0 0 1  001101011  0 1
$ 206400 0 0 0 1 0 1 1 1 0 1 0 1 1  101101011  0 1
$ 206640 0 0 0 0 0 1 1 1 0 1 0 0 1  101101011  0 1
$ 206880 0 0 0 1 0 1 1 1 0 1 0 1 1  011101011  0 1
$ 207120 0 0 0 0 0 1 1 1 0 1 0 0 1  011101011  0 1
$ 207360 0 0 0 1 0 1 1 1 0 1 0 1 1  111101011  0 1
$ 207600 0 0 0 0 0 1 1 1 0 1 0 0 1  111101011  0 1
$ 207840 0 0 0 1 0 1 1 1 0 1 0 1 1  000011011  0 1
$ 208080 0 0 0 0 0 1 1 1 0 1 0 0 1  000011011  0 1
$ 208320 0 0 0 1 0 1 1 1 0 1 0 1 1  100011011  0 1
$ 208560 0 0 0 0 0 1 1 1 0 1 0 0 1  100011011  0 1
$ 208800 0 0 0 1 0 1 1 1 0 1 0 1 1  010011011  0 1
$ 209040 0 0 0 0 0 1 1 1 0 1 0 0 1  010011011  0 1
$ 209280 0 0 0 1 0 1 1 1 0 1 0 1 1  110011011  0 1
$ 209520 0 0 0 0 0 1 1 1 0 1 0 0 1  110011011  0 1
$ 209760 0 0 0 1 0 : : : 0 : : 1 1  001011011  0 :
$ 210000 0 0 0 0 0 1 : : 0 : 0 0 :  001011011  0 1
$ 210240 0 1 1 1 0 : 0 0 1 0 0 : 0  000000000  1 0
$ 210480 0 1 1 0 0 1 0 0 1 0 0 1 0  000000000  1 0
$ 210720 0 1 : : 0 : : : : 0 0 : 0  000000000  : 0
$ 210960 0 1 1 0 0 : 0 0 1 0 0 : 0  000000000  1 0
$ 211200 0 1 1 1 0 : 0 0 1 0 0 : 0  000000000  1 0
$ 211440 0 1 1 0 0 : : : : : : : 0  000000000  : 0
$ 211680 0 1 1 1 0 : : 0 1 0 0 : 0  000000000  1 0
$ 211920 0 1 1 0 0 1 0 0 1 0 0 1 0  000000000  1 0
$ 212160 0 1 1 1 0 1 0 0 1 0 0 : 0  000000000  1 0
$ 212400 0 1 1 0 0 : 0 0 1 0 0 1 0  000000000  1 0
$ 212640 0 1 1 1 0 : 0 0 1 0 0 1 0  000000000  1 0
$ 212880 0 : : 0 : : : : : 0 0 : 0  000000000  1 0
$ 213120 : : : : : : : : : : : : 0  000000000  : :
$ 213360 0 1 1 0 0 : 0 : : 0 0 : 0  000000000  1 0
$ 213600 0 1 1 1 0 : 0 0 1 0 0 : 0  000000000  1 0
$ 213840 0 1 1 0 0 : : : : : 0 : 0  000000000  1 0
$ 214080 0 1 1 1 0 : 0 0 1 0 0 : 0  000000000  1 0
$ 214320 0 1 1 0 0 : 0 0 : : 0 : 0  000000000  1 0
$ 214560 0 1 1 1 0 : : : : : : : 0  000000000  1 0
$ 214800 0 1 1 0 0 1 0 0 1 0 0 1 0  000000000  1 0
```

AST/DATA 셀렉션 시뮬레이션

```
************************* YOSEI LOGIC SIMULATOR - YSLOG ***********************
*
*                  ********* AST/DAT SELECTION*********
*
*
*****************************************************************************

DEFAULT 0
ONE  STA BUSEL
ACTA GEN 3000 3090 [illegible]
ATRA GEN 3000 3090 [illegible] 3600 3660
+         3840 3900 3960 8000
ACTB GEN 3060 [illegible]
ATRB GEN 3030 3060 [illegible]
+         3840 3870 [illegible]
DTRA GEN [illegible] 8000
DTRB GEN 3030 3090 [illegible] 3810 8000
BUSEL GEN 30 60 R 0
DTA GEN 90 180 R 0
DTB GEN 90 180 R 0

*************** SELECTION LOGIC ***************

DAT INV 2 2 ADSF39
ADSF39 NOR 1 1 [illegible]
ADSF37 NAND 2 2 ADSF[illegible] ADSF[illegible] ADSF[illegible]
ADSF38 NAND 2 2 ADSF[illegible] ADSF[illegible] ADSF[illegible]
ADSF[illegible] NOR 2 2 ADSF[illegible] ADSF[illegible] ADSF[illegible]
ADSF[illegible] NOR 2 2 ADSF[illegible] ADSF[illegible] ADSF[illegible]
[illegible]
ADSF35 NOR 2 2 ADSF[illegible] ADSF[illegible] ADSF[illegible]
ADSF36 NOR 2 2 ADSF29 ADSF[illegible] ADSF[illegible]
ADSF14 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF15 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF16 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF17 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF18 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF19 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF20 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF21 NOR 1 1 ADSF[illegible] ADSF[illegible]
ADSF22 NOR 1 1 ADSF[illegible] ADSF[illegible]
[illegible]
ADSF1 NAND 2 2 AANN ACTRAN ACTBN
ADSF2 NAND 2 2 AANN ACTRAN AAN
ADSF3 NAND 2 2 ABNN ACTRBN AAN
ADSF4 NAND 2 2 ABNN ACTRBN ACTAN
ADSF5 NAND 1 1 DTA DTRANN
ADSF6 NAND 2 2 DTB DTRAN DTRBNN
ADSF7 NAND 2 2 DTRAN DTRBN
ADSF8 NAND 1 1 DTB DTRBNN
ADSF9 NAND 2 2 DTA DTRANN DTRBN
ADSF10 NAND 3 3 AANN ATRANN ABNN ATRBNN
ADSF11 NAND 2 2 DTRANN DTRBNN BUSELNN DTA
ADSF12 NAND 2 2 DTRBNN DTRANN BUSELN DTB
ADSF13 NOR 2 2 AANN ABNN
AANN INV 2 2 AAN
AAN INV 1 1 ACTA
ABNN INV 2 2 ABN
ABN INV 1 1 ACTB
ATRANN INV 2 2 ATRAN
ATRAN INV 1 1 ATRA
ATRBNN INV 2 2 ATRBN
ATRBN INV 1 1 ATRB
DTRANN INV 2 2 DTRAN
DTRAN INV 1 1 DTRA
DTRBNN INV 2 2 DTRBN
DTRBN INV 1 1 DTRB
BUSELNN INV 1 1 BUSELN
BUSELN INV 1 1 BUSEL
ASTDAT INV 1 1 ADSF40
ADSF40 NAND 1 1 ASELA ASELB
ASELA NAND 1 1 AANN ATRANN
ASELB NAND 1 1 ABNN ATRBNN

PRINT ACTA BLANK BLANK ATRA BLANK BLANK ACTB BLANK BLANK
+      ATRB BLANK BLANK DTRA BLANK BLANK DTRB BLANK BLANK
+      BUSEL BLANK BLANK DTA BLANK BLANK DTB BLANK BLANK
+      BLANK ASTDAT BLANK BLANK DAT

MAXTIME 5000 30 2970
END
```

```
TIME
 2970 0  0  0  0  0  0  1  :  0   1  1
 3000 0  0  0  0  0  0  0  :  :   :  1
 3030 1  1  0  0  1  0  1  :  :   0  0
 3060 1  1  0  1  :  :  0  :  :   0  0
 3090 1  :  :  0  :  1  1  :  0   0  1
 3120 0  0  :  :  :  0  0  :  0   :  :
 3150 0  :  :  :  :  0  :  :  :   :  :
 3180 :  0  :  :  :  :  :  :  :   :  0
 3210 1  :  1  :  :  :  :  :  :   :  0
 3240 1  :  :  :  :  :  :  :  :   0  0
 3270 1  :  :  :  :  0  :  :  :   :  :
 3300 1  :  :  :  :  :  :  :  :   :  0
 3330 :  :  :  :  :  :  :  :  :   :  :
 3360 1  :  :  1  :  :  :  :  :   :  :
 3390 1  :  0  0  :  :  :  :  :   :  :
 3420 :  :  0  1  :  :  :  :  :   :  :
 3450 :  :  :  0  0  :  :  :  :   :  0
 3480 0  0  :  1  :  :  0  :  :   :  0
 3510 0  :  :  :  :  :  :  :  :   :  0
 3540 0  0  :  :  :  :  :  :  :   :  :
 3570 :  :  :  :  :  :  :  :  :   :  :
 3600 :  :  :  :  :  :  :  :  :   :  0
 3630 :  :  :  :  :  :  :  :  :   :  :
 3660 0  0  :  :  :  :  :  :  :   :  :
 3690 0  :  :  :  :  :  :  :  :   :  :
 3720 0  :  :  :  :  :  :  :  :   :  0
 3750 :  :  :  0  :  :  :  :  :   :  :
 3780 1  :  0  :  :  :  0  :  :   :  0
 3810 :  :  :  0  :  :  :  :  :   :  :
 3840 :  1  0  :  :  0  0  :  :   :  :
 3870 0  0  0  0  :  0  :  :  0   :  :
 3900 0  0  0  :  :  :  :  :  :   :  :
 3930 0  :  0  :  :  :  :  :  :   :  :
 3960 0  :  :  :  :  :  :  :  :   :  :
 3990 0  0  0  :  :  :  :  :  :   :  :
 4020 0  0  :  :  :  :  :  :  :   :  :
 4050 0  0  :  :  :  :  :  :  :   :  :
 4080 0  :  0  :  :  :  :  :  :   :  1
 4110 0  0  :  :  :  :  :  :  :   :  :
 4140 0  0  :  :  :  :  :  :  :   :  :
 4170 0  0  0  :  :  :  :  :  :   :  :
 4200 0  0  0  :  :  :  0  :  :   :  :
 4230 0  0  0  :  :  :  :  :  :   :  :
 4260 0  0  0  :  :  :  :  :  :   :  :
 4290 0  0  0  :  :  :  :  :  :   :  :
 4320 0  0  0  :  0  :  :  :  :   :  :
```