



있다. 4 상 DPSK 는 보통의 위상변조가 반송파의 위상과 부호와의 대응이 고정된 것에 대해서 기준 위상을 가지고 항상 직전의 반송파의 위상을 기준으로 해서 그것으로부터 위상을 변환한 부호와 대응된다.

### 3. 變調 와 復調

4 상 위상변조는 평행변조를 2 개 사용하고 서로 직교하는 반송파를 2 상 위상변조하여 그 출력을 합성해 4 상 변조되며 이에 대한 계통도를 그림 1. 과 2. 에 보았다.

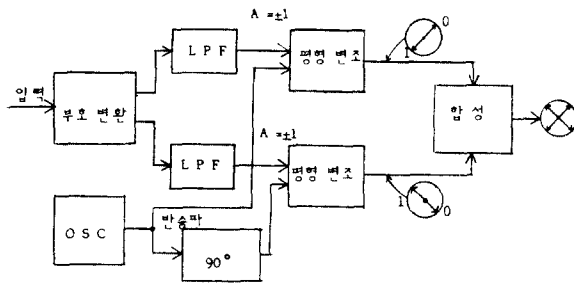


그림 1. 4 상 DPSK 의 위상변조 회로도

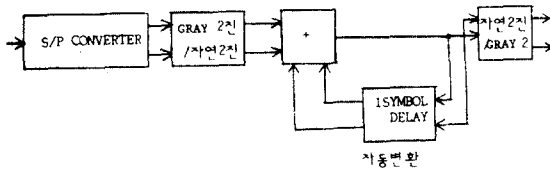


그림 2. 부호변환 회로도

위상변조 회로의 일반적인 식은

$$S(t) = A \sum_{n=1}^N g(t - nT) \cos(2\pi f_c t + \theta_n) \quad (1)$$

으로 표시하는데 DPSK 에서는 디지털 정보가 인접한 두 심볼의 위상차 ( $\theta_n - \theta_{n-1}$ ) 로 나타나며 Dibit 의 조합에 따라  $\pm 45^\circ, \pm 135^\circ$  의 값을 갖는다. 그림 1. 에서 Data bit 는 4 상 위상변조때문에 2 비트의 pair 를 만들기 위해 직렬 병렬 변환을 한다. DPSK 에서는 한 심볼전의 상태와 차를 변조기의 입력에 넣어야하기 때문에 변환할 필요가 있다. 본래는 한 심볼전의 병렬 비트와 다음의 병렬 비트와의 합을 취한 것으로 한 심볼전의 위상으로부터 차를 주는 새로운 데이터가 되지만 비트와 위상과의 관계는

자연2진수는 아니고 이진바 그레이코드 2진수로 하기 위해서 이 연산의 부분만 자연2진수로 변환하는 변환하는 변환회로를 전후에 넣어준다. 수신부에 전달된 신호는 선로 특성이 이상적이고 잡음의 영향이 없다면

$$S_n(t) = A g(t) \cos(2\pi f_c t + \theta_{n-1}) \quad (2)$$

로 주어진다.

한 주기만큼 지연되어  $90^\circ$  위상편이를 한 신호는

$$S_{n-1}(0^\circ)(t) = A g(t) \cos(2\pi f_c t + \theta_{n-1}) \quad (3)$$

$$S_{n-1}(90^\circ)(t) = A g(t) \cos(2\pi f_c t + \theta_{n-1} + \pi/2) \quad (4)$$

로 주어지며 위의 식 (3), (4) 가 각각 평행 변조기에 가해지면

$$S_n(t) S_{n-1}(0^\circ)(t) = (A^2/2) g^2(t) [\cos(4\pi f_c t + \theta_n + \theta_{n-1}) + \cos(\theta_n - \theta_{n-1})] \quad (5)$$

$$S_n(t) S_{n-1}(90^\circ)(t) = (A^2/2) g^2(t) [\cos(4\pi f_c t + \theta_n + \theta_{n-1} + \pi/2) + \cos(\theta_n - \theta_{n-1})] \quad (6)$$

으로 된다.

식 (5), (6) 을 LPF 에 통과시키면 출력은

$$F(0^\circ) = (A^2/2) g^2(t) \cos(\theta_n - \theta_{n-1}) \quad (7)$$

$$F(90^\circ) = (A^2/2) g^2(t) \sin(\theta_n - \theta_{n-1}) \quad (8)$$

과 같이 된다.

즉, 인접한 두 심볼의 위상은 위 식에서와 같이 검출되며

$\cos(\theta_n - \theta_{n-1}), \sin(\theta_n - \theta_{n-1})$  의 절대값은 모두  $1/\sqrt{2}$  이므로 Dibit 는  $F(0^\circ)$  와  $F(90^\circ)$  에서 레벨로 검출된다. Dibit 에 대한 인접심호사이의 위상차 관계를 표 1. 에 나타 내었다.

	E(0)	e(90)	Dibit
+45	+	+	0 0
+135	-	+	0 1
-135	-	-	1 1
-45	+	-	1 0

표 1. 특성에 대한 Dibit 판정

### 4. 回路 構成

전송속도 : 2400 bps  $\pm 0.01\%$

신호주파수 : 1200 Hz  $\pm 0.01\%$

변조방식 : DPSK  
반송파주파수: 1800 KHz  $\pm$  1Hz  
위상배분 : Alternative B  
0 0 + 45  
0 1 + 135  
1 1 - 135  
1 0 - 45

변조부의 회로구성은 변조 IC Chip을 이용하였다. 이 Chip은 IBM-PC/XT 8250 UART 로 부터 ASCII Code화된 Data 를 입력으로하여 Clock에 맞춰 DPSK신호를 출력시킨다. 이 Data 는 D/A Converter 를 거쳐 LPF 를 통과 한으로서 전송 Line 상에 DPSK 신호가 실어진다. 전송 Line 를 따라서 수신단에 전송된 Data 는 BPF 를 통해 대역제한을 하고 LPF 를 통해 Spectral shaping 을 한다. 이 신호가 CMOS BBD Delay Line 을 통해 한 Symbol 주기인 0.83msec Delay 되어 원래의 수신 신호와 Multiply 한다. 이를 위해 Balanced Modulator 용 IC 를 이용하였다. 이 출력 신호를 수신단에서 재생한 동기 Clock 에 맞춰 제일 안정한 지점에서 Sampling 하여 변환 회로를 통과하면 원래의 Data 를 검출할 수 있다. 동기 Clock 재생은 수신된 신호의 Zero crossing 점을 이용하여 PLL 복조를 하였다.

수신부 전체 회로 구성의 블록을 그림 4. 에 보았다.

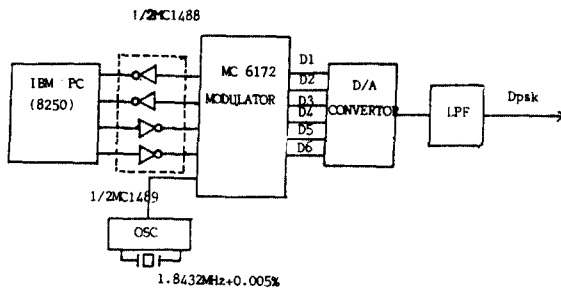


그림 3. 변조부의 회로도

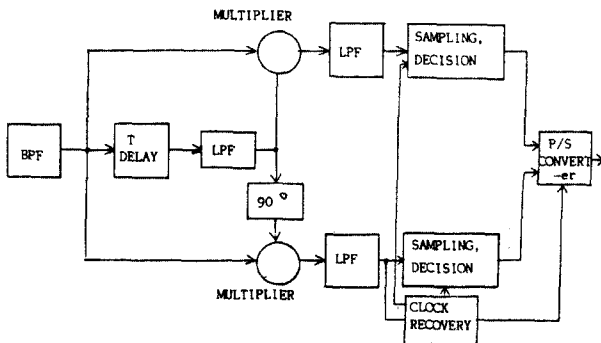


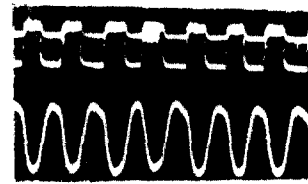
그림 4. 수신부 회로 구성의 블록도

### 5. 실험 및 검토

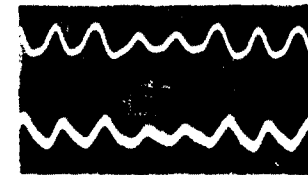
변조부는 Clock 주파수 1.8432MHz+0.005% 를 요구하는 MC6172 IC Chip 을 이용하였다. D/A Converter 는 MC1406 을 사용하였으며 LPF 는 차단주파수 2.6KHz 를 갖는 Chebyshev Active Filter 로 구성하였으며 BPF 는 2 Pole HPF( $f_c=0.8KHz$ ) 와 5 Pole LPF( $f_c=2.8KHz$ ) 로 구성하였으며 비교적 좋은 성능을 얻을 수 있었다. 수신단에 전달되어 BPF 를 거친 신호는 1/1200 bps 동안 지연시킬 필요가 있는데 MN3006 BBD Delay Line 을 이용하였다. BBD 에 공급되는 Clock 주파수는 4.9MHz 를 발진시켜 분주함으로써 요구한 주파수를 공급하였으며 TR 을 사용하여 Level Shifting 을 함으로써 요구된 Vclock 를 인가했다. 이 BBD 출력이 90° 위상 Shifter 에 가해지며 이때 약간의 위상편이가 있었으며 Balanced Modulator MC1496 을 통해 Multiply 된 신호는 변환회로를 통하여 가장 안정한 지점에서 Sampling 되어 복조된다. 실험상 회로 전반에 걸쳐 소자들이 인가전압에 매우 민감하였으며 Noise 보다는 Intersymbol Interference 영향이 더욱 문제시되었다.



a.



b.



c.

그림 5. a. 송신단 출력과 클럭후의 파형

b. 지연후의 파형

c. 지연후의 파형과 90° 위상편이 파형

## 6. 結 論

본 논문에서는 실제 제작된 2400bps 모뎀의 각 부분에 대해서 구성방법과 이론, 회로도 및 실험결과를 보였다. 특히, DPSK 에서는 Carrier 재생은 4 개의 위상중 어느것에 lock 되어도 된다는 잇점때문에 수신신호의 zero crossing 점을 이용하여 원하는 동기 클럭을 쉽게 얻을 수 있었다. 변조부는 IC Chip 을 이용하여 쉽게 구성할 수 있었으며 데이터 전송은 IBM-PC/XT 8250 UART로부터 ASCII Code 화번 문자를 사용하였다. 수신단에서 원래의 신호를 얻기 위해 입력신호를 지연시킬때 MN3006 BBD 가 편리하게 이용되었다. 회로상 모든 필터는 Chebyshev Active Filter 를 이용하였는데 선형위상 특성을 고려해 볼때 만족할 만한 결과를 얻을 수 있었다. 실제로 복조출력을 IBM-PC/XT CRT 에 Display 해 봄으로써 제작된 DPSK 2400 bps 모뎀의 실용성이 확인되었으며 구하기 쉬운 CMOS IC 를 이용하여 제작함으로써 원래의 신호를 재생할 수 있음을 보였다.

본 연구에서의 모뎀에 약간의 부가적인 기능을 추가하고 변형시키면 고속 모뎀까지도 실현할 수 있을 것이며 회로의 부분적인 동작을 프로그램화 함으로써 더욱 실용화 할 수 있을 것이다.

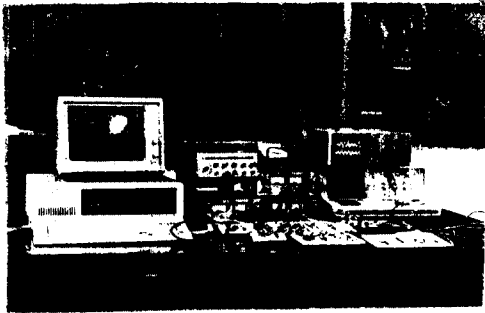


그림 6. 전체 실험 장치도

## 7. 參 考 文 獻

1. 김 갑수, "PSK 변조방식을 이용한 Data Modem 에 관한 연구." 석사학위 논문, 전북대학교, 1985.
2. 김 대영, "A Quarternary DPSK System for 2400bps Modem." 석사학위 논문, 서울: 한국과학원, 1976.
3. CCITT Series V Recommendations on data Transmission over the Telephone Network.

4. K. Watanabe, K. Inoue, T. Sato, "A 4800bps Microprocessor Data Modem," IEEE Trans. on Comm., vol. COM-26, pp.493-498, May, 1978.

5. P. A. Barker, "Phase Modulation Data Sets for Serial Transmission at 2000 and 2400bps," AIEE Trans. on Comm., pt. I(Communication and Electronics), no.61, pp.166-171, July, 1962.

6. W. C. Lindsey, M. C. Simon, "Detection of Digital FSK and PSK using a first order Phase-Lock Loop," IEEE Trans.on Comm., vol. COM-25, pp.215-226, Feb, 1977.

7. P. J. Van Gerwen, p. Van der Warf, "Data Modems with Integrated Digital Filters and Modulators," IEEE Trans. on Comm.Technol., vol. COM-18, pp.214-222, Jun, 1970.

8. R. W. Stroh, "An Experimental Microprocessor Implemented 4800bps Limited Distance Voiceband PSK Modem," IEEE Trans. on Comm., vol. COM-26, pp.507-512, May, 1978.

9. M. Schwarz, "Information Transmission, Modulation and Noise," McGraw-Hill, New York, pp.127-203, 1970.

10. J. R. Davey, "Modems," Proc IEEE Trans. on Comm., vol. COM-11, pp.1281-1292, Nov, 1972.

11. A. E. Carlson, "Communication Systems," 2nd ed., New York, McGraw-Hill, 1975.