

Si-oxides가 ZnO varistor의 항복특성에 미치는 영향

○ 김 종문, 진 희창, 마 재평, 백 수현  
한양대학교 재료공학과

Effect of Si-oxides on the breakdown properties of ZnO varistor

Jong Moon Kim, Hee Chang Jin, Jae Pyung Mah, Su-Hyon Paek  
Dept of Materials Eng., Hanyang University

ABSTRACT

To enhance the breakdown properties of low voltage oriented ZnO varistor, the samples were fabricated with the amounts of Si-oxides and the sintering conditions. And then, to lower the breakdown voltage the TiO<sub>2</sub>-added samples were fabricated. We investigated the nonlinear exponent, the nonlinear resistance and the V-I characteristics of samples. And we discussed with microstructures by use of SEM and the position of Si by EDS.

Si-oxides, especially, largely enhanced the nonlinear exponent. In this case optimum sintering condition was 1200-1250°C-lhr and TiO<sub>2</sub> addition lowered the breakdown voltage.

I. 서론

ZnO ceramic varistor는 ZnO 에 금속 산화물을 첨가하여 고온소결을 통해 얻어지며, back-to-back Zener diodes 에 준하는 매우 큰 비직선지수와 그 보다 큰 전류 및 energy capabilities 를 나타내는 회로 보호용 소자이다. (1) 그 개략적인 미세구조와 등가회로는 각각 그림 1 (a), (b) 와 같으며 n-type 반도체인 ZnO grain 이 매우 저항이 크고 얇은 grain boundaries 물질에 의해 둘러싸여있다. 이 다량의 Bi 를 함유하고 있는 boundary phase 에 의해 varistor 의 nonohmic 특성이 나타난다고 알려져있다. (2) Varistor 에서 관찰되는 전류-전압 특성은 아래의 power-law (2)관계로 부터 실험적으로 결정된다.

$$I = (V / V_b)^\alpha$$

여기서 c 는 비직선저항으로 1mA/cm<sup>2</sup> 가 흐를 때 단의 길이당 전압(V/mm) 이며  $\alpha$  는 비직선지수로 다음 식에서 계산된다.

$$\alpha = \frac{dI/I}{dV/V} = \frac{\log I_2 - \log I_1}{\log V_2 - \log V_1}$$

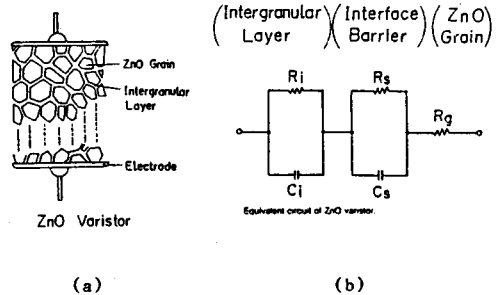


Fig. 1 (a) Microstructure and (b) Equivalent circuit of ZnO varistor.

그림 2는 commercial varistor 의 전류-전압 특성 곡선을 나타낸 것이다. (3)

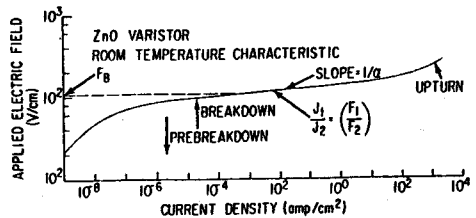


Fig. 2 Log-log plot of current density vs. applied field for a ZnO varistor.

곡선은 3단계로 구성되는데 10<sup>2</sup>-10<sup>3</sup>Ωcm<sup>2</sup> (2) grain boundary resistivity 에 의해 제한되는 Low current region 과 Nonlinear region 그리고 Bulk resistivity 이르는 1-

$10\Omega\text{cm}^{(4)}$  grain resistivity 에 의해 제한되는 upturn 영역으로 구별된다.

(2) 1970년대 초 Matsuoka 에 의해 비직선지수가 매우 큰 ZnO varistor 가 보고된 이래 이 분야에 대한 광범위한 연구가 진행되어왔다. Eda, Inada, Matsuoka 등은<sup>(5)</sup> seed grain 방법으로 2중소결을 거쳐 grain size 의 증대를 통해 항복전압이 낮은 varistor 제작하였으며, Calson, Gupta 등은<sup>(6,7)</sup> donor impurity doping 방법을 통해 varistor 의 물성을 향상시키고자 하였다. 한편 백, 마, 진등은<sup>(8)</sup> ZnO varistor 계의 새로운 조성을 결정한 후 donor impurity 로서  $\text{Co}_2\text{O}_3, \text{Mn}_2\text{O}_3$  이외의 천연금속 산화물 중 양이온의 변경이  $\text{Zn}^{2+}$  보다 작고 +3가 이상으로 작용할 수 있는 것들을 첨가함으로써 항복전압이 낮은 varistor 제작을 시도하였다.

일반적으로 ZnO varistor 에 있어 nonlinearity 는 grain boundary 부위에 존재하는  $\text{Bi}_2\text{O}_3$ -rich phase 에 의해 나타난다고 알려져 있는데 특히 Calson, Gupta 등은<sup>(6)</sup> intergranular phase 에서 Bismuth silicate ( $12\text{Bi}_2\text{O}_3 \cdot 2\text{SiO}_2$ ) 를 검출하였고 또 그 phase 내에 일부의 Si 이 doped 된 사실을 확인하였다. 그러나  $\text{SiO}_2$  를 첨가한 varistor 의 미세구조적인 관찰을 하였을 뿐 전기적 특성에 대해서는 언급하고 있지 않으며 미세구조와의 직접적인 연관성을 제시하지 못하고 있다. 따라서 본 연구에서는 저전압용 ZnO varistor 기본조성에 Si-oxides 를 첨가하여 varistor 의 항복특성에 미치는 영향을 조사하고자 그 농도와 소결조건을 변화시켰으며  $\text{TiO}_2$  가 c 값을 낮춘다는 사실에 비추어 가장 특성이 좋은  $\text{SiO}_2$  성에  $\text{TiO}_2$  를 미량 첨가하여 그 성질을 개선시키고자 하였다.

II. 실험 방법

1. 시편 제작

(1) 조성

ZnO varistor 기본조성으로서 백, 마, 진등에 의해 보고된 바 있는  $\text{ZnO}-1.0\text{m}/\text{oBi}_2\text{O}_3-1.0\text{m}/\text{oCo}_2\text{O}_3-0.2\text{m}/\text{oMnO}_2$  에 Si 및 Ti-oxide의 조성을 표 1과 같이 변화시켰다.

	ZnO	$\text{Bi}_2\text{O}_3$	$\text{Co}_2\text{O}_3$	$\text{MnO}_2$	Add.
0S <sub>1</sub>					$\text{SiO} - 0.05$
1S <sub>1</sub>					$\text{SiO} - 0.1$
2S <sub>1</sub>	bal.	1.0 m/o	1.0	0.2	$\text{SiO} - 0.2$
3S <sub>1</sub>					$\text{SiO} - 0.5$
1S <sub>2</sub>					$\text{SiO}_2 - 0.1$
3S <sub>2</sub>					$\text{SiO}_2 - 0.5$
ST					$\text{SiO}-0.1 + \text{TiO}_2-0.1$

Table. Composition of S<sub>1</sub>, S<sub>2</sub>, and S<sub>1</sub>T

(2) 공정

각 조성을 정확히 칭량한 후 건조시킨 다음 분쇄하여 700 °C에서 하소시키고 다시 분쇄한 다음 습식으로 6시간 혼합하였다. 이를 다시 충분히 건조시킨 후 0.7 gm씩 칭량하여  $0.6\text{ton}/\text{cm}^2$  의 압력을 가해 직경 1mm, 두께 2-3mm인 disc 형태의 시편을 제작하였다.

(3) 소결

Siliconit 전기로에서 시간당 300 °C 의 상승속도로 1150-1350 °C 까지 50 °C간격을 두어 각각 1시간씩 소결하였고 600 °C 까지 노냉 후 공냉하였다. 한편 특성이 좋았던 1S<sub>1</sub> 의 경우 1250 °C에서 30, 60, 120 분씩 각각 소결한 시편도 제작하였다.

2. 전기적 특성 측정 :

위와같이 소결된 시편을 두께 1mm, 직경 7mm로 연마한 다음 양면에 silver paste를 입혀 350 °C에서 2시간 동안 소결하여 ohmic 전극을 형성시켰다.

전류-전압 특성은 시편에 200V 까지 가할 수 있는 직류전원을 사용하여  $10^{-9} - 10^{-1}\text{A}$ 까지의 전류를 Keithely 177 Digital Multimeter 를 사용하여 측정하였으며 이 data 를 통해 V-I plot 를 하였고 비직선지수 및 비직선저항을 얻었다. 또한 V-I plot 에서 실제 breakdown voltage를 비직선저항과 비교하여 보았다.

3. 현미경조직 관찰 및 성분분석

측정을 거친 시편을 미세연마한 후 1/1000의  $\text{HClO}_4$  수용액에서 15-20 초 동안 etching 한 다음 Balzers BAL 370 model 인 증착기로 Cu 를 100-150 Å 정도 착하였다. 미세구조는 SEM(Scanning Electron Microscope)을 사용하여 1000 배로 관찰하였고 동시에 1S<sub>1</sub> 이 존재하는 위치 및 고용경향을 알아보기 위하여 EDS(Energy Dispersive Spectrometer)로 grain 내부와 grain boundary 를 조사하였다.

III. 결과 및 고찰

1. 전기적 특성

(1) 조성

가) 기본조성 + SiO 계

1200 °C에서 소결된 S<sub>1</sub> 시편들의  $\alpha$  값은 그림 3 과 같이 나타났다. c 값은 60-70 V/mm 사이로서 조성에 따른 변화 폭이 작아 S<sub>1</sub> 가 grain size 에 크게 영향을 미치지 않았음을 알 수 있었다. 1S<sub>1</sub> 시편에서 40에 가까운 높은  $\alpha$  값이 나타났으며 나머지 조성에서는 30이하의  $\alpha$  값을 나타내어 SiO 의 적정 첨가량은 0.1m/o 임을 알았다. 이와같이 1200 °C 소결시 가장 좋은 특성을 나타낸 1S<sub>1</sub> 시편의 소결온도의 변화에 따른 c 및  $\alpha$  값을 조사한 결과 그림 4

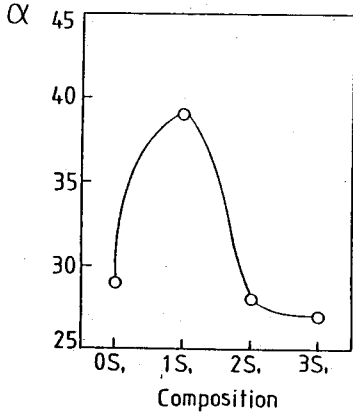


Fig. 3  $\alpha$  values of  $S_1$  at 1200 °C

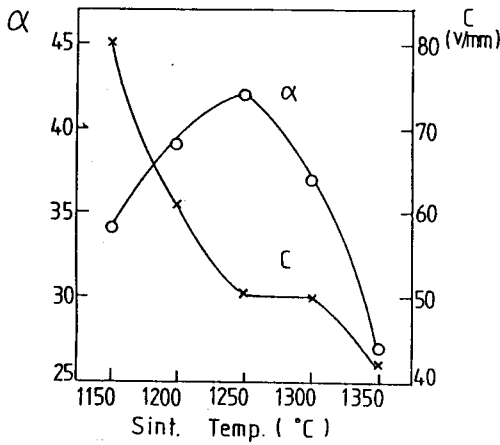


Fig. 4  $\alpha$  and C values of  $1S_1$  with sintering temperature.

와같이 나타났다. 온도의 증가에 따라 C값은 80-42V/mm 사이로 점차 낮아졌으며  $\alpha$ 값은 1250 °C와 1200 °C에서 높게 나타났다. 따라서 1200-1250 °C에서 varistor 구조가 완성되며 그 이상의 온도에서는 barrier phase가 분해되고 있음을 알수 있었다.

$1S_1$ 의 최적 소결온도로 나타난 1250 °C에서 소결시간에 따른 C 및  $\alpha$ 는 그림 5와같이 나타났다. 그림에서 C값은 60분 부근에서 가장 높게 나타나서 60분 정도의 소결시간이 varistor 구조의 완성에 적절함을 확인하였다.

나) 기본조성 +  $SiO_2$

$SiO_2$ 를 0.1 m/o 첨가시킨 시편의 소결온도에 따른  $\alpha$ 값이 그림 6과같이 나타났는데 비교를 위해  $1S_1$ 의 값도 같이 나타내었다. 그림 6에서  $1S_1$ 과 같이  $1S_2$ 도 1250°C에서 가장 좋은  $\alpha$ 값을 보였으나  $1S_1$ 의 경우가  $1S_2$ 에 비해 보다 높은  $\alpha$ 값을 나타낸것은 oxygen-deficient oxide인  $SiO$ 가 다음과 같은 반응을 통하여 n-type hop-

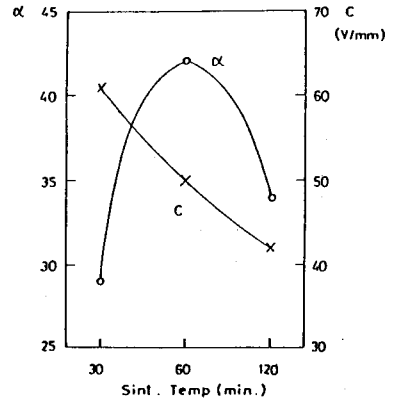


Fig. 5  $\alpha$  and C values with sintering time at 1250 °C

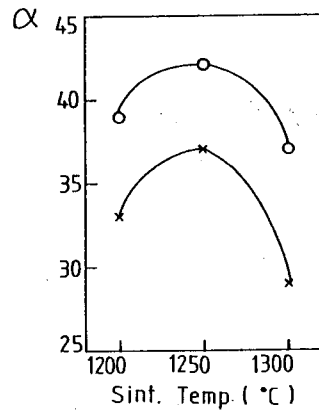
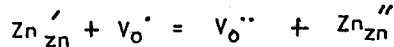
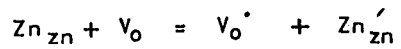
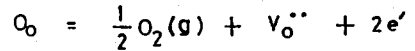
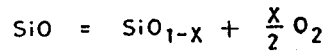


Fig. 6  $\alpha$  values of  $1S_1$  and  $1S_2$  with sintering temperature.

ping conduction 을 일으키기 때문이라 생각된다.(3)



또한 Calson, Gupta 등에 의하면 첨가된 Si 은 grain boundary 에서 Bismuth silicate( $12Bi_2O_3 \cdot 2SiO_2$ )를 형성시키며 일부는 boundary phase에 doping된다고 보고하였다.(6) 본 실험 결과 나타난 Si-oxides 첨가로 인한  $\alpha$ 값의 향상은 barrier phase 내에 Si 이 deep level를 형성하였기 때문이라 생각된다.(9)

다) 기본조성 +  $SiO + TiO_2$

기존의 보고에 의하면  $TiO_2$ 가 grain size를 크게하며(5)

ZnO grain 내에 Ti 이 doping 되어 donor 로 작용함으로써 carrier 를 많이 방출해 결국 C 값을 감소시킨다고 알려져있어 IS<sub>1</sub> 에 TiO<sub>2</sub> 를 0.1m/o 첨가하여 1250°C 내외의 소결온도에서의 항복특성을 조사한 바 그 α 및 c 값은 그림 7 (a), (b) 와 같았다. 역시 TiO<sub>2</sub> 첨가에 의해 c 값

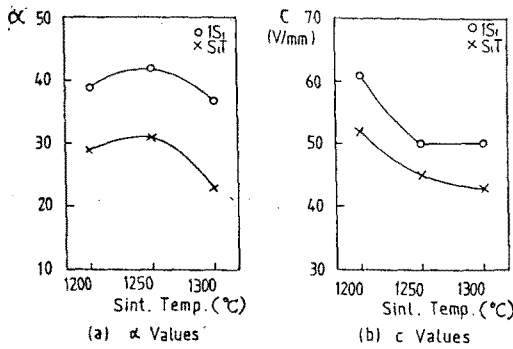


Fig. 7 (a) α values and (b) C values of IS<sub>1</sub> and S<sub>1</sub>T with sintering temperature.

이 감소됨을 확인하였으며, SEM 미세구조 관찰에서 나타난 grain size 의 약간의 증가가 이 사실을 뒷받침해 주고있다. 한편 α 값의 경우, 적정 소결조건에서 30 이상을 나타내어 C 값의 감소에도 불구하고 좋은 varistor 특성을 나타내었다.

(2) 전류 - 전압 특성

가장 좋은 특성을 보였던 IS<sub>1</sub> 시편의 주요 소결온도(1200-1300°C)에서의 V-I 특성 곡선은 그림 8 과 같이 나타났었다.

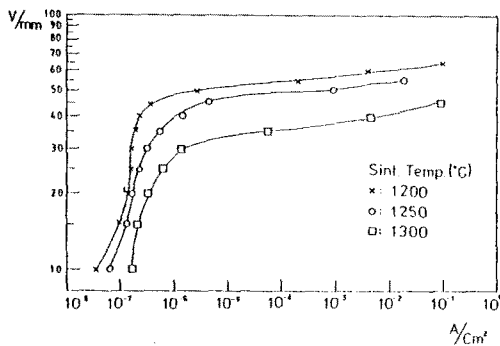


Fig. 8 V-I characteristic curves of IS<sub>1</sub> with main sintering temperature.

(2) 온도가 증가함에 따라 항복전압이 감소하며 leakage current가 증가함을 확인할 수 있었다. 앞서 비직선지수는 1250°C 시편의 경우가 가장 컸으나 1200°C 시편의 경우가 leakage current가 가장 적어서 V-I 특성까지 고려한

실제 항복특성은 1250°C 는 물론 1200°C 도 우수함을 알 수 있었다. 또 측정구간 내에서 upturn 이 거의 일어나지 않은 것으로 보아 실제 모호로 보호의 역할이 좋을 것임을 알 수 있었다. 한편 1250°C 에서 IS<sub>1</sub> 과 S<sub>1</sub>T 시편의 V-I 특성 곡선은 그림 9 와 같았다. 그림에서 나타난 바와 같이 실제 항복전압은 IS<sub>1</sub> 이 약 43V/mm, S<sub>1</sub>T 가 40V/mm 로서 C 값보다 상당히 낮게 나타났는데 특히 S<sub>1</sub>T 가 낮은 항복전압을 나타냈다.

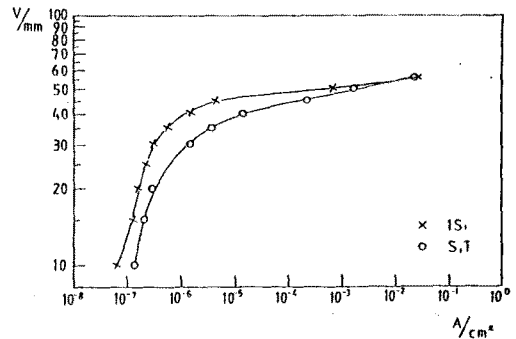
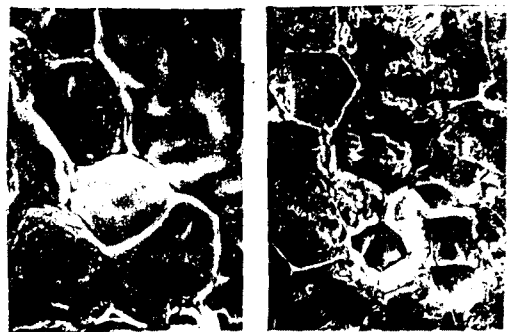


Fig. 9 V-I characteristic curves of IS<sub>1</sub> and S<sub>1</sub>T at 1250°C.

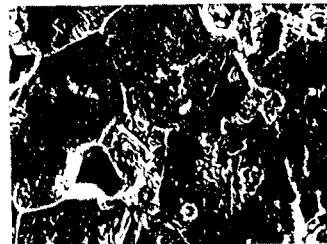
2. 미세구조 관찰 및 성분분석

1250°C 에서 소결된 IS<sub>1</sub>, IS<sub>2</sub> 그리고 S<sub>1</sub>T 의 미세구조는 각각 사진 (a), (b), (c) 와 같이 나타났는데 grain



(a) IS<sub>1</sub>

(b) IS<sub>2</sub>



(c) S<sub>1</sub>T

Photo. SEM Micrographs

size가  $1S_2$ ,  $1S_1$ ,  $1S_T$  순으로 증가하여 앞서 설명한 c 값의 감소와 일치함을 알 수 있었다.

한편 Si-oxides 첨가에 의해  $\alpha$ 가 크게 향상된 이유를 알아보기 위해서 행한 EDS 분석의 결과는 그림 10 과 같았다. 여기서 Si 의 특성 peak 가 grain 내부에는 존재하지 않고 grain boundary 에만 나타나서 Calson, Gupta 등이(6) 보고한 것과같이 Si 이 barrier phase 에 관련되어있음을 알 수 있다.

IV. 결론

Silicon oxides 는 barrier phase 에 관련되어 비직선 지수를 크게 증가시켰다. 특히 monoxides 가  $\alpha$ 를 크게 증진시킨것은 oxygen vacancies 생성에 의한 것으로 생각되었다.

Silicon oxides 의 적정 첨가량은 0.1 m/o 였으며 적절한 소결조건은 1250 °C 에서 1시간이었다. 또한  $TiO_2$  의 첨가로 항복전압을 크게 떨어뜨릴 수 있음을 확인하였다.

( Reference )

1. Lionel M. Levinson, Grain Boundary Phenomena in Electronic Ceramics, Advances in Ceramic Vol.10,pp300 (1981).
2. M.Matsuoka, Jpn.J.Appl.Phys.,Vol.10,pp736 (1971).
3. L.C Buchanan, Ceramic Materials for Electronics, Dekker, pp58-59 (1986).
4. H.R Philipp and L.M.Levinson, J.Appl.Phys. Vol. 47, pp1117 (1976).
5. K.Eda, M.Inada, M.Matsuoka, J.Appl.Phys.,Vol.54 No.2, pp1095 (1983).
6. A.T Santhanam, T.K Gupta, W.G Calson, J.Appl. Phys.,Vol.50,No.2,pp852 (1979).
7. W.G.Calson, T.K Gupta, J.Appl.Phys.,Vol.53,No. 8,pp6746 (1982).
8. 지희창-마재평-백수현, 대한 전자 공학회 추계 학술 발표대회 논문집,Vol.9,No.2,pp460 (1986).
9. G.D Mahan,L.M.Levinson and H.R.Philipp J.Appl. Phys., Vol.50,No.4,pp2799 (1979).

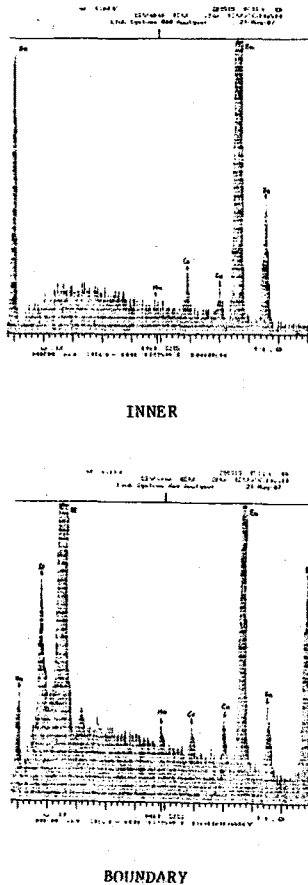


Fig. 10 EDS data of  $1S_1$