

Si<sub>3</sub>N<sub>4</sub> 게이트 pH-ISFET의 표면 처리 효과

○ 권대혁 이중현 손병기  
경북대학교 전자공학과

Surface treatment effect of the Si<sub>3</sub>N<sub>4</sub> gate pH-ISFET

Dae-Hyuk Kwon, Jong-Hyun Lee, Byung-Ki Sohn  
Dept. of Electronics, Kyungpook National University

Abstract

For longterm conservation of the Si<sub>3</sub>N<sub>4</sub> gate pH-ISFET, characteristics of ISFET surface treatment with HF and surface coating with paraffin wax were investigated.

1. 서 론

ISFET<sup>1-3</sup>(ion sensitive field effect transistor)는 반도체 집적회로 제조공정으로 제조되는 초소형 이온감지소자이다. 이는 기존의 이온센서인 ISL<sup>4</sup>(ion selective electrode)에 비해 빠른 응답속도, 초경량, 초소형, FET구조의 많은 장점들을 가지고 있다.

수소이온 감지막으로 가장 적합하다고 보고되어 있는 Si<sub>3</sub>N<sub>4</sub> 감지막의 경우 장시간 보관시 감지특성의 변화가 나타난다.

본 연구에서는 Si<sub>3</sub>N<sub>4</sub> 게이트 pH-ISFET의 실용화를 위해 보관에 따른 감지막의 특성변화를 AES 분석을 통하여 확인하고 이를 개선하기 위해 감지막 표면처리의 최적 조건을 조사하였다. 이 조건으로 표면처리된 pH-ISFET의 동작특성을 조사하고 장기보관을 위한 표면보호 방법을 찾았다.

2. 실험

2-1. ISFET칩의 제조

그림 1은 ISFET 칩 제조를 위한 웨이퍼 공정을 나타낸 것이다. 사용한 웨이퍼는 p형 실리콘이며 저항률은 6~9Ωcm이고 결정면은 (100)이다.

이때 ISFET 게이트 절연막의 질을 높이기 위하여 1000°C에서 TCE 산화법으로 약 500Å 정도의 게이트 절연막을 성장시킨 다음 1000°C, N<sub>2</sub>:O<sub>2</sub>:TCE = 100:3:1인 분위기에

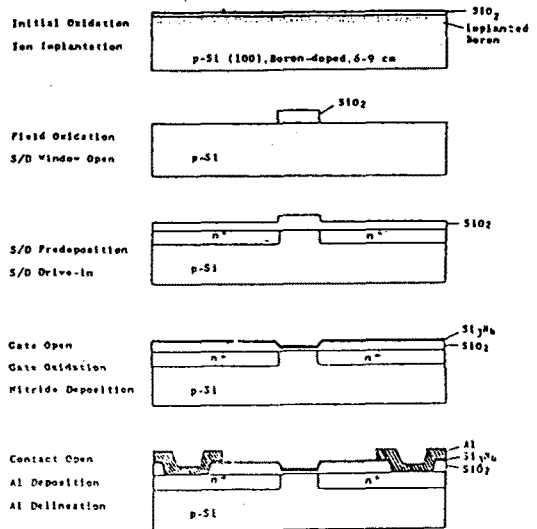


그림 1. ISFET의 웨이퍼 공정에 따른 단면도  
Fig.1. Cross sectional structures along the wafer process.

서 약 60분간 열처리하였다. 이 위에 Si<sub>3</sub>N<sub>4</sub>를 800°C에서 LPCVD(Low pressure chemical vapor deposition)로 1500Å 정도 형성시켰다.

제조된 ISFET의 칩 크기는 0.8mm × 1.4mm이고 감이온 게이트의 크기는 20μm × 300μm이다.

2-2. ISFET의 표면 처리

표 1. 각 샘플의 표면처리 방법과 측정 갯수

Sample	ISL	HSL	HPSL	BWSL	PSL
표면처리 방법	Si, N, 각 계층을 분기중 1년전보관	HF: H <sub>2</sub> O (50:1, 2%)	H <sub>2</sub> PO <sub>4</sub> (85%, 180°C, 2%)	Boiling water (2%)	Paraffin wax Coating 후 24시간보관
측정갯수	37	15	5	5	5

표 1에 ISFET의 Si<sub>3</sub>N<sub>4</sub> 감지막 표면용 HF, H<sub>2</sub>PO<sub>4</sub>, 황는 물, paraffin wax로 표면처리시, 각 조건과 샘플의 갯수를 나타내었다. 측정에 사용된 용액은 HYDRION(Aldrich Chemical Company, Inc.)이었으며 pH 2에서 pH 11까지 탈이온수에 용해시켜 사용했다.

3. 결과 및 고찰

3-1. Si<sub>3</sub>N<sub>4</sub> 게이트 ISFET의 감도특성

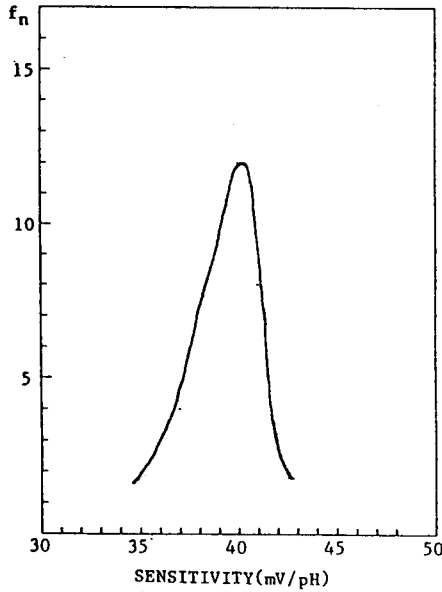


그림 2. Si<sub>3</sub>N<sub>4</sub> 게이트 ISFET 감도분포도

Fig.2. The si<sub>3</sub>N<sub>4</sub> gate ISFET sensitivity distribution graph.

그림 2는 표면처리되지 않은 ISL-ISFET 37개의 감도특성을 측정하고 그 분포를 나타낸 그림이다. 감도는 40mV/pH에 가장 많은 분포를 하고 있으며 26개 샘플이 39~41mV/pH 범위에 들어간다.

3-2. 표면처리 전·후의 ISFET 특성 비교

그림 3은 표면처리 하지 않은 ISL 샘플과 HIF에 처리된 HSL 샘플의 특성을 대비한 것이다.

표면처리 전의 경우, 좋지 못한 직선성을 나타내고 있으며 이 특성은 SiO<sub>2</sub>의 특성과 흡사하다.<sup>5)</sup> 즉 감지막의 산소에 의한 오염이 예상된다. 감지막 표면의 산화층을 제거하기 위해 앞에서 언급한 조건으로 HIF 처리후의 특성을 조사하였다. 높은 감도와 우수한 선형성을 나타낼을 알 수 있으며 이는 감지막 표면의 산화층이 제거되어 Si<sub>3</sub>N<sub>4</sub> 본래 특성으로 회복됨을 보여준다.

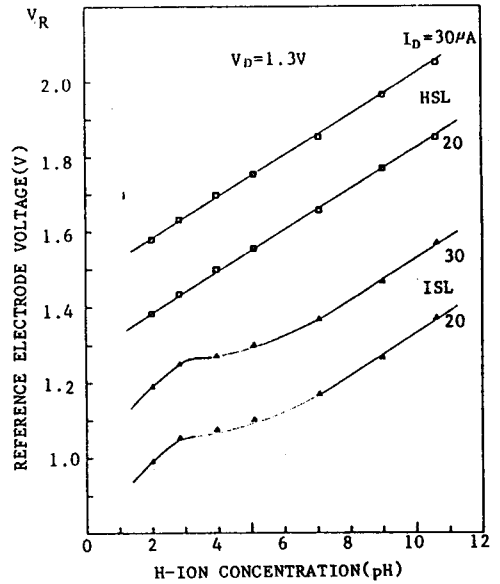


그림 3. HIF 표면처리 전·후의 ISFET 동작특성

Fig.3. Characteristics of ISFET before and after HF surface treatment.

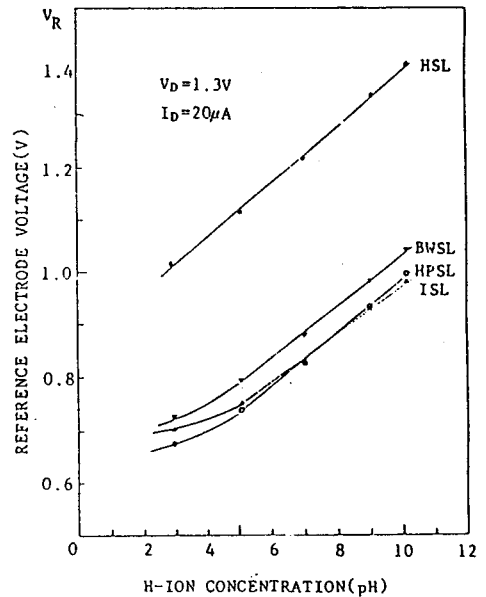


그림 4. 표면처리후의 ISFET 동작특성

Fig.4. Characteristics of ISFET after surface treatment.

그림 4는 샘플을 ISL → H<sub>2</sub>PO<sub>4</sub> → 황는 물 → HF 처리의 과정을 거치면서 각 조건에서의 특성을 조사한 것이다. H<sub>2</sub>PO<sub>4</sub>, 황는 물에서의 특성밀도가 거의 없었으며 HIF 처리후에는 감도와 선형성이 개선됨을 알 수 있다.

이상의 결과에서 Si<sub>3</sub>N<sub>4</sub> 게이트 ISFET를 제조후 장시간 공

기중 보관하였을 경우, 표면에 SiO<sub>2</sub> 층의 형성이 예상된다. 이를 구체적으로 확인하기 위해 ISL, HSL 샘플에 대해 AES(Auger electron spectroscopy) 분석을 하였다.

3-3. Si<sub>3</sub>N<sub>4</sub> 게이트 ISFET 게이트막의 분석

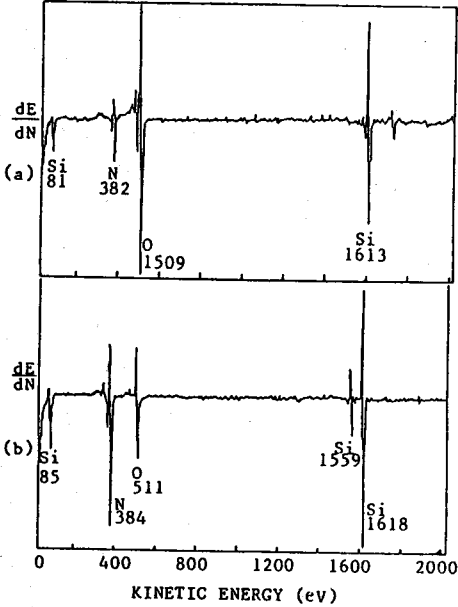


그림 5. Si<sub>3</sub>N<sub>4</sub> 게이트 표면의 Auger 스펙트럼  
(a) HF 처리 전 (ISL 샘플)  
(b) HF 처리 후 (HSL 샘플)

Fig.5. Auger spectrum of the Si<sub>3</sub>N<sub>4</sub> gate ISFET surface.

- (a) Before HF treatment (ISL sample)
- (b) After HF treatment (HSL sample)

그림 5는 Si<sub>3</sub>N<sub>4</sub> 게이트 표면을 HF 처리하기 전 (ISL) 과 후 (HSL)의 표면 AES 분석도이다. 이 그림에서 50:1 HF에 2분간 ISFET 게이트 부분을 표면처리한 (b)가 표면처리하지 않은 (a)보다 게이트막에 존재하는 산소량이 상당히 감소함을 알 수 있다.

그림 6은 ISL 샘플을 300 Å 제거한 후의 AES 분석도이다. 산소 peak가 나타나지 않음을 알 수 있다.

그림 7은 ISL 샘플 표면에서 280 Å까지 20 Å/min로 sputtering 하면서 나타낸 depth profile이다. 이 그림에서 80 Å부터는 Si<sub>3</sub>N<sub>4</sub>의 분포를 나타내고 있음을 알 수 있으며, ISFET 게이트 표면에서 25 Å까지는 질소보다 산소가 더 많이 존재하고 있음을 알 수 있다. 따라서 표면은 SiO<sub>2</sub>에 가깝다고 생각된다. 이 AES 분석 결과에서 공기중 1년간 보관된 ISFET의 경우 Si<sub>3</sub>N<sub>4</sub> 감지막 표면 20 Å 가까이에는 SiO<sub>2</sub> 혹은 Si<sub>x</sub>O<sub>y</sub>N<sub>z</sub>화 되어 이 표면층의 영향으로 감도와 선형성의 퇴

화현상이 나타난다.

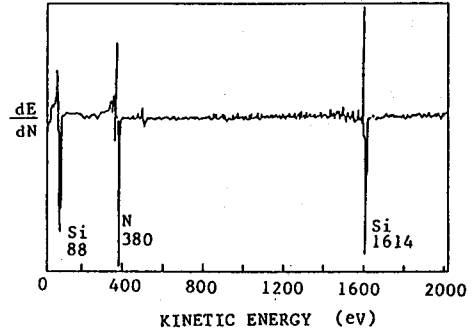


그림 6. 300 Å Sputtering 후의 Si<sub>3</sub>N<sub>4</sub> 게이트 Auger 스펙트럼

Fig.6. Auger spectrum of the Si<sub>3</sub>N<sub>4</sub> gate after 300 Å sputtering.

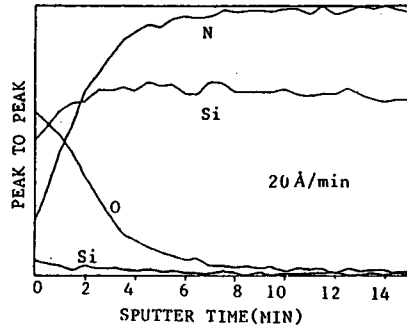


그림 7. Si<sub>3</sub>N<sub>4</sub> 게이트의 깊이에 따른 분포도

Fig.7. Depth profile of the Si<sub>3</sub>N<sub>4</sub> gate

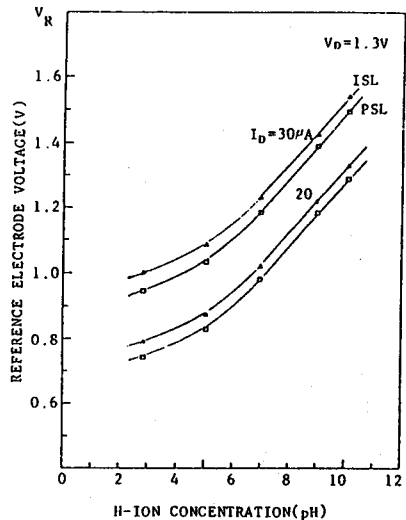


그림 8. Paraffin 표면처리후의 pH-ISFET 동작특성

Fig.8. Characteristics of the pH-ISFET after paraffin surface treatment.

그림 8은  $\text{Si}_3\text{N}_4$  게이트 표면의 산화방지 및 보호를 위하여 Paraffin wax를 coating하여 24시간 보관후 제거하였을 때 ISL 샘플의 특성을 조사한 것이다. ISL 샘플의 경우 Paraffin이 게이트 표면 상태 및 그 동작특성에 거의 영향을 주지 않음을 알 수 있다. HSL 샘플에 대한 장기간의 Paraffin coating 영향은 현재 측정 중에 있다.

#### 4. 결 론

$\text{Si}_3\text{N}_4$  게이트 ISFET를 장기보관할 경우 감지막 표면 특성 변화는 실용화를 위한 큰 장애요인이 된다. 공기 중에서 장기간 보관된 샘플을 HF,  $\text{H}_3\text{PO}_4$ , 끓는 물 등에 표면처리한 결과 최적조건은 HF(50:1, 2분)임을 확인하였으며, 이와 같이 표면처리된  $\text{Si}_3\text{N}_4$  게이트 ISFET는 원래의  $\text{Si}_3\text{N}_4$  감지막 특성인 높은 감도(약 50mV/pH) 및 우수한 선형성(pH 2~pH 11)을 회복하였다. 이 현상은  $\text{Si}_3\text{N}_4$  감지막 표면에 형성된 산화층을 HF로 제거하였기 때문이라 생각되어 AES 분석을 한 결과 이를 확인하였다.

또한 감지막 표면 보호를 위한 paraffin coating이  $\text{Si}_3\text{N}_4$  게이트 ISFET 동작특성에 영향을 주지 않음을 확인하였다. 따라서 pH-ISFET 게이트 표면을 HF로 표면처리한 후 paraffin coating을 하는 것이  $\text{Si}_3\text{N}_4$  게이트 pH-ISFET의 실용화를 위하여 좋은 방법이 될 것이다.

#### 참 고 문 헌

1. P. Bergveld, "Development of an ion-sensitive solidstate device for neurophysiological measurements IEEE Trans. Biomed. Eng., (Short Commun) BNE-17:70-71, 1970.
2. 손병기, "감이온 전장효과 트랜지스터", 대한전자공학회지, 18:22-29, 1981.
3. T. Matsuo and M. Esashi, "Methods of ISFET fabrication," Department of Electronic Engineering, Tohoku University. Internal report (1980)
4. R.P. Buck, "Ion selective electrodes," Anal. Chem., 50:17R-29R, 1978.
5. Willam M. Siu and R.S.C. Cobbold, "Basic properties of the electrolyte - $\text{SiO}_2$ -Si<sub>3</sub>N<sub>4</sub> system: Physical and Theoretical Aspects," IEEE Trans., ED-26:1805-1815, 1979.