

LPCVD 질화막 만을 이용한 새로운 LOCOS 공정에 관한 연구

○ 김 지범, 오 기영, 김 남수, 주 승기*, 최 민성
금성 반도체(주) 연구소 * 서울 대학교 공과대학 금속공학과

Study of a New LOCOS Process Using Only Thin LPCVD Nitride

○ Jibum Kim, Kiyong Oh, Dalsoo Kim, Seungki Joo*, Minsung Choi

Gold Star Semiconductor R&D Center * Department of Metallurgical Engineering College of Engineering, Seoul National University

Abstract

A new LOCOS (Local Oxidation of Silicon) process using a thin nitride film directly deposited on the silicon substrate by LPCVD has been developed in order to reduce the bird's beak length.

SEM studies showed that nitride thickness of 50nm can decrease the bird's beak length down to 0.2um with 450nm field oxide. No crystalline defects are observed around the bird's beak after the Wright etch.

A 30% improvement in current density was obtained when this new method was applied to MOS transistors (W/L:2.9/20.4) compared to conventional LOCOS process (bird's beak length=0.7um).

Other various electrical parameters improved by this new simple LOCOS process are reported in this paper.

I. 서 론

반도체 소자의 격리(isolation) 기술은 반도체내의 단위회로 상호간의 전기적 특성에 영향을 미치지 않고 독립적으로 동작하게 하기 위해서 산화막과 같은 절연층으로 필폐시키는 기술로서, chip 크기가 점점 작아짐에 따라 그 집적도를 높이는 어려운 기술이다.

현재 보편적으로 사용되는 격리기술은 LOCOS(Local Oxidation of Silicon) 기술로서 얇은 베이스 산화막(base oxide, =40nm) 위에 LPCVD 공장으로 형성된 비교적 두꺼운 질화막(두께=160nm)을 산화 방지용 막으로 사용하여 두꺼운 절연 산화막(두께<800nm)을 형성시키는 방법으로 비교적 공정작업이 쉽고, channel stop 이온 주입을 적용하기 용이하다는 장점이 있다. 그러나 격리 산화막(field oxide) 끝 부분에서 베이스 산화막을 통한 산소 원자의 확산에 의해 능동 영역이 산화되어 잠식되는 소위 새부리(bird's beak) 현상에 의해 능동영역이 크게 허비되는 단점이 있으며, 그림 1에서와 같이 집적도가 높아질수록 새부리에 의해 소모되는 면적이 기하급수적으로 증가되어 심각한 문제로 부각되고 있다.

이런 이유로 최근에는 기존 LOCOS 공장의 가장 큰 문제점인 새부리 길이를 줄이기 위해서 SWAMI, SILO, Trench, SFPOX, SEG 등의 새로운 공

장이 개발되었다[1-5]. 그러나 공정이 복잡하고 소자 특성을 열화시키는 제반 문제점들 때문에 일반 반도체 제조 공장에 직접 적용하기는 어려운 점현이다.

본 연구에서는 산화막없이 실리콘 표면에 직접 얇은 질화막을 LPCVD 공정으로 입혀 격리 마스크로 사용하는 공정을 제시하였다. 일반적으로 산화막이 없는 질화막 만의 마스크는 질화막의 응력으로 인해 격리 산화막 끝부분에 결함(결정 결함(crystalline defect))을 발생시킨다고 생각되어왔지만 본 연구에 의한 격리 방법에서는 결함이 존재치 않고, 베이스 산화막을 사용하지 않기 때문에 새부리 길이를 큰 폭으로 줄일 수 있었다.

아울러 이 방법에 의한 격리 기술은 최근에 새로이 개발된 격리 기술과 비교해서, 손쉬운 공정작업, 부수적인 마스크 작업의 불필요, 기존 공정과의 호환성 등의 장점들을 갖고 있으므로 어떠한 반도체 제조 공장에도 직접 적용하기에 문제점이 없다.

이 방법에 의한 격리 기술을 대단위 집적회로 제조 공장에 적용하여 능동(active) 및 기생(parasitic) 소자의 전기적 특성을 일반적인 LOCOS 기술에 의해 제조된 소자들의 전기적 특성과 비교하였다.

II. 소자의 제작

실리콘 기판은 5 인치, N 형이며 비저항이 15-25 Ω -cm, <100> 방향인 것을 사용하였다. 세척된 기판위에 LPCVD 방법에 의해 질화막을 증착시켰으며, 적절한 질화막의 두께를 결정하기 위해 두께를 10 nm에서부터 50 nm까지 분리 증착시켰다.

소자의 능동 영역을 형성키 위해 마스크 작업과 비등방성 식각을 수행한 후, 산화막의 두께가 750 nm 가 되도록 950 $^{\circ}$ C 의 습식 분위기에서 선택적 산화막을 형성시켰다.

능동 영역 위에 존재하는 질화막을 제거하기 위해서 155 $^{\circ}$ C 의 인산 용액과 10:1 분산 용액을 이용하였으며, 능동 영역이 인산 용액으로부터의 오염을 방지하기 위하여 황산과 과산화수소의 비가 5:1인 용액에서 세척한 후 게이트 산화막을 형성시켰다.

이 와의 공정은 일반적인 CMOS 공정을 따랐으며, 표 1. 에 본 연구에서 사용된 공정 조건을 나열하였다.

표 1. 주요 공정 변수

P-well 1/1	Boron, 150 KeV, 9.0E12
N-well 1/1	Phos, 190 KeV, 1.6E12
Field 1/1	BF2, 80 KeV, 9.0E12
Field oxide	750 nm
Gate oxide	25 nm
N+ 1/1	As, 80 KeV, 5.0E15, Xj=0.3 um
P+ 1/1	BF2, 80 KeV, 3.0E15, Xj=0.4 um

III. 실험 결과 및 고찰

1. Bird's beak 길이의 결정 결함 (Crystalline defect)

그림 2. 에서는 질화막 두께에 의한 새부리 길이의 변화를 나타내며, 질화막 두께가 두꺼울수록 새부리 길이가 감소함을 알 수 있으며, 산화막(field oxide) 두께가 420 nm인 경우에 새부리 길이가 0.2 um까지 감소하였다.

선택적 산화 공정 중에 결정 결함이 발생하였는지를 알아보기 위해서 산화후 시편의 단면을 Wright 용액으로 식각한 후 SEM을 이용하여 관찰하였다. 그림 3.에서 볼 수 있듯이 질화막의 두께가 50 nm 인 경우에도 결정 결함을 발견할 수 없었다. 따라서 본 실험방법에 의한 격리공정은 결정 결함을 발생시키지 않고 기존의 LOCOS 공정보다 새부리 길이를 줄일 수 있는 것으로 밝혀졌다. 결정 결함에 대해서는 다이오드를 제작하여 역방향 누설 전류를 측정하여 제작한 하였다.

2. 소자의 전기적 특성 (Device characteristics)

고집적 회로 공정에 본 실험 방법에 의한 격리 공정의 적용 가능성을 타진하기 위하여 본 공정을 사용하여 제작한 소자의 일반적인 LOCOS 공정을 사용하여 제작한 소자의 전기적 특성을 측정 비교하였다. 일반적인 LOCOS 격리 공정에서 사용한 배이스 산화막과 질화막의 두께는 각각 400 nm, 160 nm 이다.

2-1. 유효 채널 폭의 증가(Narrow width modulation)

그림 4. 에서는 마스크에 의해 결정된 채널 폭(channel width)에 의한 G_m (transconductance)의 변화를 나타내었다. 일반적으로 G_m 은 V_{gs} (1)과 같이 나타낼 수 있으며

$$G_m = \partial I_d / \partial V_{gs} = \mu C_{ox} (W_{mask} - 2\Delta W) V_{ds} \quad (1)$$

유효 채널 폭(effective channel width, $W_{mask} - 2\Delta W$)에 비례하므로 그림 4. 의 X 절편으로부터 채널 폭 감소(channel width narrowing, ΔW)를 알 수 있다. 이 그림에서 알 수 있듯이 일반적인 LOCOS 격리공정에서의 $2\Delta W$ 값은 2.0 um, 질화막 두께가 50 nm인 경우 본 실험 방법에 의한 격리 공정에서는 1.4 um 정도임을 알 수 있으므로 산화막 침범면에서 더욱 우수함을 알 수 있다.

그림 5. 에서는 N-channel MOSFET의 문턱전압(threshold voltage)을 나타내었다. 채널 폭이 감소함에 따라 이 두 공정에 의해 제조된 MOSFET의 문턱전압은 증가하지만 질화막의 두께가 10 nm 인 경우를 제외하고는 본 실험 방법에 의해 제조된 소자의 문턱전압 증가가 일반적인 LOCOS 공정으로 진행된 소자보다 현저하게 둔화되었음을 알 수 있다. 이

는 새부리의 길이가 일반적인 LOCOS 공정 보다 더 짧은 것을 나타내며, 이 결과는 그림 4. 에서 얻은 결과와 잘 일치하고 있다.

2-2. I-V 특성

본 실험 방법에 의한 새부리 길이의 감소가 소자의 I-V 특성에 미치는 영향을 그림 6. 에 나타내었다. 이 결과에 의하면 소자의 전류가 기존의 LOCOS 공정에 의해 제조된 소자보다 약 30% 정도 증가되었으며, 이는 새부리 길이의 감소와 그에 따른 문턱전압의 감소에 의한 것이다.

그림 7. 에는 소자의 subthreshold 특성에 대한 측정 결과를 나타내었으며 subthreshold 특성은 두 공정에마다 차이가 없음을 알 수 있다. 이는 배이스 산화막 없이 질화막이 직접 능동 영역 위에 증착되므로 능동 영역의 표면에 나쁜 영향을 줄 수 있으리라 예상했으나, 본 측정 결과에 의하면 깊은 산화막 자체가 능동 영역에 영향을 주지 않음을 알 수 있다.

2-3. 역방향 다이오드 특성

본 격리 공정이 격리 산화막 끝 부분에 결정 결함을 유발시키는 것을 알아보기 위해서 손가락 모양(finger-like)을 갖는 다이오드의 특성을 조사하여 이를 일반적인 LOCOS 공정을 이용한 다이오드와 비교하였다. 그림 8.과 9.에 각각의 누설전류 특성과 항복전압을 도시하였다.

그림 8.에서는 두 공정에 의한 누설전류값의 차이가 없음을 알 수 있으며 이 결과는 본 실험에 의한 격리 방법이 기존의 LOCOS 공정에 비해 결정 결함을 추가적으로 생성시키지 않는 것을 의미한다.

항복전압 특성은 본 실험에 의해 제조된 다이오드가 오히려 좋은 특성을 갖는다는 것을 그림 9. 는 보여주고 있다. 항복전압을 비교하면 기존 LOCOS 공정에 의한 것은 soft 항복 특성을 보여주고 있고, 본 실험에 의한 것은 avalanche 항복 특성을 보여주고 있어, 본 격리 공정이 기존의 LOCOS 공정보다도 더 좋은 항복전압 특성을 보이는 것을 알 수 있다.

IV. 결론

본 연구에서는 LPCVD 공정에 의한 질화막만을 격리 마스크로 이용해서 격리 산화막의 두께가 750 nm인 경우에 결정 결함을 발생치 않고도 기존의 LOCOS 격리 공정의 새부리 길이를 0.3um/side 정도까지 줄일 수 있었으며 또한 격리 산화막의 두께가 450 nm인 경우, 50%의 단면관찰 결과에 의하면 새부리 길이를 0.2um/side 까지 줄일 수 있었다.

손가락 모양(finger-like)의 다이오드에서 누설 전류를 측정된 결과 누설 전류값이 기존의 LOCOS 공정과 비교할 때 차이가 없었다.

소자의 전기적 특성 결과에 의하면 기존의 LOCOS 공정에 비해 트랜지스터($W/L=2.9/20.4$)의 I-V 특성에서 전류값이 30% 정도 증가했으며, 형성된 다이오드 항복전압 특성을 얻을 수 있었다.

감사의 글

본 실험에 쓰인 소자 제작을 위해 애써주는 조건을 해주신 박 명준 책임 하 용인 산업연구원께 감사드립니다. 아울러 실험을 진행해주신 본 연구소 여러분께 감사드립니다.

참 고 문 헌

1. K.Y. Chiu, J.L. Moll, and J. Manoliu. IEEE Tran. Electron Devices ED-29, pp 539 (1982)
2. J.Hui, T.Y. Chiu, S. Wong, and W.G. Oldham. IEEE Electron Devices Letter, EDL-2, pp 244 (1981)
3. R.D. Rung, et al., "Deep trench isolation CMOS devices" IEDM, pp 237 (1982)
4. N. Matsukawa, J. Matsunaga, and S. Kohyama. IEEE Trans. Electron Device ED-29, pp 561 (1982)
5. N. Endo, K. Iano, A. Ishitani, Y. Kurogi, and H. Tsuya. IEDM pp 241 (1982)

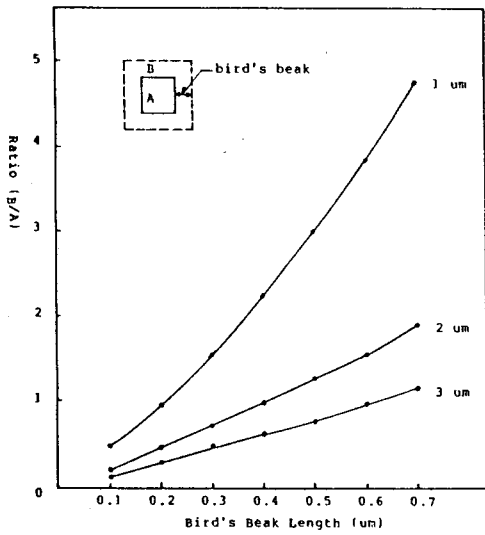


Fig. 1 The ratio of bird's beak and active area at each minimum feature size.

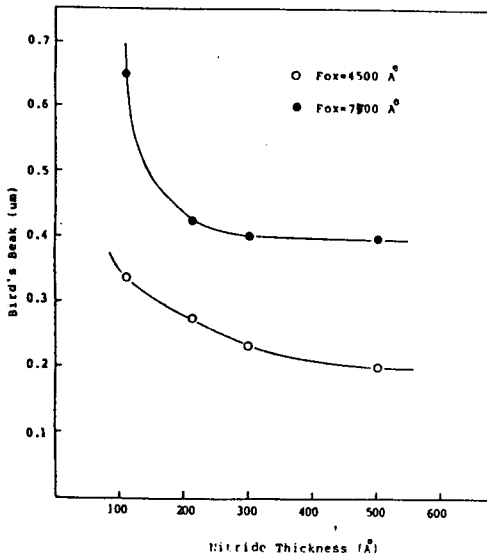
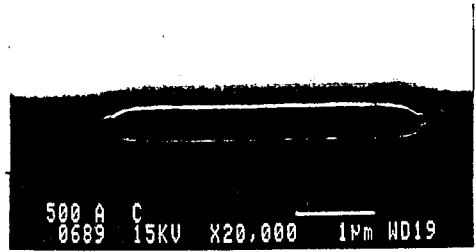
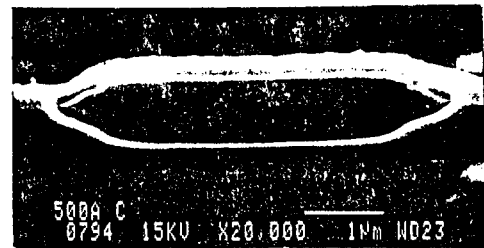


Fig. 2 Bird's beak length as a function of nitride thickness with field oxide thickness change



(a) field oxide: 4500 Å



(b) field oxide: 7500 Å, after Wright etch

Fig.3 SEM cross-sectional views of isolation structure with 500 Å of nitride thickness

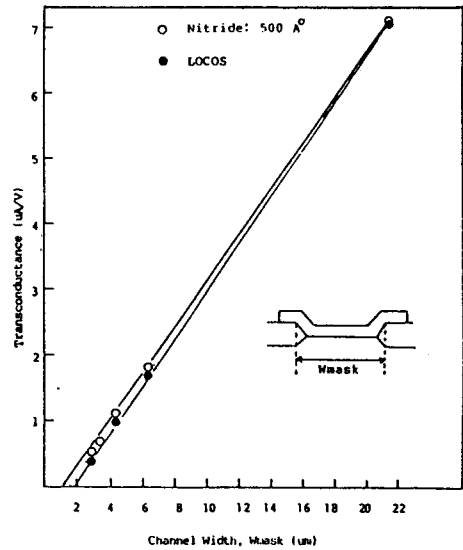


Fig. 4 Transconductance as a function of channel width defined by mask

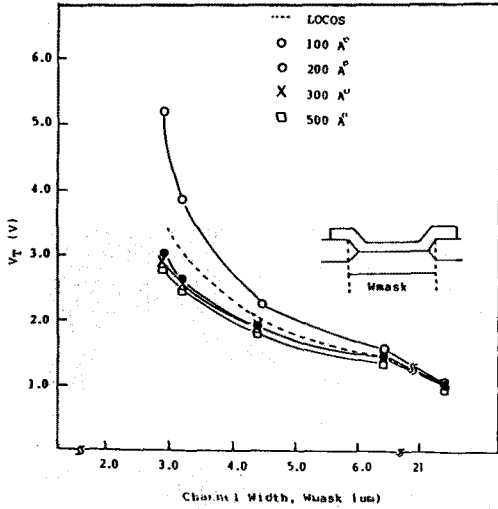


Fig. 5 Threshold voltage as a function of channel width defined by mask

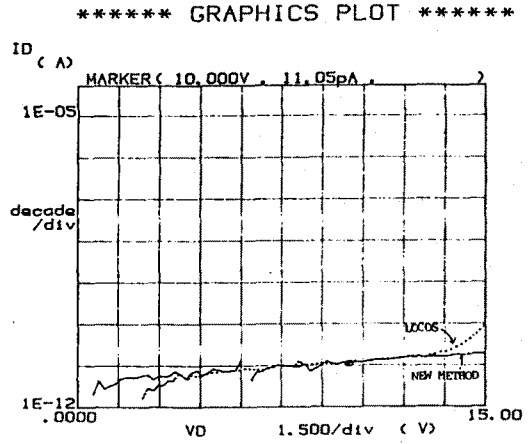


Fig. 8 Reverse current-voltage characteristics of finger-like diode (nitride thickness of new method; 500 Å)

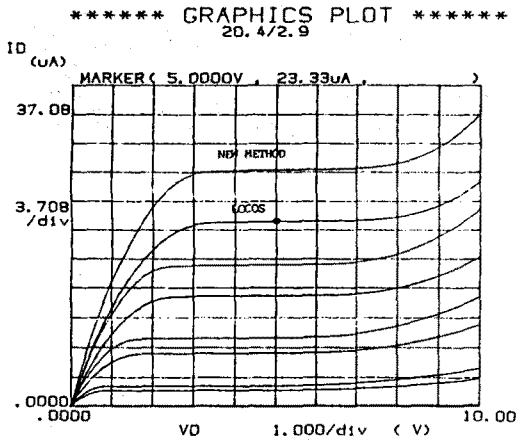


Fig. 6 I-V characteristics of n-channel MOSFET (nitride thickness of new method; 500 Å)

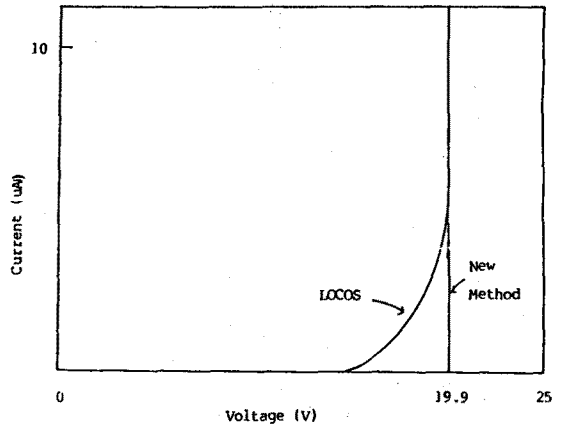


Fig. 9 Breakdown characteristics of finger-like diode (nitride thickness of new method; 500 Å)

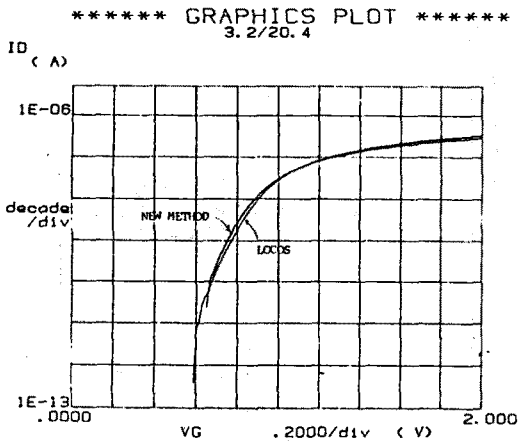


Fig. 7 Subthreshold characteristics of active n-channel MOSFET (nitride thickness of new method; 500 Å)