

CMOS Inverter의 Substrate Current를 줄이는  
Layout 설계

○ 박 흥 준 , 김 충 기  
한국과학기술원 전기 및 전자공학과

New Layout Design Concept for Suppressing  
the Substrate Current in CMOS Inverter

Heung-Joon Park and Choong-Ki Kim  
Dept. of Electrical Engineering, KAIST

Abstract

A layout design concept which suppress the substrate current generated during the switching transients of an CMOS inverter is presented. The amount of hot carriers and the peak value of substrate current can be reduced by changing the device geometry ratio of driver and load device of an CMOS inverter.

1. 서론

Short channel MOSFET에서는 long channel MOSFET에서 고려하지 않아도 되는 hot electron effect에 의해 transconductance 감소, 문턱전압의 변화등 여러가지의 reliability 문제가 야기되고 있다 [1,2]. Hot electron에 의해 드레인 공핍층에서 발생된 electron이 gate oxide에 포획됨으로써 Transconductance 감소나 문턱전압의 변화가 일어나게 되므로 reliability check를 주로 gate current로 하게된다. 그러나 gate current는 매우 작으므로 측정하기 어렵기 때문에 같은 현상에 의해 일어나는 substrate current를 측정하여 hot electron effect를 monitoring 한다 [3]. 드레인 공핍층에서 impact ionization에 의해 생긴 substrate current는 집적회로의 동작 및 소자의 성능저하 등에 심각한 영향을 끼치므로 소자 및 회로설계에 많은 제약이 가해지게 된다.

이제까지의 hot carrier reliability 연구는 substrate current의 발생 현상 및 hot-carrier effect를 줄일 수 있는 소자의 구조와 공정에 집중되어 있었다 [4,5,6,7]. 본 논문에서는 CMOS inverter의 geometry를 조정하여 CMOS inverter에서의 substrate current를 줄일 수 있는 새로운 개념에 대해 알아본다.

2. Substrate Current를 줄이는 방법

NMOS 트랜지스터의 channel이 pinch-off가 되면 channel current를 구성하고 있는 전자가 channel pinch-off region과 드레인 집합사이에 형성되어 있는 큰 전장에 의해 에너지를 얻어 드레인 공핍층에서 electron-hole pair를 발생시킨다. 이때 발생된 electron-hole pair 중 hole은 substrate로 끌리게 되는데 이에 의해 substrate current가 드레인에서 substrate로 흐르게 된다. 그러므로 substrate current는 게이트 전압이 문턱전압 보다 높고 드레인 전압이 게이트 전압보다 높을 때 측정된다. 한편, 같은 크기의 전장에 의해 에너지를 얻은 electron이 hole 보다 ionization coefficient가 1000배 이상 크기 때문에 PMOS에서는 substrate current가 거의 안 흐르게 된다 [8]. CMOS inverter에서 driver 역할을 하는 NMOS 트랜지스터의 게이트 전압이 문턱전압 보다 높고 드레인 전압이 게이트 전압 보다 높을 때는 transient 상태이므로 오직 switching transient 상태에서만 substrate current가 발생된다.

Substrate current는 channel current ( $I_d$ )와 maximum electric field ( $E_m$ )를 variable로 하는 식으로 표현할 수 있다 [3].

$$I_{sub} = 2I_d \cdot \exp[-1.7x 10^6/E_m] \quad \dots (1)$$

$$E_m = (V_d - V_{dsat}) / (3 \cdot X_{ox} \cdot X_f)^{1/2} \quad \dots (2)$$

$$V_{dsat} = \frac{(V_{sub} - V_t) \cdot L_{eff} \cdot E_{sat}}{V_g - V_t + L_{eff} \cdot E_{sat}} \quad \dots (3)$$

여기서,  $E_{sat}$ 는 velocity saturation이 되는 임계전계이며,  $V_t$ 는 문턱전압,  $V_d$ 는 드레인 전압, 그리고  $V_g$ 는 게이트 전압이다.

식(1)과 (2)에서 알 수 있듯이  $V_d - V_{d,sat}$ 는 substrate current를 발생시키는 source 역할을 한다. 그러므로 substrate current를 줄이기 위해 switching transient에서  $V_d - V_{d,sat}$ 의 값을 줄여야 한다. 따라서 게이트 전압이 0 volt에서  $V_{DD}$ 로 증가 할때, 즉 input rise transient 일때 출력전압 (드레인 전압)이 빨리 떨어져야 하며 게이트 전압이  $V_{DD}$ 에서 0 volt로 감소할때, 즉 input fall transient 일때 출력전압이 늦게 올라가야 한다. NMOS와 PMOS의 gain factor ratio ( $G_R$ )를 증가시키면 위와같은 CMOS inverter의 transition 특성을 얻을 수 있다.

$$G_R = \frac{\mu_n \cdot W_n / L_n}{\mu_p \cdot W_p / L_p}$$

이와같이  $G_R$ 을 크게하면  $G_R = 1$ 인 경우보다 switching transient시에 흐르는 전류가 줄게되어 substrate current가 감소할 뿐만 아니라 전력소모도 줄게된다.

3. Simulation과 결과

Switching transient시에 발생하는 substrate current를 알려면 순간 드레인 전압 ( $V_d$ )와 전류 ( $I_d$ )를 알아야 한다. Switching transient 때의  $V_d$ 와  $I_d$ 를 SPICE의 level 2 model을 사용하여 simulation 하였으며 substrate current model은 앞의 식 1), 2) 그리고 3)을 사용하였다. SPICE로 transient analysis를 하여 얻은 SPICE output을 substrate current model program의 입력으로 하여 substrate current를 계산하였다.

Substrate current simulation을 NMOS의 device geometry ratio ( $W_n/L_n$ )와 PMOS의 channel width는 고정시키고 PMOS의 channel length를 증가시켜  $G_R$ 을 크게하는 방법과 PMOS의 device geometry ratio ( $W_p/L_p$ )와 NMOS의 channel length는 고정시키고 NMOS의 channel width를 증가시켜  $G_R$ 을 크게하는 방법에 대해 각각 시행하였다.

한편 CMOS inverter가 동작되는 입력과 출력조건은 다음과 같이 4가지로 나눌 수 있다.

- a) Long input transition time and small output load capacitance
- b) Long input transition time and large output load capacitance
- c) Short input transition time and small output load capacitance
- d) Short input transition time and large output load capacitance

여기서는 a) 경우의 simulation 결과에 대해 알아본다. 그림 1.에 simulation 할 CMOS inverter를 나타내었으며 그림 2.에 NMOS의 channel length가  $1\mu m$  이고 input transition time ( $t_{IT}$ )이 100ns, output load capacitance가 0.1pF 일때  $G_R$ 에 따른 드레인 전압 ( $V_d$ ), 드레인 전류 ( $I_d$ ), 그리고 계산된 substrate current를 보였다.  $G_R$ 이 증가함에 따라 substrate current의 첨두치가 줄어들 뿐만 아니라 substrate current가 발생하는 시간도 줄어들게 된다. 이 simulation에서는 PMOS의 channel length를 증가시켜  $G_R$ 을 변화시켰다. 소자의 lifetime ( $\tau$ )와 substrate current 첨두치의 관계는 Takeda씨 등에 의해 다음과 같은 실험식으로 나타내어 졌다.[9]

$$\tau \propto (I_{sub}^p)^{-1} \dots (4)$$

여기서  $I$ 의 값은 3.2 - 3.3 사이의 값을 갖는다. 그림 3에서  $G_R$ 에 따른 substrate current 첨두치의 normalized 값과 식 (4)를 이용해서 substrate current 첨두치의 감소로 인한 소자의 lifetime 증가를 보였다.

a)와 b) 같은 경우에 즉, input transition time이 길 경우 ( $\sim 100ns$ ) NMOS의 channel width를 늘려  $G_R$ 을 증가시킬 수도 있지만 PMOS의 channel length를 증가시켰을 때와 단위 드레인 길이당 발생하는 substrate current는 비슷하지만 total substrate current가 크기 때문에 a)와 b) 같은 입력과 출력 조건일 때는 PMOS의 channel length를 길게하여  $G_R$ 을 증가시키는 것이 바람직하다. 한편, input transition time 이 짧을 경우에는 (c)와 d) 경우) PMOS의 channel length를 길게하는 것 보다는 NMOS의 channel width를 늘려  $G_R$ 을 증가시켜 단위 드레인 길이당 substrate current를 줄여야 한다. 왜냐하면 input transition이 짧을 경우에 PMOS의 저항이 크게 되면 capacitive coupling에 의해 input rise transient때 출력 드레인 전압의 overshoot가 일어나게 된다. 이상에서와 같이 CMOS inverter의 입력과 출력 조건에 따라  $G_R$ 을 증가시키는 방법을 바꾸어 회로설계를 하여야 한다.

4. 결 론

CMOS inverter의 switching transient시에 발생하는 substrate current를 소자의 구조나 공정을 개선하지 않으면서도 줄이는 새로운 layout 개념을 도입하였다. MOS 트랜지스터의 geometry ratio를 조정하여 CMOS inverter의 transfer characteristics를 바꾸어 줌으로써 input rise와 fall transient시에 생기는 substrate current를 줄일 수 있다는 것을 simulation을 통해 확인하였으며 CMOS inverter의 입력과 출력 조건에 따라 MOS 트랜지스터의 geometry

ratio를 조정하는 방법에 대해서도 논하였다. Simulation 결과에서 볼 수 있듯이 substrate current를 줄이는 새로운 layout 개념은 소자와 회로의 reliability 개선에 큰 도움을 줄 것이다.

참고문헌

1. P.E. Cottrell, R.R. Troutman, and T.H. Ning, "Hot Electron Emission in n-channel IGFET's," IEEE Trans. Electron Devices, Vol.ED-26, pp.520-533, Apr. 1979
2. T.H. Ning, P.W. Cook, R.H. Dennard, C.M. Osburn, S.E. Schuster, and H.N. Yu, "1 $\mu$ m MOSFET VLSI Technology : Part 5 Hot-Electron Design Constraints," IEEE J. Solid-State Circuits, Vol.SC-14, pp.268-275, Apr. 1979
3. S. Tam, P.K. Ko, C. Hu, and R.S. Muller, "Correlation Between Substrate and Gate Currents in MOSFET's," IEEE Trans. Electron Devices, Vol.ED-29, No.11, pp.1740-1744, Nov. 1982
4. Fu-Chieh Hsu and K.Y. Chiu, "Hot-Electron Substrate Current Generation During Switching Transients," IEEE Trans. Electron Devices, Vol.ED-32, No.2, pp.394-399, Feb. 1985
5. T. Sakurai, N. Nogami, U. Kakumu, and T. Iizuka, "Hot-carrier Generation in Submicrometer VLSI Environment," IEEE J. Solid-State Circuits, Vol.SC-21, No.1, pp.187-192, Feb. 1986
6. E. Takeda, H. Kume, T. Toyabe, and S. Asai, "Submicrometer MOSFET structure for Minimizing Hot-carrier Generation," IEEE Trans. Electron Devices, Vol.ED-29, No.4, pp.611-618, Apr. 1982
7. P.J. Tsang, S. Ogura, W.W. Walker, J.F. Shepard, and D.L. Critchlow, "Fabrication of High-Performance LDDFET's with Oxide Sidewall-Spacer Technology," IEEE Trans. Electron Devices, Vol.ED-29, No.4, pp.590-596, Apr. 1982
8. E. Takeda, Y. Nakagome, H. Kume, N. Suzuki and S. Asai, "Comparison of Characteristics of n-Channel and p-Channel MOSFET's for VLSI's," IEEE Trans. Electron Devices, Vol.ED-30, No.6, pp.675-680, Jun. 1983
9. E. Takeda, N. Suzuki, and T. Hagiwara, "Device Performance Degradation due to Hot-Carrier Injection at Energies Below the Si-SiO<sub>2</sub> Energy Barrier," in IEDM Tech. Dig., pp.396-399, 1983

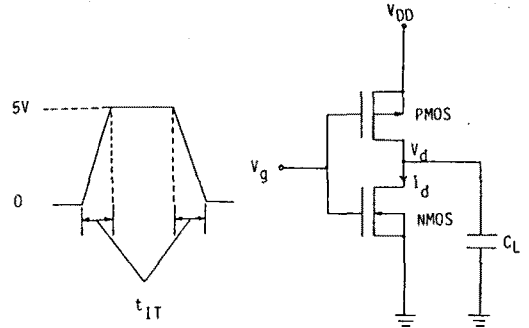
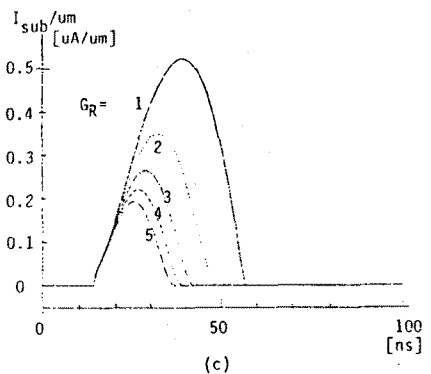
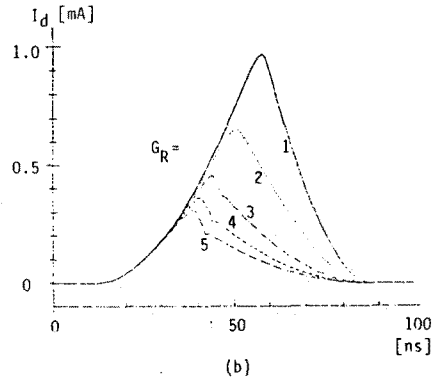
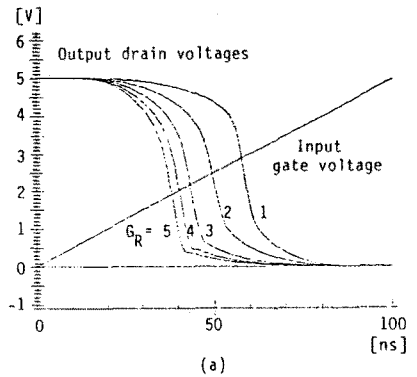


그림 1. Simulation한 CMOS inverter의 구조와 입력 게이트 전압 파형 ( $t_{IT}$  : input transition time)



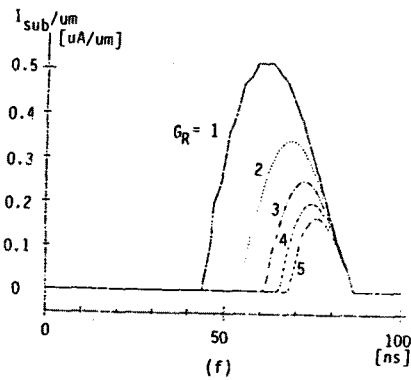
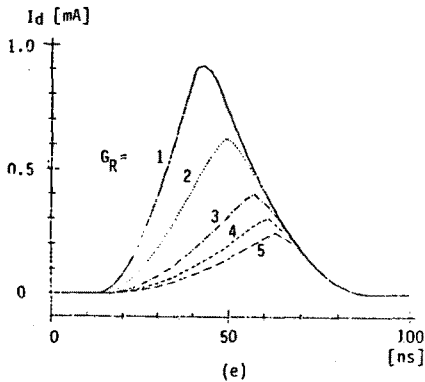
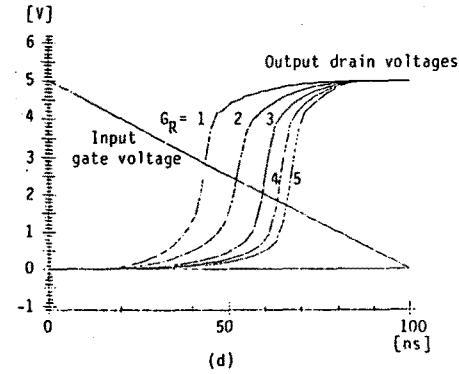


그림 2.  $G_R$ 에 따른 출력 드레인 전압과 드레인 전류 그리고 substrate current의 파형 ( $t_{IT} = 100\text{ns}$ ,  $C_L = 0.1\text{pF}$ , NMOS의 channel length =  $1\mu\text{m}$ )

- a) Input rise transient 일 때의 출력 드레인 전압과 입력 게이트 전압 파형
- b) Input rise transient 일 때의 드레인 전류
- c) Input rise transient 일 때 발생한 substrate current
- d) Input fall transient 일 때의 출력 드레인 전압과 입력 게이트 전압파형
- e) Input fall transient 일 때의 드레인 전류
- f) Input fall transient 일 때 발생한 substrate current

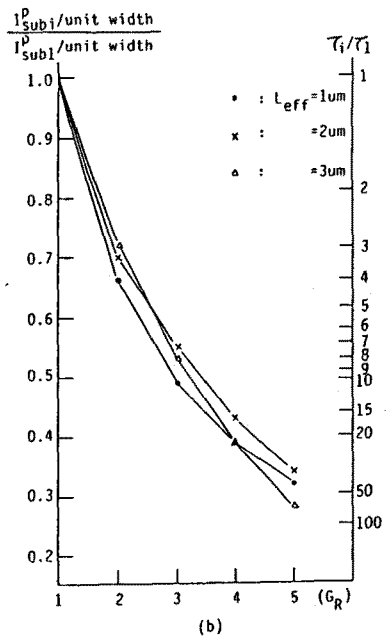
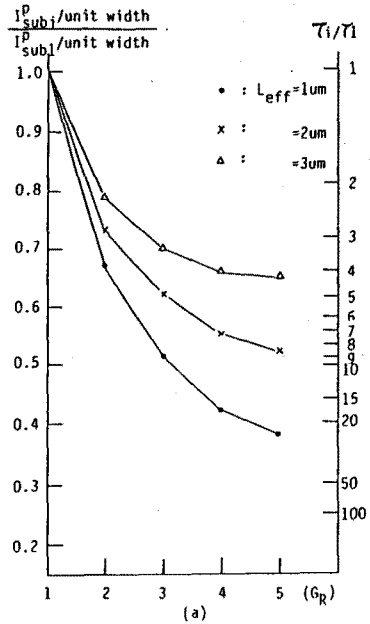


그림 3. NMOS의 channel length와  $G_R$ 에 따른 substrate current 침투치의 normalized 값 (left vertical axis)과 소자의 lifetime (right vertical axis). ( $t_{IT} = 100\text{ns}$ ,  $C_L = 0.1\text{pF}$ )

- a) Input rise transient 경우
- b) Input fall transient 경우