

직병렬형 4비트 A/D 변환기 설계 및 제작

○ 김태형 배창식 정호선 이우일* 권태욱* 김정순

경북대학교 전자공학과 * 삼성중앙연구소

Design and bread boarding of parallel-series type 4-bit A/D Converter

T.H. KIM, C.S. Bae, H.S. CHUNG, W.I. LEE, T.W. KUEN, J.S. KIM

Dept. of Electronics, Kyungpook National University.
Central Research Lab., Gold Star Co., LTD.

<Abstract>

A 4-bit parallel-series A/D converter has been designed using a new matrix circuit and breadboarded with transistor array(TPQ2483). The simple matrix circuit is substituted for D/A converter and subtracter-multiplier. The system has been simulated with SPICE. This converter is capable of operating at clock rate of 20MHz.

서 문

영상 신호 처리와 같은 고속 A/D 변환에는 직병렬 변환방식(2)이 많이 사용된다. 그러나 직병렬 변환방식의 n-bit 분해능을 갖는 변환기에는 $2^n - 1$ 개의 비교기가 요구되며, 이러한 비교기 수를 줄이는 방법으로 직병렬(subranging) A/D 변환방식이 있다. 직병렬 A/D 변환방식은 D/A 변환기와 감산기 등이 있기 때문에 정확도가 떨어지게 된다. 이 단점을 개선하기 위해 matrix 회로를 이용한 고속 직병렬 A/D 변환기가 설계되었다(4).

본 논문에서는 기존의 직병렬 A/D 변환방식에서 사용된 D/A 변환기와 감산기를 콘브름 신호와 스위치(matrix 회로)로써 대체하여 빠른 영상 신호 처리를 위해 ECL 게이트(1)로 4비트 직병렬 A/D 변환기를 설계하였다. 그리고, 그 변환 방식을 이용하여 트랜지스터(TPQ2483)로 Bread board 상에서 제작하여 변환기의 기능을 확인 하였다. SPICE 시뮬레이션 결과 각 회로의 지연시간을 고려하여 이 A/D 변환기가 20MHz의 고속 변환이 가능함을 알 수 있었다.

비교하여 보면 제1의 A/D 변환기는 상위 변환기로, 제2의 A/D 변환기는 하위 변환기로, D/A 변환기 및 감산기는 matrix 회로로 대체되어 있다. 개선된 직병렬 A/D 변환방식은 matrix 회로 때문에 보다 간단히 A/D 변환을 수행할 수 있다. 여기서 저항값과 차동증폭단으로 구성된 matrix 회로에서는 기준전압(V_{ref})이 고정되어 있다. 각 상위 비교기에서는 이 기준전압과 입력 아날로그 전압이 비교된 결과를 발생시킨다. 이 결과는 하위 비교기에서 사용될 기준전압의 범위를 설정한다. 하위 비교기 3개의 기준전압은 상위 비교기에서 지정한 한 부분을 다시 4등분하여 $V_{ref}/(4 - 4)$ 간격으로 취해진다. 이러한 동작 수행은 matrix 회로에서 이루어진다. 또한 상위 비교기의 출력은 다른 경로인 상위 연코더를 거쳐 상위 데이터 버퍼(U.D.B.)에 저장된다. 하위 비교기의 출력도 역시 하위 연코더를 거쳐 하위 데이터 버퍼(L.D.B.)에 저장된다. 개선된 직병렬 변환방식은 상위 비교기의 결과뿐만 하위 변환을 행할 수 있기 때문에 보다 빨리 A/D 변환을 끝낼 수 있고, 고정된 기준전압의 선택에 의해 하위 A/D 변환을 행하기 때문에 보다 간단하면서 정확한 A/D 변환의 결과를 얻을 수 있다. 그림2는 입력 아날로그 전압을 상위 및 하위 비교기에서 비교하는 시간을 나타낸다. CK의 상승에지, TUI에서는 상위 변환기의 비교기에서 입력전압과 비교하여 래칭되며, 다음 CK의 하강에지, TLI에서는 하위 변환기의 비교기에서 입력전압과 비교하여 래칭된다. 또, 그 다음의 CK 상승에지, TU2에서는 상위 및 하위 변환기의 결과가 전부 병렬로 출력됨과 동시에 다음 입력전압에 대한 변환은 상위 변환기의 비교기에서 이루어진다. 여기서 입력전압은 상위 및 하위 비교기에서 비교되는 시간 차이 때문에 sample & hold 회로를 거친 입력전압이 필요하게 된다.

1. 직병렬 A/D 변환기의 구조 및 이론

개선된 4비트 직병렬 A/D 변환기의 회로 다이아그램은 그림1에 나타나 있다. 기존의 직병렬 A/D 변환기의와

2. 회로 설계

2.1 Matrix 회로

matrix 회로는 그림3에 나타냈으며, 이것은 기존의 직병렬 변환방식의 D/A 변환기와 감산기 역할을

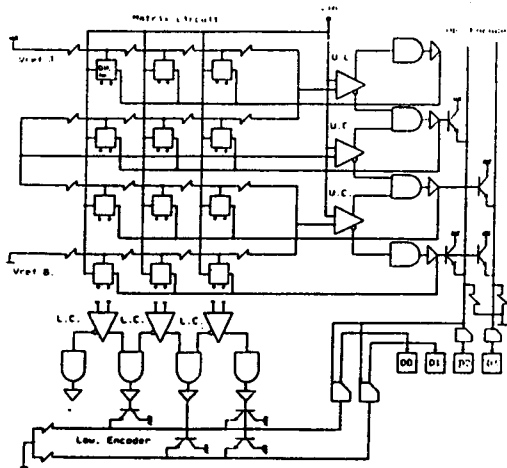


Fig. 1. Circuit diagram of improved parallel-series A/D converter

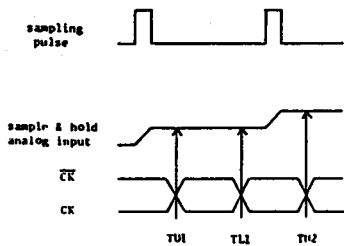


Fig. 2. Timing diagram of comparator operation

대신하는 회로이다. 이 회로는 기준전압을 취할 수 있는 저항렬(저항 16개)과 전체 12개의 차동증폭단으로 구성되어 있다. 비교기에서 가장 중요한 부분인 차동증폭단은 하위 비교기에 연결되어 동작한다. 상위 비교기에서 나온 제어 신호에 의해 기준전압이 입력전압에 가장 근접한 3개의 차동증폭단만이 구동되는 회로이다. 상위 비교기에 의한 결과가 회로의 1/4 만 동작하게 한다. 1개의 전류원이 4개의 차동증폭단에 연결되어 있지만, 상위 비교기의 출력 신호에 의해 한개의 차동증폭단만이 연결되어 구동된다.

2.2 상위 비교기

상위 비교기는 그림4와 같이 차동증폭단과 래치로 구성된 회로이다. 기준전압은 matrix회로의 저항렬에서 4등분된 1개의 값을 취한다. 상위 비교기의 출력은 0와 반전된 $\bar{0}$ 값을 동시에 갖는다. 이 회로는 CK가 상승예지로 가면 차동증폭단 T1 및 T2가 T3에 의해 전류원에 연결되어, 입력 아날로그 전압과 기준전압을 비교하게 된다. 그리고, \bar{CK} 가 상승예지로 가면 T4에 의해서 T5 및 T6가 동작하여 비교한 값을 T7 및 T8으로 구성된 래치단에 저장한다.

2.3 하위 비교기

하나의 하위 비교기는 matrix 회로 중 1개의 차동증폭단과 래치 회로로 구성된다. matrix 회로에서 전체 12개의 차동증폭단 중 3개만이 상위 비교기의 출력

신호에 의해 구동되므로, 나머지 9개의 차동증폭단은 동작하지 않아도 된다. 하위 비교기의 회로는 그림5에 나타났다. 상위 비교기의 샘플 모드 시간 CK가 high(1)일 때는 T7이 off이므로 matrix 회로 차동증폭단의 결과가 하위 비교기에 전달되지 못한다. 상위 비교기의 결과를 래칭하는 시간, \bar{CK} 가 상승예지에서 T7이 on 되므로 matrix 회로 차동증폭단의 결과가 비로소 하위 비교기에 전달된다. 이 결과는 부하저항 R3 및 R4를 통해 차동증폭단인 T9 및 T10을 거쳐 출력된다.

Fig. 3. Matrix circuit

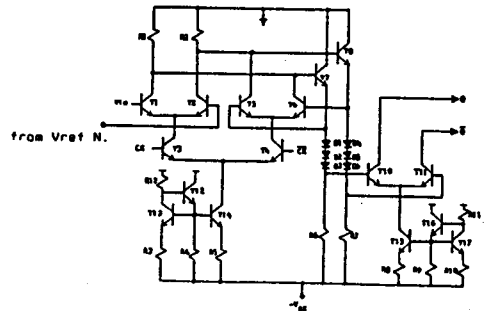
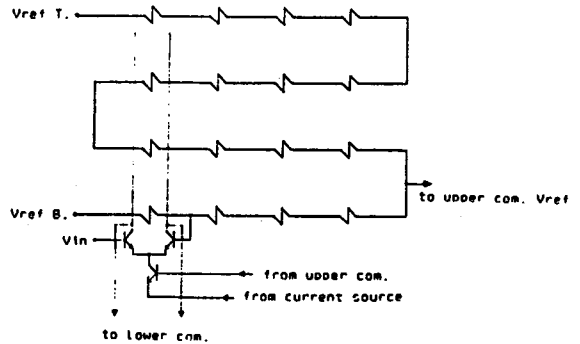


Fig. 4. Upper comparator

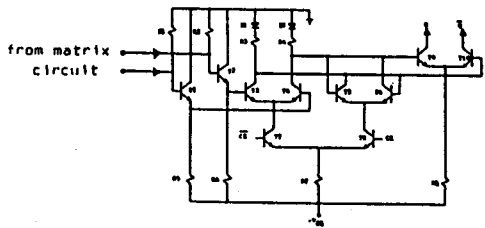


Fig. 5. Lower comparator

2.4 상위 및 하위 엔코더

비교기 출력의 논코딩은 AND 게이트 열을 거쳐 엔코더 회로인 ECL wired-OR 어레이에서 수행된다. 이 엔코더 회로는 4열 중 하나에 의해 2비트 2진 코드 출력으로 변환된다. 상위 엔코더의 회로는 그림1과 같이

구성했다. 그 중 버퍼단의 회로는 그림6에 나타났다. 이 버퍼 회로는 상위 비교기의 낮은 레벨 출력전압을 높여 주기 위함이며, 근접한 두개의 상위 비교기 출력을 ECL 게이트에 묶어 결과를 처리하여 엔코더 회로에 보내게 된다. T6 및 T9은 엔코더 어레이 중 하나를 나타내며, T8 및 T10은 상위 데이터 버퍼의 입력단 에미터 풀로워를 나타낸다. 하위 비교기의 엔코딩은 버퍼단을 거치지 않고 바로 엔코더 회로에서 수행된다.

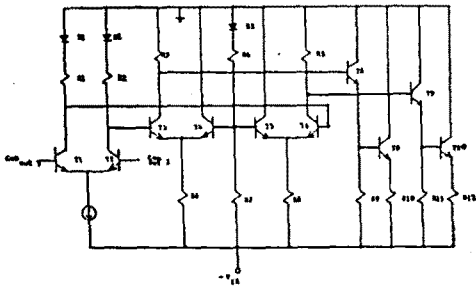


Fig. 6. Upper encoder buffer

2.5 상위 및 하위 데이터 버퍼

matrix 회로의 윗줄 차등증폭단 1에서 3이 상위 비교기의 출력 신호에 의해 선택되었을 경우, 하위 비교기의 결과는 하위 엔코더단을 거쳐 하위 데이터 버퍼로 출력된다. 그러나 다음 밑줄 차등증폭단 4에서 5까지가 선택되면, 역순으로 하위 비교기의 결과가 출력된다. 따라서 matrix 회로에서 짝수 줄이 문제가 된다. 만약 짝 윗줄을 상위 비교기가 선택했다면 D2, D3에는 00이란 값을 얻고, 그 다음 줄이 계속해서 선택되면 10, 01 및 11이란 값을 얻을 수 있다. D2의 값이 1이면 하위 데이터의 값을 반전시킬 필요가 있으며, 하위 데이터 버퍼에서 이것을 수행하도록 회로를 설계하였다. 상위 데이터 버퍼 중의 UD2 회로만이 2개의 하위 데이터 버퍼를 제어하도록 한다. 상위 데이터 버퍼 회로 UD2의 회로는 그림7과 같이 설계하였다. 하위 데이터 버퍼 LD1의 회로는 그림8과 같이 설계하였다.

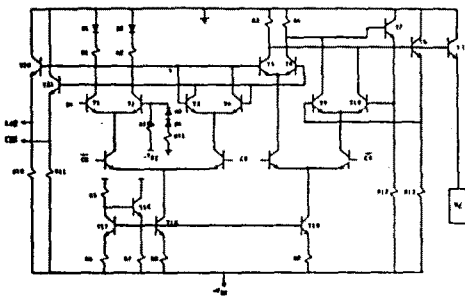


Fig. 7. Upper data buffer(UD2)

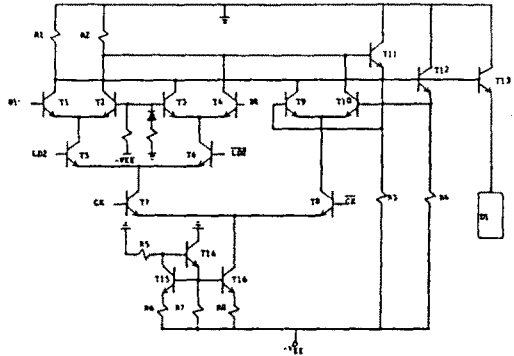


Fig. 8. Lower data buffer(LD1)

2.6 클럭 버퍼

변환기의 회로를 구동시키는 클럭은 외부에서 단일 클럭을 인가하기 때문에, 여러 회로를 구동할 수 있도록 전압 레벨을 낮추어야 한다. 이러한 요구에 의해 구성된 회로가 클럭 버퍼이며, 이 변환기의 회로에 가해지는 클럭을 두 가지 레벨로 압축하여 두 개의 클럭 버퍼로 구성하였다. 그림9(a)는 하위 비교기 3개를 구동시키는 회로이며, 그림9(b)는 상위 비교기 3개와 상위 및 하위 데이터 버퍼 각 2개를 구동시키는 회로이다.

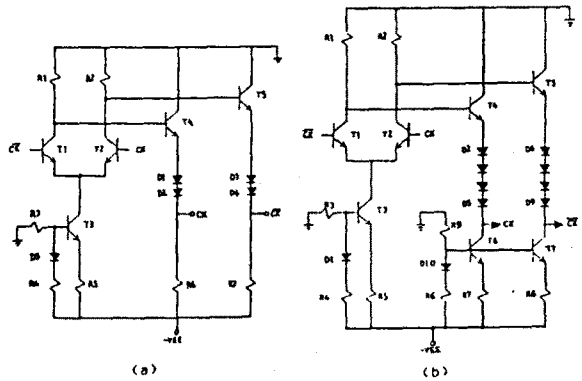


Fig. 9. Clock buffer a) Lower b) Upper

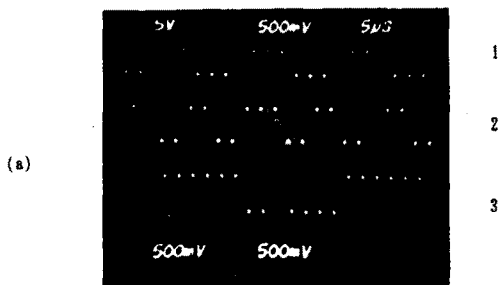
3. 제작(Bread Boarding) 및 측정

실제한 모든 회로의 제작은 프랜지스터 array(TPQ2483)로 Bread Boarding 하여 100KHz 에서 동작 시켜 보았다. 제작한 전체 회로는 그림10에 나타 내었다. 각 회로에 대한 측정 파형은 그림13과 같다. (a)는 하위 비교기에 대한 측정 파형이며 1은 입력 파형, 2는 클럭 파형, 3은 출력 파형을 각각 나타 낸다. (b)는 상위 비교기에 대한 측정 파형이며 마찬가지로 1은 입력 파형, 2는 클럭 파형, 3은 출력 파형을 나타 낸다. 하위

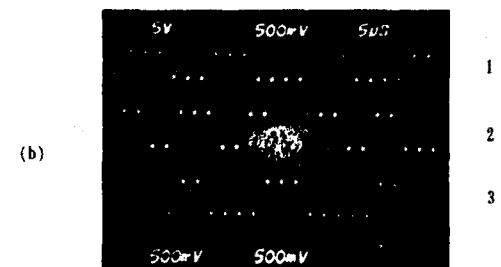
비교기는 클럭이 low(0) 상태 일때 입력값을 비교하여 high(1) 상태 일때 그 값을 저장 하게 되고, 상위 비교기는 그 반대 이다. (c)는 하위 데이터 버퍼에 대한 출력 파형이다. 1 은 그림8에서 D1 신호이며 2 는 클럭 파형, 3 은 LD2 신호이며 4 는 T15의 에미터 D1의 파형이다. LD2가 high(1) 상태이고, 클럭이 high(1) 상태일때, 출력 D1이 반전됨을 볼 수 있다. (d)는 1은 그림7에서 입력 파형, 2 는 클럭 파형, 3 은 T1의 컬렉터 신호이며, 4 는 T15의 에미터 D2의 파형이다.



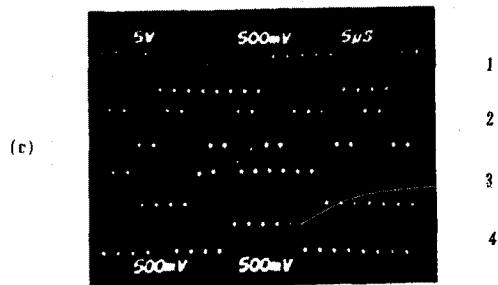
Fig.10. System Photograph



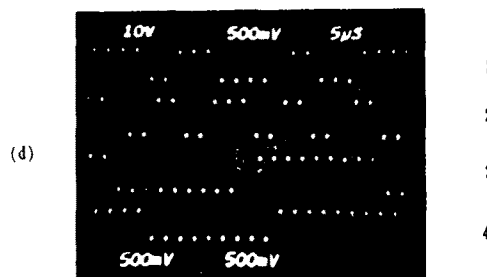
(a)



(b)



(c)



(d)

Fig.11. Output Waveform

결 론

본 논문에서는 분해능 4비트 직병렬형 고속 A/D 변환기를 설계하고, 그 변환 방식을 이용하여 제작(Bread Boarding) 하였다. 기존의 직병렬 변환 방식에서 사용된 D/A 변환기와 감산기를 matrix 회로로 대체하여, 보다 간단하게 회로를 구성 했다. Bread board 상에서 제작된 4비트 A/D 변환기의 기능과 SPICE 시뮬레이션 결과를 비교하여 볼때, 이 회로를 8비트로 확장하여 제작 하는것이 가능 하다고 생각 되며 이 고속 A/D 변환기는 영상 신호 처리용으로 사용 하기에 적당하다고 생각된다.

참고 문헌

1. M.I.Elmasyr:Digital bipolar Integrated circuit, Solid State Circuits, 38-46,1983
2. J.G.Peterson:A monolithic Video A/D converter, IEEE J.Solid State Circuits, 14(6):932-937, 1979
3. Schilling Belove:Electronic Circuits, 304-318, 1979
4. 정 명 수:직병렬형 8비트 고속 A/D 변환기 설계:경북대학교 논문,1986

본 논문은 군성중앙연구소의 위탁과제로 이루어진 것이며 연구소에 감사드립니다.