

## E/D MOS 논리 LSI의 지연시간 모델링

전기\*, 김경호\*, 전영현\*, 박송배\*

\* 한국 과학기술원 전기및 전자공학과

### Delay time modeling for E/D MOS Logic LSI.

ki Jun\*, Kyung-Ilo Kim\*, Young-Hyun Jun\*, Song-Bai Park\*

Dept. of E.E. KAIST

#### Abstract

This paper is concerned with time delay modeling of ED MOS gates which takes into account the slope of input waveform as well as the load condition. Defining the delay time as the time required to charge/discharge the load to the physical reference level, the rise/fall delay times are derived in an explicit formula in terms of the sum of optimally weighted current unbalances at two end points of voltage transition. The proposed model is computationally effective and the error is typically within 10% of the SPICE results.

#### I. 서 론

반도체 기술의 급격한 진보로 집적도가 증가함에 따라 소프트웨어 시뮬레이션은 디자인 검증에 위한 필수적인 방법이 되었다. 이러한 시뮬레이션에는 회로시뮬레이터, 시간시뮬레이터, 논리시뮬레이터, 스위치레벨시뮬레이터, 혼합시뮬레이터 등이 있으며 정확도와 효율간에 타협을 하게된다.

회로시뮬레이터와 시간시뮬레이터는 정확한 해석을 하지만 시간과 저장용량 때문에 회로의 크기가 수백개에서 수천개의 게이트 이하로 제한된다.

논리시뮬레이터는 수 단계의 게이트로 이루어진 회로까지 해석이 가능하지만 MOS LSI 회로의 게이트 지연시간이 부하 커패시턴스 뿐만 아니라, 입력파형에 의해서도 큰 영향을 받기 때문에 관련된 지연모델이 정확한 해석을 하기에는 불충분하다.

한편, 스위치레벨시뮬레이터는 MOS의 다양한 구조를 서술하기에는 용이하지만 지연시간을 도입하기가 어려우며, 혼합시뮬레이터는 각 모우드간에 정보를 주고 받을 때 정확도가 상실된다.

상승/하강 지연 시간의 정확한 모델링이 VLSI 디자인 검증에서는 중요하다. 스텝응답 방법에 근거를 둔 TAU 모델[1]은 인버터의 평균 상승/하강 시간을 이용한 것으로 입력파형을 고려하지 않고 부하조건도 단순히 fan-out을 정수배 해줌으로써 지연시간의 부정확한 예측을 했으며

입력파형과 부하조건을 고려하여 지연시간을 계산한 TOKUDA 모델[2]은 충전/방전 전류들 각각  $I_{pu}$  과  $I_{pd}$  의 정수배로 단순화 함으로써 실제 상황과 잘 부합되지 않았다. 한편 최근의 연구[3]에서는 충전/방전 전류들 각각  $I_{pu}$  과  $I_{pd}$  의 차에 해당하는 전류로 계산함으로써 지연시간 예측이 향상되었다.

본 논문에서는 지연시간을 물리적 기준레벨 사이에서 pull-up 전류와 pull-down 전류의 차에 해당하는 전류가 출력부하를 충전/방전 하는데 걸리는 시간으로 정의하여 n채널 enhancement-depletion(ED) MOS 게이트의 지연시간에 대하여 fan-in 과 fan-out 의 영향을 포함한 explicit 한 공식을 얻는다.

#### II. 지연시간의 모델링

##### 1. 지연시간의 정의

그림 1 의 정적(static) 전압전달곡선으로부터 입력전압이  $V_{ll}$  또는  $V_{hh}$  에 도달하기까지는 출력에 상당한 변화가 없다는 것을 알수 있다. 그래서 이런 점들을 지연시간을 결정하기 위한 기준점으로 사용한다.

Dynamic상황에서 이상적인 경우 ( $C_{out}=0$ ) 에 출력특성은 pull-up 트랜지스터와 pull-down 트랜지스터의 전류가 같다는 조건을 만족한다.

하지만 실제적인 경우 ( $C_{out} \neq 0$ )에  $I_{pu}$  와  $I_{pd}$  의 차에 해당하는 전하가 부하를 충전/방전시키지 않는 출력 변화가 일어나지 않는다. 따라서 static과 dynamic 출력응답 사이에 시간지연을 생기게 한다.

지연시간은 보통 static 인버터 문턱전압에 대하여 정의[2]하거나, 10/20 퍼센트 레벨과 80/90 퍼센트 레벨 사이를 변화하는데 걸리는 시간으로 정의된다[4].

그러나 최근의 연구에서는 MOS 구조의 지연시간이 입력에 의해 구동되는 레벨까지 출력 노우드를 평형상태에 이르게하는 시간과 직접 관련되어 있으므로 좀 더 adaptive한 상황을 고려하여 다른 구조에서 계산되는 지연시간을 정의한다. 그림2 에서 나타난 것처럼 상승시간  $T_{LH}$  는 입력이  $V_{th}$  를 통과하는 시간에서 출력이  $V_{cc}/2$ 까지 상승하는데 걸리는 시간이며, 하강시간  $T_{HL}$  는 입력이  $V_{th}$  을 통과해서 출력이  $V_{cc}/2$  까지 하강하는데 걸리는 시간으로 정의한다. 이 정의는  $V_{th}-V_{th}$  구간밖의 전압에 대하여는 출력이 변하지 않는다고 가정했기 때문에 static 조건을 포함하며 입력전압에 의해 출력전압이  $V_{cc}/2$  까지 도달되는 것이 입력 기율기와 구조의 함수이므로 입력파형의 기율기를 고려한 것이다.

##### 2. $T_{LH}$ , $T_{HL}$ 의 계산

$T_{LH}$  와  $T_{HL}$  은 부하 커패시턴스 평균 전류와 같은 일정전류에 의해서 충전 / 방전 된다고 가정함으로써 식(1)에 의하여 계산 될 수 있다.

$$T_{LHHL} = \frac{C_{out} \Delta V}{\langle I \rangle_{LHHL}} \quad (1)$$

where  $C_{out}$  : load capacitance

$\Delta V$  : amount of the output voltage change.

그러나 정확한 평균전류의 계산은 1회의 가능성이 없는 복잡한 수식화가 된다. 그러므로 근사적인 평균전류는 전압천이의 두 끝점에서 configuration 비에 따라 weighting을 달린 준 pull-up 트랜지스터( $TR_{pu}$ )와 pull-down 트랜지스터 ( $TR_{pd}$ )의 전류차에 해당하는 전류를 계산함으로써 구한다.

(1) 상승지연시간  $T_{LH}$ 의 계산

입력전압이 기울기  $1/\tau_{HL}$ 을 가지고  $V_{cc}$ 에서  $V_{ol}$ 까지 선형 감소한다고 가정한다.

$$V_{in} = V_{cc} \left( 1 - \frac{t}{\tau_{HL}} \right) \quad (2)$$

입력이  $V_{cc}$ 에서  $V_{in}$ 까지 떨어질 때는 그대로 유지된다는 것을 고려하면 상승지연시간은 아래의 관계식을 식(1)에 대입함으로써 구할 수 있다.

$$\langle I \rangle_{LH} = W_1 (I_{pu} - I_{pd})_{in} + W_2 (I_{pu} - I_{pd})_{fin} \quad (3)$$

where  $(I_{pu} - I_{pd})_{in}$  = current unbalance at  $V_{in} = V_{in}$

$(I_{pu} - I_{pd})_{fin}$  = current unbalance at  $V_{out} = V_{cc}/2$

$W_1, W_2$  = weighting factors at the two end points.

$V_{in} = V_{in}$ 에서  $TR_{pu}$ 는 포화되며  $TR_{pd}$ 는 선형영역에서 동작한다.  $V_{out} = V_{cc}/2$ 에서  $TR_{pu}$ 는 포화상태로 유지되나, 상승할 때와 하강할 때의 속도 차이 때문에  $TR_{pd}$ 는 출력이  $V_{cc}/2$ 를 통과할 때 차단영역에 있게 된다. NMOS 트랜지스터에 대하여 식(1),(3)을 적용하면

$$T_{LH} = \frac{\tau_n \left( \frac{V_{cc}}{2} - V_{ol} \right)}{V_{ol} \left( W_1 + W_2 \frac{V_{TD}^2 \left( \frac{V_{cc}}{2} \right)}{V_{TD}^2 (V_{ol})} - 2 W_1 \left( \frac{2 V_{ol}}{3 (V_{cc} - V_{TK})} \right)^{0.5} \right)} \quad (4)$$

where  $\frac{1}{R_{eff}} = \mu C_{ox} \left( \frac{W}{L} \right)_{pd} (V_{cc} - V_{TK})$

$$\tau_n = R_{eff} C_{out}$$

$$V_{ol} = \frac{V_{TD}^2}{2B(V_{cc} - V_{TK})}$$

위의 결과식으로부터 상승지연시간이  $\tau_n$ 을 통해 출력부하에 의존하고, 두 트랜지스터의 이용 가능한 전류에 의존함을 알 수 있다.

(2) 하강 지연시간  $T_{HL}$ 의 계산

인러프  $V_{in} = V_{cc} t/\tau_{LH}$ 를 가정하고 입력이  $V_{in}$ 에 도달할 때까지는 출력이  $V_{cc}$ 에서 유지된다는 것을 고려하면 하강지연시간은 아래 식을 식(1)에 대입함으로써 구할 수 있다.

$$\langle I \rangle_{HL} = W_3 (I_{pd} - I_{pu})_{in} + W_4 (I_{pd} - I_{pu})_{fin} \quad (5)$$

where  $(I_{pd} - I_{pu})_{in}$  : current unbalance at  $V_{in} = V_{in}$

$(I_{pd} - I_{pu})_{in}$  : current unbalance at  $V_{out} = V_{cc}/2$

$W_3, W_4$  : weighting factors at the two end points

$V_{in} = V_{in}$ 에서  $TR_{pu}$ 는 전류가 영이며,  $TR_{pd}$ 는 포화된다.  $V_{in} = V_{cc}/2$ 에서  $TR_{pu}$ 는 포화 영역에서 동작되며,  $TR_{pd}$ 는 선형영역에 있다. 하강지연시간이  $V_{cc}$ 에서  $V_{cc}/2$ 까지 출력이 떨어지는 시간이므로 입력전압은  $V_{in} = V_{in} + V_{cc}/\tau_{LH}$ 이다. 식(1),(5)를 적용하면

$$T_{HL} = \sqrt{\frac{\tau_n \tau_{LH}}{2A W_3}} - \frac{(W_3 B + W_4 C)}{2A W_3} \tau_{LH} \quad (6)$$

where  $V_{TD}^2 = 0.5(V_{TD}^2 (V_{ol}) + V_{TD}^2 \left( \frac{V_{cc}}{2} \right))$

$$A \cong \frac{V_{in}}{2(V_{in} - V_{TK})}$$

$$B \cong \frac{V_{in}}{V_{ol}} \left( \frac{V_{in}}{V_{ol}(\beta+1)} - 1 \right)$$

$$C \cong \frac{V_{in}}{V_{ol}} V_{ol} \sqrt{\frac{\beta}{\beta+1}} - \frac{V_{ol}}{\beta(V_{in} - V_{TK})}$$

위의 결과식에서 하강지연시간은  $\tau_n$ 을 통해 출력부하에 의존하고  $\tau_{LH}$ 을 통해 fan-in에 영향을 받고 B,C를 통해 configuration 비에 관련됨을 알 수 있다.

3. 가중계수의 최적화

상승지연시간  $T_{LH}$ 와 하강지연시간  $T_{HL}$ 을 구할때 전압천이의 구간에서 흐르는 전류를 각 끝점에서 구하여  $\beta$ 에 따른 weighting 계수가 어떤 퍼라미터들의 어떤 함수형식인가를 급해함으로써 보상할수 있다고 가정하였다. 가중계수의  $\beta$ 의존성을 찾아내기 위하여 전압천이의 두 끝점에서 하나에 0.5를 곱하고 다른쪽의 가중계수를 계산하는 실험적인 방법에 의해 가중계수를 다음과 같은 형식으로 가정하였다.

$$W_i = K_i (C_{out}) \beta^{-K_i (C_{out})} \quad (i = 1, 2, 3, 4) \quad (7)$$

Fletcher-Powell 최소화 방법을 사용하여 자승오차의 합

$$\sum_n \epsilon_n^2(\beta) \cong \sum_n (t_n - t_n^*)^2 / t_n^2 \quad (8)$$

where  $t_n$  : delay time by SPICE

$t_n^*$  : delay time by the proposed model

이 가장 적게 되도록 구하였다.

그림3은 상승지연시간을 최적화 하여 출력부하에 관하여 변화하는 것을 그린 것이며, 그림4는 하강지연시간을 최적화하여 부하에 대하여 변화하는 것을 보여 준다. 상승지연의 경우 평균 2.5% 정도의 실제값과의 차이가 있었으며, 하강지연의 경우는 1.8% 이내에서 최적화 되었다.

4. 모델 지연시간과 SPICE 시뮬레이션 값과의 비교

앞 절에서의 상승지연과 하강지연에 관한 모델을 검증하기 위하여 5단 inverter chain에 대하여 식(4),(6)에 의해 계산된 지연시간과 SPICE 시뮬레이션에서 나온 결과를 table 1에서 보여준다. K모델은 본 논문에서 제안한 모델이며 F모델은 Ref. [3]에서 주어진 모델이다.

새로운 모델은 상승지연의 경우 SPICE와의 평균 차이가 2.9% 이내이고, 하강지연의 경우에도 5.6% 이내에서 제한되는 반면, F모델은 상승지연의 경우 21.9%였고, 하강지연의 경우 20.8%로서 K모델이 지연시간을 정확히 예측함을 알 수 있다. 최악의 경우에도 K모델은  $T_{LH}$ 와  $T_{HL}$ 의 경우 각각 6.1%, 10.1%인데 반해, F모델은 39.3%, 36.8%의 오차가 발생하였다.  $T_{LH}$ 의 경우  $T_{LH}$ 보다 최적화 오차가 적었는데도 불구하고 SPICE와의 차이가 더 나는 것은  $T_{LH}$ 가 출력부하만의 함수인데 반해,  $T_{HL}$ 은 출력부하와 입력파형에 모두 의존하기 때문이다.

5 결론

본 논문에서는 ED MOS 논리 게이트의 지연시간이 부하조건뿐만 아니라 입력파형도 고려한 모델이 제안되었다. 제안된 모델은  $\beta$ 의 넓은 범위에 대하여 적용 가능하며 SPICE와 비교하여 정확도가 10% 이내에서 유지됨을 알 수 있었다. Transmission 게이트 경우에는 동기 모드와 비동기 모드로 나누어서 전단 게이트와 후단 게이트를 포함하여 하나의 소자로 취급하는 방법을 취한다.

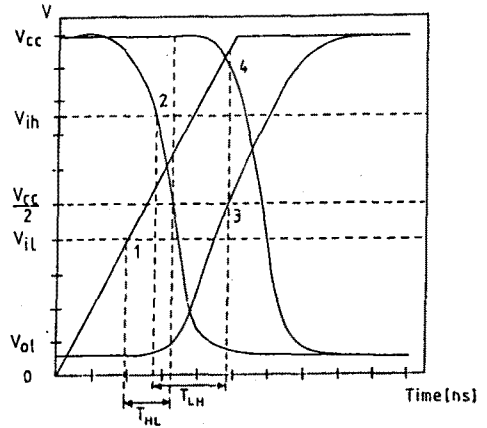


그림 2. 상승 및 하강 지연 시간의 정의

BETTA	$T_{LH}$ [us]			$T_{HL}$ [us]		
	SPICE	proposed model	Ref [3]	SPICE	proposed model	Ref [3]
0.5	9.92	10.53	11.81	13.70	12.76	8.66
0.7	10.35	10.69	11.78	13.07	12.45	8.64
1	10.82	11.10	11.64	12.52	12.06	8.60
2	12.00	12.43	11.21	11.35	11.18	8.44
3	13.03	13.53	11.01	10.40	10.65	8.30
4	13.94	14.46	10.87	9.72	10.27	8.18
5	14.82	15.28	10.76	9.21	9.99	8.09
6	15.69	16.01	10.68	9.01	9.76	8.02
7	16.55	16.68	10.62	9.19	9.58	7.97
8	17.42	17.29	10.57	9.73	10.71	9.00
Average Dev	2.9%		21.9%	Ave Dev	5.6%	20.8%
Worst Dev	6.1%		39.3%	Wor Dev	10.1%	36.8%

표 1. SPICE와 제안된 모델과 Ref. [3] 모델의 비교.

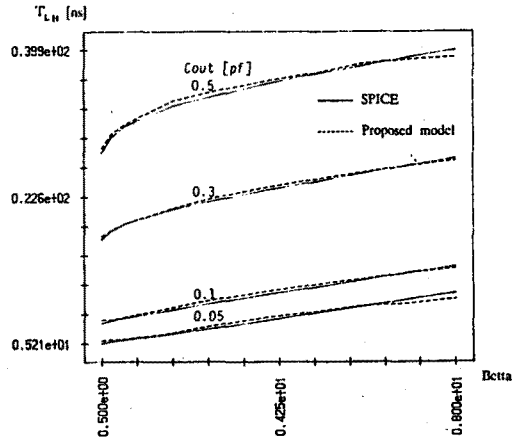


그림 3. 부하 커패시턴스에 따른 상승 지연의 최적화.

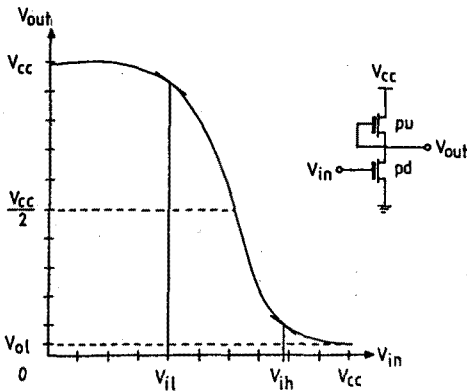


그림 1. Depletion-load 인버터의 정적 전달 특성의 전달곡선.  $V_{IH}$ 과  $V_{IL}$ 는 소신호 이득이 1이 되는 점들로 출력은  $V_{IH}-V_{IL}$  구간에서만 변한다고 가정.

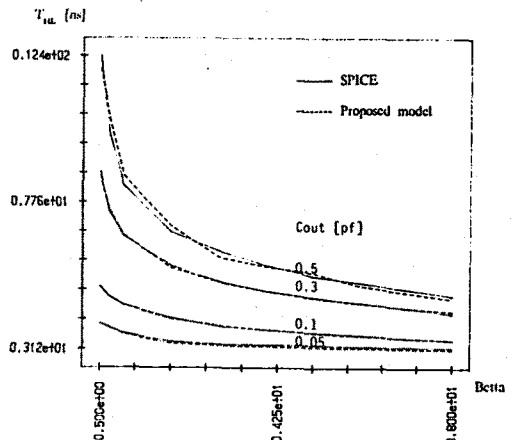


그림 4. 부하 커패시턴스에 따른 하강 지연의 최적화.

References

- [1] C. Mead and L. Conway, Introduction to VLSI Systems. Reading, MA : Addison Wesley, 1980.
  - [2] T. Tokuda, K. Okazaki, K. Sakashita, I. Ohkura and T. Enomoto, "Delay time modeling for ED MOS Logic LSI", IEEE Trans. Computer-Aided Design, Vol. CAD-2, pp. 129-134, July 1983.
  - [3] D. Auvergne, G. Cambon, "Delay-time evaluation in ED MOS Logic LSI.", IEEE J. Solid-State Circuits, Vol. sc-21, pp. 337-343, 1986.
  - [4] L. A. Glasser and L. P. Hoyje, "Delay and Power optimization in VLSI circuits", in Proc. ACM IEEE 21th DAC. pp. 529-535, June 1984.
  - [5] Kyung-Ho Kim, "Delay time modeling for ED MOS logic LSI and multiple delay logic simulator", M. S. Thesis, KAIST, Seoul, Korea, Feb, 1987.
-