

V L S I C H I P 으 로 부 터 C I F 추 출

○ 이 동 훈 김 지 흥 여 진 경 배 창 석 김 남 철 정 호 선 이 우 일

경북대학교 전자공학과

CIF EXTRACTION FROM VLSI CHIP

Dong-hoon Lee, Ji-hong Kim, Jin-keung Ryeu, Chang-seok Bae, Nam-chul Kim, Ho-sun Chung, Wu-il Lee

Dept. of Electronics, Kyungpook National University

ABSTRACT

This paper describes the method to extract CIF(Caltech Intermediate Form) by the digital image processing techniques from the VLSI chip. It is possible to represent to the layout editing system. The resolution of the image is 512·512 and 12 bits.

1. 서론

집적 회로 설계시 기존의 칩을 참조하는 경우가 많다. 기존의 칩을 참조 할 때 보통 IC를 decap하여 현미경을 통해 200배 혹은 400배 의 배율로 칩 사진을 찍는다. 그리고 수백장의 사진을 조합하여 사진의 도면으로 부터 IC 회로를 추출 한 다음 회로를 해석 한다. 따라서 칩으로 부터의 회로 추출을 자동적으로 빠른 시간내에 할 수 있는 방법이 필요하게 되었다.

본 논문에서는 이러한 문제를 해결하기 위한 일환으로 IBM PC/AT를 이용하여 IC칩으로 부터 바로 layout 패턴을 추출해 낼 수 있는 CAD system으로서 IC칩 패턴 인식 system(KUIC_DIP:Kyungpook National University Intelligent CAD_Digital Image Processing)을 개발 하였다. 본 system에서는 threshold [1] [2], line detection, thinning, 직선화 알고리즘 [1] [3]을 사용하여 칩 패턴의 영상으로 부터 CIF를 얻었다.

2. 시스템의 구조

본 논문에 사용된 시스템의 software 와 hardware적인 구조는 그림 1. (a), (b)와 같다. 집적 회로 패턴은 현미경과 video camera를 통해 512·512·12bit의 해상도를 가지는

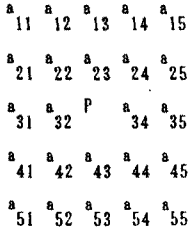
Image Processing Board (FG-100-AT) [4]에서 digitize되어 computer에 저장된다. 현미경과 video camera사이에서 video camera adaptor (MVA-1B)를 사용하여 입력영상의 효율 과 영상 입력의 질을 높였으며 사용된 computer는 IBM PC/AT이다.

3. Layer 구분

본 시스템의 출력 형태가 CIF이므로 원래의 영상에서 layer를 구분 하는 것이 우선적으로 필요하다. 전 영상의 gray level histogram을 보면 metal layer의 gray level이 하나의 peak를 이루고 있음을 볼 수 있으므로 threshold 기법을 사용하여 metal layer만이 나타나는 binary 영상으로 구분하였다. 그림 2는 inverter 2개로 구성된 buffer 영상의 gray level histogram을 나타내고 있으며 그림 3은 threshold 기법을 사용하여 나타난 binary 영상이다. CMOS에서 나타나는 metal을 제외한 layer인 polysilicon, diffusion, contact등의 layer들은 그 gray level값들이 유사해서 threshold 기법을 사용 할 수가 없다. 그래서 전 layer의 윤곽선을 추출하여 layer를 구분하는 방법을 사용하였다. 윤곽선을 추출하기 위한 data 처리는 line detection과 세선화 알고리즘을 적용 하였다.

4. Line detection 및 세선화

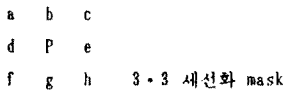
집적회로 패턴은 대부분이 선들의 조합으로 구성되어 있으며 현미경을 통해 입력 영상 데이터를 받아들여야 하기 때문에 현미경에서 나오는 빛의 방향과 각 layer의 두께에 따라 나타나는 그림자를 고려해야 한다. 따라서 기존의 edge operator보다는 좋은 결과를 얻기 힘들므로 집적회로 패턴에 맞는 line detector를 사용 하였다. line detector의 알고리즘 을 간단히 설명하면 다음과 같다.



i) 위의 5·5 mask내에 포함되는 총 8개의 직선 및 직각 성분 (a₁₁ a₂₂ P a₄₄ a₅₅, a₁₅ a₂₄ P a₄₂ a₅₁, a₁₃ a₂₃ P a₄₃ a₅₃, a₃₁ a₃₂ P a₃₄ a₃₅, a₁₃ a₂₃ P a₃₄ a₃₅, a₁₃ a₂₃ P a₃₁ a₃₂, a₃₁ a₃₂ P a₃₄ a₃₅)에 대해 각각의 평균치를 구하고, 그 중에서 최대치를 A라 한다.

- ii) 최대치 A를 가지는 직선 혹은 직각 성분을 제외한 나머지 pixel 들의 평균치를 B라 한다.
- iii) |A-B| > threshold이면 pixel P는 line에 포함되는 것으로 추정한다.

위의 알고리즘을 적용해 추출된 line을 binary영상으로 나타내면 그림 4와 같다. 위의 detector를 통한 영상은 원 영상의 특성으로 인해 굵게 나타난다. 그러므로 굵게 나타나는 선을 세선화 시키기 위한 과정이 필요하게 된다. 아래의 세선화 mask에서 P점에 점이 존재하게 되는 경우는 다음과 같다.



3·3 mask에서 P점을 거치지 않고는 이웃하는 점들과 연결이 불가능 할 때 P점은 계속 존재하게 된다. 즉, 예를들면 a = 1 이고, g = 1 일 때 P점은 a와 g점을 연결시켜 주게된다.



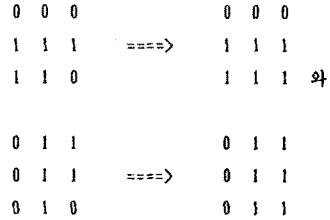
그러나 P점을 거치지 않고도 이웃하는 점들과 연결이 가능 할 때 P점은 제거가 된다. 예를 들면 a = 1, b = 1, c = 1 그리고 e = 1 일 때 P점을 거치지 않고도 연결이 가능하다.



이와 같은 알고리즘을 P점이 set 되어있는 경우에만 적용을 시키고, 북·남·동·서의 방향으로 세선화가 완전히 될 때 까지 적용 시킨다. 세선화 된 영상에서 패루프를 구성하는 것들을 원 영상과 비교하여 각 layer를 분리 하였다. 세선화 된 결과를 그림 5에 나타내었다.

4. 직선화 및 CIF 추출

Layer가 구분된 즉, 한 layer만이 존재하는 binary 영상은 실제적으로 특징점들 사이에 요철 부분이 많다. 이러한 요철 부분을 무시하기 위해 직선화를 수행 하였다. 직선화 방법은 기본적인 형태는 바꾸지 않고 요철 부분을 없게 만드는 데 있으며 3·3 mask에서 다섯개의 요소가 1로 되어 있는 mask중 하나만 0인 행이나 열을 찾아 1로 set하는 것이다. 예를 들면,



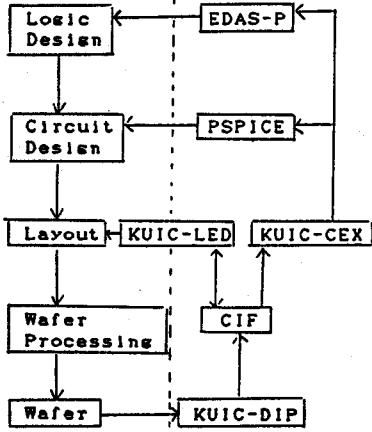
3·3 mask를 상·하·좌·우로 이동 시키면서 직선화가 될 때까지 반복 시킨다. 직선화가 된 metal layer를 그림 6에 나타내었다. 직선화가 된 영상에서 직각 성분들을 찾아 특징점으로 하고 각 직각 성분의 특성을 이용, loop를 구성하여 polygon 형태의 CIF로 표현하였다. CIF로 표현할 때 영상 좌표계의 값이 layout editor의 좌표값보다 크므로 X, Y값을 scaling하여 표현 하였다. 출력된 CIF와 layout editor [5]로 display된 것을 그림 7에 나타내었다.

5. 결론

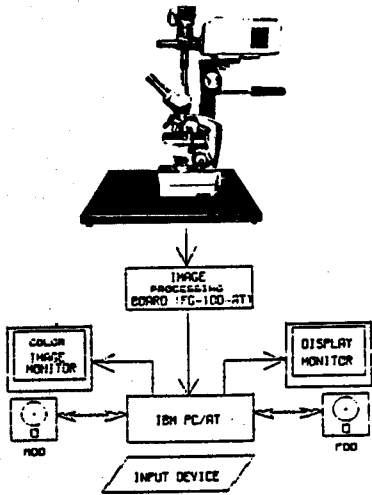
본 연구에서는 VLSI chip으로부터 CIF를 얻는 시스템을 개발 하였다. layer를 구분하기 위해 threshold, line detection, thinning 알고리즘이 사용되었고 구분 된 layer에서 특징점을 추출하여 CIF를 얻어 layout editor와 circuit extractor의 입력 형태가 되게 하였다. 실제의 집적회로 패턴은 각 gray level 차가 작고 noise가 많으므로 이로 인해 발생하는 문제를 극복하기 위해서 grouping에 관한 연구와 숨겨진 선을 detect하는 연구가 계속 될 것이다. 본 논문에서 제시한 알고리즘을 제조 공정상의 testing에 적용한다면 시간과 경비면에 많은 도움을 줄 것이라 기대된다.

6. 참고 문헌

1. A.Rosenfeld, A.C.Kak, "Digital Image Processing" Academic Press, 1982.
2. R.C.Gonzalez, P.Wintz, "Digital Image Processing" Addison Wesley, 1977.
3. A.Rosenfeld, L.S.Davis, "A Note on Thinning" IEEE Trans. on Systems, Man & Cybernetics, pp.226-228, March. 1976.
4. "FG-100-AT User's Manual" Imaging Technology Inc.
5. 장기동, 배운섭, 이동훈, 정호선, 이우일, "KUIC_LED:대화형 집적 회로 Layout editor", 전기 재료·반도체 및 CAD 학술회의 논문집. pp.161-164, 1987.



(a) software 구조



(b) hardware 구조

그림 1. 본 시스템의 hardware 와 software 구조

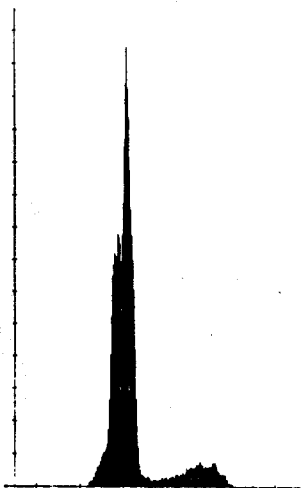


그림 2. gray level histogram

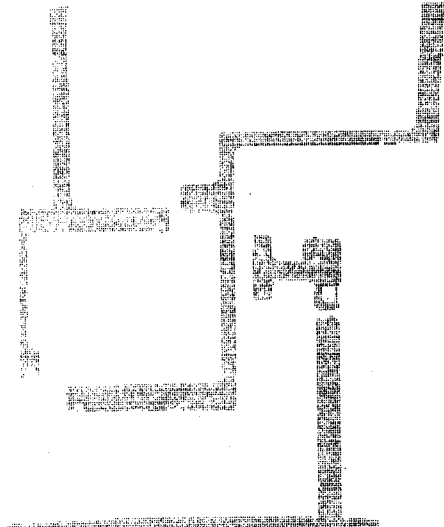


그림 3. threshold된 binary image

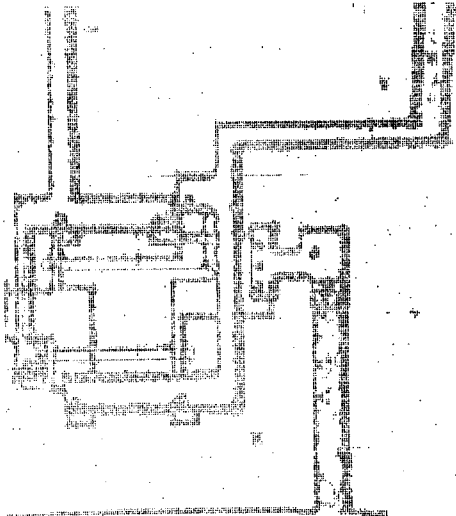


그림 4. line detected binary image

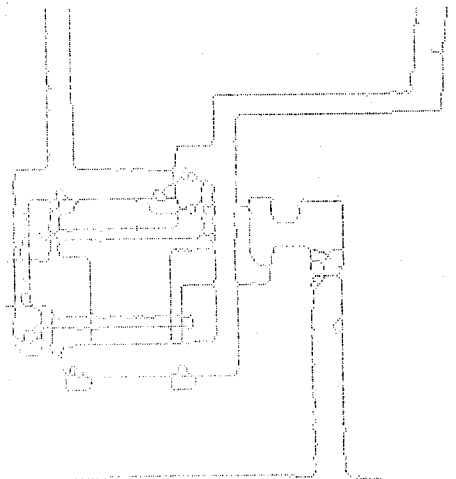


그림 5. 세신화 된 binary image

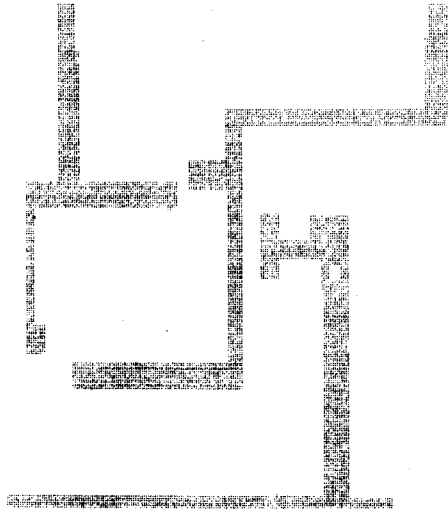


그림 6. 직선화 된 metal layer

```

h -174 589 228 229
L 6 CM1
P 30 818 11 0 0 -14 -2 0 0 -37 -2 0 0 -4 -94 0
  0 -120 -77 0 0 1 -1 0 0 11 72 0 0 79 -18 0 0
  13 17 0 0 23 92 0 0 33 2 0
P -48 723 8 0 0 -12 15 0 0 11 17 0 0 -129 76 0
  0 -2 36 0 0 -2 -228 0 0 5 133 0 0 2 -1 0 0
  -1 2 0 0 1 -1 0 0 -2 22 0 0 95 -1 0 0 14
  -20 0
P -141 818 7 0 0 -22 2 0 0 -59 45 0 0 -11 -3 0
  0 -1 -1 0 0 1 -62 0 0 -54 5 0 0 -12 -2 0 0
  -1 -6 0 0 78 15 0
    
```

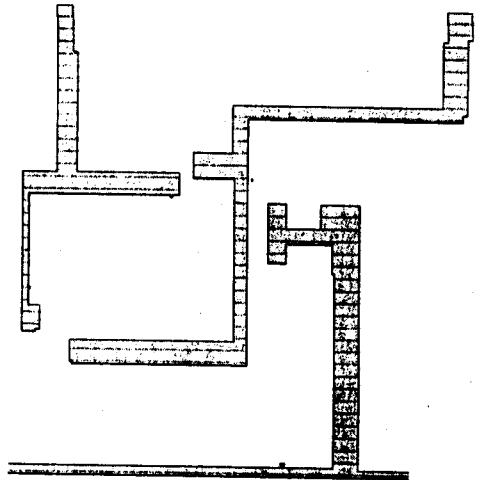


그림 7. 출력 된 CIF와 layout editor로 display 된 그림

* 본 연구는 서울 대학교 반도체 연구소 연구비에 의해 수행 된 것임