

KUIC - CEX: 집적회로 마스크 도면으로부터 회로 추출

○ 배운섭, 장기동, 서인환, 정갑중, 정호선, 이우일
 경북 대학교 전자 공학과

KUIC-CEX: Circuit Extraction from IC mask pattern of the CMOS

Bae Yunseob, Jang Gidong, Seo Inhwan,
 Jeong Gabjung, Chung Hosun, Lee Wusil

Dept. of Electronics, Kyungpook National University.

ABSTRACT

This paper describes the KUIC-CEX, an automated CMOS layout verification program which extracts circuit connectivity, MOSFET dimensions, and parasitic capacitance for CIF(1) file. In the KUIC-CEX, Bitmap approach(2,3) is used for basic operation. Since the output of this program is the input file format of PSPICE, we can easily verify the layout of circuit. This program is written in C language.

1. 서 론

VLSI 제작기술의 발달로 인해 집적도가 증가함에 따라 회로의 복잡도가 증가되었다. 이에따라 회로를 설계하여 마스크 도면으로 만드는 과정에서 geometrical 혹은 topological Error등의 발생율이 증가 되었다. 이에 칩을 제작하기 전에 마스크 도면의 잘못된 부분을 찾아서 수정하는 일이 필요하나, 복잡한 마스크 도면을 사람이 직접 검증하게 되면 시간이 걸리고 정확한 검증이 어렵다. 따라서 국내외적으로 layout pattern의 geometrical design rule을 검증을 위한 DRC(design rule check)(4), 전기적인 topological error를 검증하기 위한 Circuit Extracter(5,6)에 대한 연구가 활발히 이루어 지고 있다. 본 연구실에서도 KUIC-LED(Kyungpook National University Intelligent CAD- Layout Editor)(7)에 의해 생성된 CMOS회로의 CIF 화일로 부터 MOSFET을 추출하고 기생 커패시턴스를 계산하고 전기적인 연결상태를 찾아내는 프로그램, KUIC-CEX(Kyungpook National University Intelligent CAD-Circuit Extracter),을 개발 하였다. 이 회로 추출기로부터 추출한 마스크 도면에 대한 회로는 회로 시뮬레이션용 할수 있도록

PSPICE의 입력 화일 형태로 출력된다. 따라서 마스크 도면으로부터 회로의 동작 특성을 검증 할수 있다.

2. Circuit Extracter

이 회로 추출기는 Mask pattern에 대한 정보로써 CIF 화일을 입력으로 받아서 Basic operation으로써 Bitmap Method을 이용하여 회로 요소들을 추출한다. 이 회로 추출기는 크게 CIF DATA을 입력하여 bitmap 변환하는 부분, 트랜지스터 추출하는 부분, 그리고 기생 커패시턴스를 계산하는 부분으로 나누어 진다. 전체적인 흐름도는 그림1과 같다.

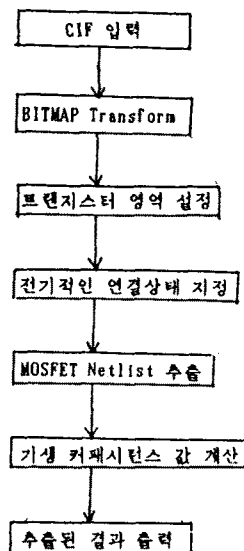


그림1. 전체적인 흐름도 (flow chart)

1) Mask에 대한 정보 입력과 Bitmap 변환

이 회로 추출기의 입력은 Poly-Si gate CMOS의 Mask pattern에 대한 CIF 화일이다. 여기서는 수직 수평 상분을 가지는 Box, Polygon, 임의의 폭을 가지는 Wire 뿐만아니라 Cell도 처리가 가능하며, 입력과 출력 Port에 대한 정보를 제공하기 위해서 TEXT도 다룬다. 각 도형에 대한 format은 KUIC-LED(7)의 출력을 기본으로 하고 다른 layout editor을 위해서는 conversion program을 이용하여 사용한다. Bitmap Method에서는 수행속도, 메모리 설정등과 같은 것으로 인해 DATA 크기가 가장 문제시 되므로 DATA의 크기를 줄이는 것이 필요하다. Simple Bitmap Method 을 사용하게 되면 Data의 크기가 크게 되므로 Bitmap의 간략화를 위해서 HIBAWL(Hierarchical, Integrated Circuit, Bitmap Artwork Language)의 기법(2,3)을 이용하여 Bitmap의 크기를 대폭 줄였다. Data의 크기는 Horizontal Edge의 수에 비례하며 Space 복잡도는 $O(n)$ 이다. 그리고 회로가 틀 경우에는 원하는 특정한 부분만 입력하여 회로 추출이 가능하게 했다.

2) 트랜지스터 인식

P-well을 가지는 CMOS는 6개의 layer로 나타내며 각각 CPW(P-well), CDN(N-diff), CPS(Poly silicon), CCH(Contact), CMI(Metal)로 표기 한다. 트랜지스터는 Poly silicon과 Diffusion이 겹치는 곳에 형성된다. 트랜지스터를 형성하는 CDN 혹은 CDP는 트랜지스터의 channel 부분에 의해 전기적으로 연결이 끊어지게 되므로 diffusion 영역을 채널과 나머지 두 부분(드레인, 소오스)으로 나누어 준다. 그리고 회로내에서 트랜지스터의 연결상태를 결정하기 위하여 source, gate, drain, 그리고 substrate를 지정해 주어야 한다. Poly-Si와 CDN 혹은 CDP가 겹쳐서 형성된 트랜지스터에서 Poly-Si는 Gate가 되며, 나머지 두 부분으로 나누어진 diffusion 영역은 source와 drain으로 설정된다. 만일 CDN, CPS와 SUB가 겹치게 되면 N-channel MOS가 되며, CDP, CPS와 CPW가 겹치게 되면 P-channel MOS가 된다. 트랜지스터의 채널의 폭과 길이는 각각 Diffusion Layer와 Poly-Si Layer의 폭이 된다(그림2).

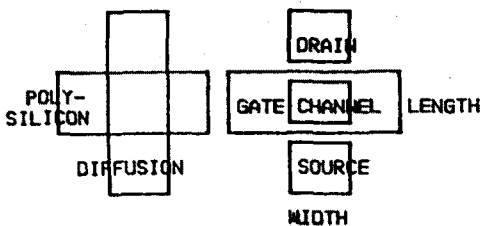


그림2. 트랜지스터의 설정

3) 연결도 추출을 위한 등가관계 설정

이 과정의 목적은 전기적으로 등가적인 영역과 회로 요소의 node들 사이의 연결성을 결정하기 위한 것이다. 먼저 각 layer들에 대한 연결도를 조사하여 node를 설정하여 Data를 저장하고, 다른 layer와 전기적인 등가관계에 따라 등가 node로 설정한다. 같은 전도성 layer가 인접하거나 겹쳐있는 경우는 전기적으로 등가이며, 다른 layer들 사이의 등가관계는 기술에 의존한다. Poly-Si Gate MOSFET에서 다른 layer들 사이의 전기적인 등가관계는 그림3과 같다.

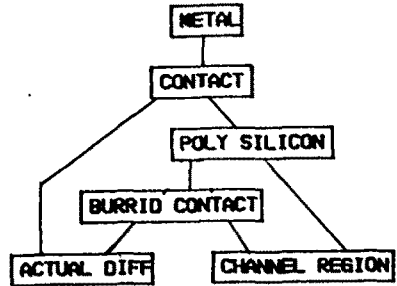


그림3. Si-gate MOS 기술에서 layer들 사이의 관계

4) NETLIST 추출

마스크 도면에서 이루어진 회로의 검증을 위해 입력 단자와 트랜지스터의 출력형태는 다음과 같다.

. 입력 node

PTnam NNum

. 트랜지스터

MOSnam ND NG NS NB MT W = ??U L = ??U

여기서 PTnam은 입력 port 이름이고, NNum은 node 번호이다. MOSnam은 트랜지스터의 이름이고, ND NG NS 그리고 NB는 각각 Drain, Gate, Source, 그리고 Substrate의 Node 번호를 나타낸다. MT는 MOSFET가 NMOS인가 PMOS인가를 의미하는 MOS의 type을 나타내며, W,L는 MOS channel 영역의 폭과 길이를 나타낸다.

5) 기생 커패시턴스 계산

이 회로 추출기는 Mask Pattern으로 부터 Gate Oxide와 P-N Junction으로 인해 생성되는 기생 커패시턴스를 계산한다. 이 기생커패시턴스는 단위 단면적당 커패시턴스와 Pattern 변칙의 곱으로 계산되며, 단위 단면적당 커패시턴스는 외부에서 변환 가능하도록 하였다. 출력 format은 다음과 같다.

. C N+ N- C. acitance

여기서 N+ N-은 형성되는 커패시턴스의 극성에 대한 node를 나타내고 Capacitance는 계산된 양을 나타낸다.

6) 적용예

COMS 2-input NAND 회로에 대해 적용하여 보면 그림4(a)는 Mask Pattern이며, 그에 대한 CIF 파일은 그림4(b)이다. 추출된 회로는 그림4(c)에 보이며, 그에 대한 PSPICE 입력 파일은 그림4(d)와 같다.

3. 결론

이 회로 추출기는 집적회로의 마스크 도면을 나타내는 CIF 파일로 부터 CMOS 회로에 대한 트랜지스터 간의 연결상태, 기생 커패시턴스, 그리고 입출력 port를 추출한다. 입력이 PSPICE 입력 파일 형태이므로 Layout 회로를 쉽게 검증 할수 있다. 또한 큰 회로에 대비하여 특정한 부분의 circuit을 추출할 수 있게 하였다. 이 회로 추출기는 C-언어로 작성 했으며, IBM PC/AT DOS상에서 수행된다.

참고 문헌

1. Carver Mead, Lynn Conway, "Introduction to VLSI Systems", addison wealey, 1980.
2. Wilmore J.A, "A Hierarchical Bit-Map Format for the representation of IC Mask Data", IEEE Proc. 17th DAC, pp585-590, 1980.
3. Wilmore J.A, "Efficient Boolean Operations of IC Masks", IEEE 18th DAC, pp571-579, 1981.
4. Jaylor, G.S, and Outhrout, J. K., "Magic's Incremental Design Rule checker", Proc. 21st DAC., PP.160-165. 1984.
5. Scott, W.S., Ousterhout, J.K., "Magic's circuit extractor", IEEE Proc. 22nd DAC, PP289-292, 1985.
6. 김성수, 경봉민, "집적회로 마스크 도면으로부터의 회로 추출", 대한 전자공학회지, 23권, pp981-987, 1986.
7. 장기동, 배운섭, 이동훈, 정호선, 이우일, "KUIC - LED: 대화형 집적회로 Layout editor", 전기재료, 반도체 및 CAD 학술회의 논문집, pp161-164, 1987.

h 34 30 35 42	l 5 CCH
l 1 1 CPW	b 57 55 2 -2
b 36 36 27 10	b 57 42 2 -2
l 2 2 CDN	b 51 53 -2 -2
b 44 43 16 -4	b 45 42 2 -2
l 3 3 CDP	b 43 53 -2 2
b 48 52 4 -2	b 40 42 2 -2
b 40 56 20 -4	l 6 CMI
l 4 4 CPS	b 69 38 -5 5
b 58 30 -5 4	t 66 40 2 0 Vss
t 54 31 2 0 INB	t 62 60 2 0 Vdd
b 53 34 2 27	b 60 43 -4 -4
b 51 34 -2 15	b 60 40 4 2
b 49 47 -4 2	b 56 59 4 -7
t 48 31 2 0 INA	b 48 45 4 9
b 47 61 -2 -12	b 44 39 4 9
b 47 30 4 4	b 40 59 4 -7
b 43 30 -4 4	b 39 39 5 4
b 40 34 2 5	b 34 63 32 -4
t 40 31 2 0 Out	
b 39 39 4 4	

그림4(b). layout 회로의 CIF 파일

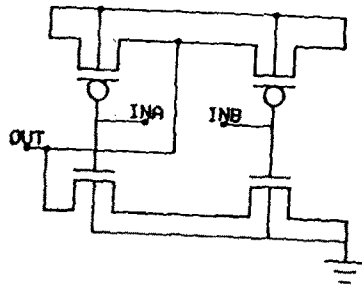


그림4(c). 추출된 회로

```
Vdd 1
OUT 2
INA 4
INB 5
MOS1 2 4 1 1 PM W=4U L=2U
MOS2 4 5 1 1 PK W=4U L=2U
MOS3 2 4 0 0 NH W=4U L=2U
MOS4 5 5 0 0 NH W=4U L=2U
* PSPICE FET model
*
***** PROCESS PARAMETER *****
.MODEL PM PMOS VTO=0.73819 KP=0.24335E-4 GAMMA=0.63471
+NSUB=0.7052E15 XJ=0.11371E-5 LD=0.50093E-6 RD=0.05
+RS=0.05 TOX=0.5E-7 U0=231.47 LAMBDA=1E-7 PHI=0.77732
+MFS=1.49E11 C600=4.406E-10 CGSO=4.406E-10 C680=1.44E-11
+PB=0.34
.MODEL NM NMOS VTO=0.7063 KP=0.3984E-6 GAMMA=0.5927
+NSUB=0.1572E17 XJ=0.88995E-6 LD=0.64739E-6 RD=0.05
+RS=0.05 TOX=0.5E-7 U0=603.93 LAMBDA=1E-7 PHI=0.63723
+MFS=2.38E11 C600=4.406E-10 CGSO=4.406E-10 C680=1.44E-10
+PB=0.8
.end
```

그림4(d). 추출된 회로에 대한 PSPICE 입력 파일

* 본 연구는 한국 학술진흥재단 연구비에 의한 것 임

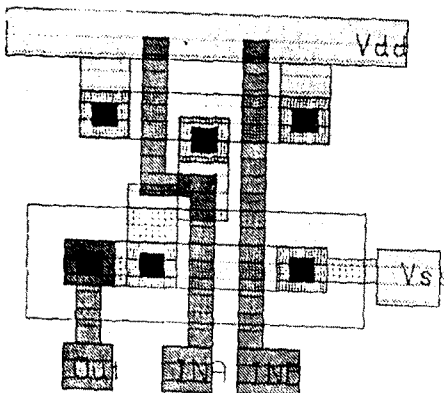


그림4(a). 2-input NAND 회로의 layout