

DIGITAL FILTER ONE CHIP I.C 와 및 제작

○ 박 상봉 백 인천 박 노경 문 대철 차 균현

고려 대학교 전자공학과

Design of Digital Filter One Chip I.C

SangBong Park Incheon Park Nookyeong Park

DaitChul Moon KyunHyon Tchak

Dept. of Elec. Engineering Korea University

ABSTRACT

This paper described the design of register part, ROM and entire digital filter implementation by merging with ALU, control part last year.

The register part consists of shift register, parallel load serial output register, multiplexer and selector, and we designed specially the 1024 memory cells ROM and decoder to decode the register data. Also, presented scaling algorithm to prevent the overflow.

I. 서 론

디지털 필터는 음성처리, 영상처리, 수중 음파 탐지기와 레이다 시스템, 디지털 제어계통 등 응용분야가 광범위하고, 아날로그 필터에 비해 안정도, 신뢰도, 정확도, 적응도가 우수하다. 또한, 단일칩 Signal Processor는 One-Board Processor 보다 속도, 신뢰도, 면적, 전력소모 등의 측면에서 그 성능이 우수하다. 본 연구에서는 하드웨어 구성은 약간 복잡하나 잡음특성, 동작속도, 적응성이 좋고 Fixed Filtering 적용에 적합한 PL 실현방식을 택하여 다기능 단일칩 디지털필터를 구현하였다. 설계과정은 필터 칩 전체를 ALU, Control, Register, Memory의 4 블록으로 나누고 각 블록들을 다시 계층적으로 나누어 설계하는 것이고(그림 1), 본 연구에서는 지난 1차년도에 ALU, Control에 이어 Register, Memory를 설계하여 종합함으로써 전체의 단일칩 필터를 구성하였다.

II. 본론

2.1 전체 구성

디지털 필터의 전체 개요도는 그림 2와 같다. 디지털 필터 입-출력 관계는 다음과 같다.

$$y = \sum_{k=0}^N a_k x_{n-k} - \sum_{k=1}^M b_k y_{n-k} \quad (1)$$

(x, y) : 입 출력 sequence

(a, b) : 필터계수

식 1을 '2's complement 식으로 고치면

$$\tilde{y}(n) = \sum_{k=0}^N 2^{-k} \cdot F_k - F_0 \quad (2)$$

$$\begin{aligned} \text{여기서 } F_k = & \tilde{a}_0 x_k(n) + \tilde{a}_1 x_k(n-1) + \tilde{a}_2 x_k(n-2) \\ & + (-\tilde{b}_1) y_k(n-1) + (-\tilde{b}_2) y_k(n-2) \end{aligned}$$

디지털 필터는 식 2의 연산을 수행한다. control part는 ROM, register selection을 수행하고 ROM은 register 단의 address에 따라 F 값을 출력하여 ALU으로 보낸다. ALU는 식 (2)의 연산을 control signal에 따라 수행한다.

2.2 scaling factor 결정

ALU 연산 과정에서 overflow 발생을 방지하고, 오차를 줄이기 위해서 필터계수에 대한 scaling을 고려해야 한다.

변수  $\alpha$ 와  $\beta$ 를 다음과 같이 정의하면

$$\alpha = \max(F_j)$$

$$\beta = \min(F_j) \quad \text{이 된다.}$$

위에서  $n \leq 0$  이 되므로

\* 과학기술처 연구비에 의한 다목적 공동설계 연구 (MPC 86) 개발 결과임

$$y(n) \leq \alpha \sum_{j=1}^{n-1} z^j - \beta$$

$$y(n) > \beta \sum_{j=1}^{n-1} z^j - \alpha \quad \text{가 된다.}$$

이것을 부등식 관계로 정리하면

$$y(n) < (\alpha - \beta)$$

$$y(n) > (\beta - \alpha)$$

위로부터  $|y(n)| < 1$  이 되기 위해서는 scaling factor 를 다음과 같이 취할 수 있다.

$$S > \alpha - \beta$$

그러므로 ROM 에 저장되는 실제 계수값은 S 로 scaling 한 값이 저장된다.

그림 3 은 최적의 scaling 인수를 계산하기 위한 Flowchart 이다.

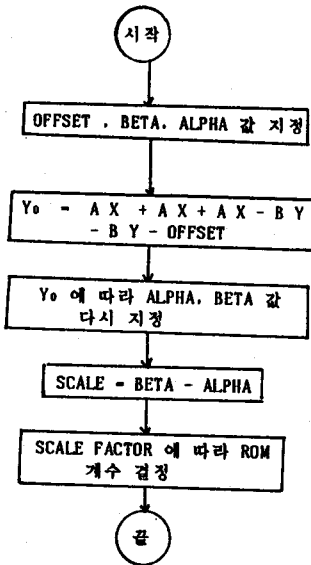


그림 3. scaling factor 계산 흐름도

### 2.3 Register 설계

Register 단은 그림 4 와 같이 shifter, buffer, parallel load serial out register, selector 로 구성되어 있다.

Shifter 는 단지 D-Flip Flop 의 열로 구성되어 있고 parallel load register 는 병렬 input 에 의한 Serial 출력을 갖도록 그림 5 와 같이 설계하였다. MUX/SELECTOR 회로는 그림 6 과 같이 2 Input, 2 Channel 로 구성 하였으며 Select Signal 이 low 인 경우는 output 은 A1, A2 를 선택 하고 Select Signal 이 high 인 경우 B1, B2 를 선택한다.

### 2.4 ROM 설계

CMOS ROM 의 구조는 그림 7 과 같이 64 word X 16 bit 의 구조를 갖고있는데 메모리 셀과, 디코더, 그리고 기능에 따라 ROM 의 내용을 Select 하는 Selector 로 구성된다. 표 1 은 Butter worth 인 경우 ROM 내용과 address 관계의 일부이다.

### IV. 결론

DF 503K 를 PELED-LIU 구현 방식에 의하여 하드웨어를 실현하여 ALU 및 Control Unit 에 대해 모든 CAD 작업을 마치고 공정중에 있고 현재 Register 단 및 ROM 단에 대한 회로설계를 최적화 하고 Simulation 을 행하였다. 또한 각 블록들의 layout 이 모두 완료 되고 각 블록간의 배치와 배선의 최적화 과정이 거의 완료중에 있다.

### V. 참고문헌

1. Peled and Liu, "A New Hardware realization of digital filter", IEEE Tran. Acous., Speech and Signal Processing, Vol. Assp-22, No.6, pp. 456-462, Dec. 1974
2. Abraham Peled, "On the hardware implementation of digital Signal Processor", IEEE Trans. Acoustic, Speech and Signal Processing, Vol. assp-24, No. 1, pp. 76-86, Feb. 1976
3. W.D.Little, "An Algorithm for high speed digital filter", IEEE Trans. computers, Vol. C-23, pp. 466-469, May. 1974
4. Y.C. Jen, "A New implementation Algorithm of Second order IIR digital Filter", IEEE Trans. Acou-speech and Signal Processing Vol. Assp-28, No.2, pp.248-249, Apr. 1980
5. Peled and Liu, "Digital processing", John Wiley & Sons, Inc. 1976
6. J.Lokstroh, 외 3 인 "Worst - Case Static Noise Margin Criteria for Logic Circuits and their Mathematical Equivalence", IEEE J. Solid Circuits SC-18: 803-807, 1983.
7. 과학 기술처, 최종 연구 보고서, "MOS Technology Development 에 관한 연구", 1984.
8. Mead and Conway, "Introduction to VLSI Systems", Addison-Wesley, 1980

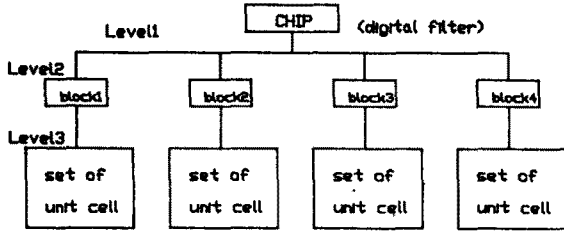


그림 1. 디지털 필터 블록 계층구조

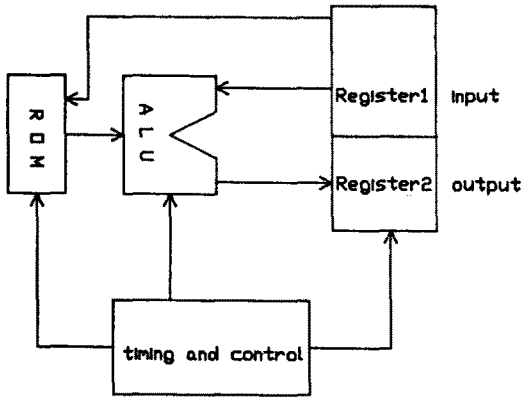


그림 2. 디지털 필터 전체 개요도

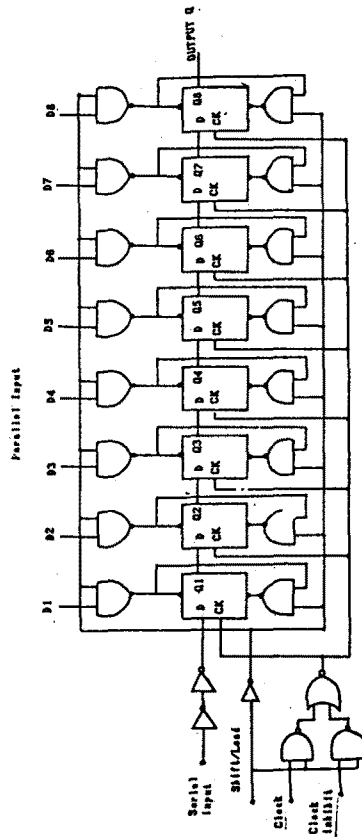


그림 5. 8-Bit Parallel Load Serial Output Register

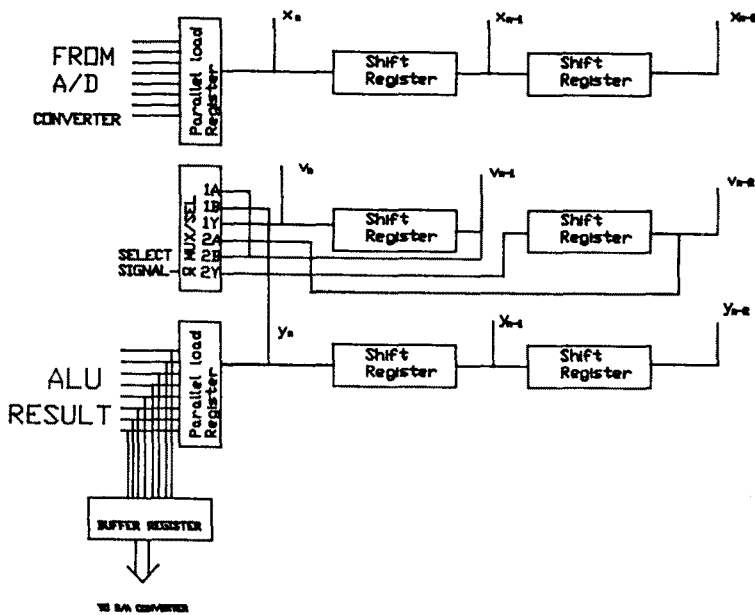


그림 4. Register 단 블록도

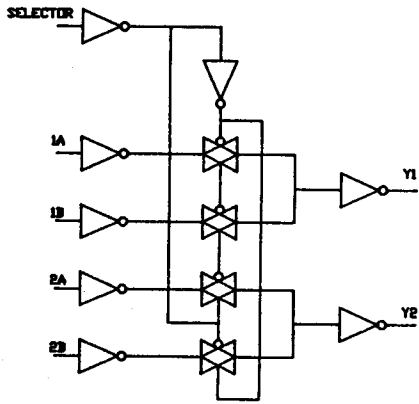


그림 6. Multiplexer and Selector

표 1. Butterworth 인 경우 ROM 내용

MEMORY ADDRESS	MEMORY CONTENT
00000000	0000000000000000
00000001	0000000000000000
00000002	0000000000000000
00000003	0000000000000000
00000004	0000000000000000
00000005	0000000000000000
00000006	0000000000000000
00000007	0000000000000000
00000008	0000000000000000
00000009	0000000000000000
0000000A	0000000000000000
0000000B	0000000000000000
0000000C	0000000000000000
0000000D	0000000000000000
0000000E	0000000000000000
0000000F	0000000000000000
00000010	0000000000000000
00000011	0000000000000000
00000012	0000000000000000
00000013	0000000000000000
00000014	0000000000000000
00000015	0000000000000000
00000016	0000000000000000
00000017	0000000000000000
00000018	0000000000000000
00000019	0000000000000000
0000001A	0000000000000000
0000001B	0000000000000000
0000001C	0000000000000000
0000001D	0000000000000000
0000001E	0000000000000000
0000001F	0000000000000000
00000020	0000000000000000
00000021	0000000000000000
00000022	0000000000000000
00000023	0000000000000000
00000024	0000000000000000
00000025	0000000000000000
00000026	0000000000000000
00000027	0000000000000000
00000028	0000000000000000
00000029	0000000000000000
0000002A	0000000000000000
0000002B	0000000000000000
0000002C	0000000000000000
0000002D	0000000000000000
0000002E	0000000000000000
0000002F	0000000000000000
00000030	0000000000000000
00000031	0000000000000000
00000032	0000000000000000
00000033	0000000000000000
00000034	0000000000000000
00000035	0000000000000000
00000036	0000000000000000
00000037	0000000000000000

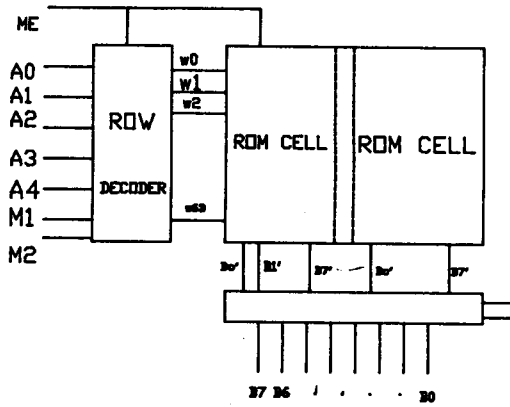


그림 7. CMOS ROM 의 블록도