

Image rasterization을 위한 Edge Painting Machine의 설계 및 simulation*

○ 최 상 길, 김 성 수, 어 길 수, 경 종 민
한국 과학 기술원 전기 및 전자 공학과

Design and Simulation of Edge Painting Machine for Image Rasterization

Sang Gil Choi, Sung Soo Kim, Kil Su Eo, and Chong Min Kyung
Dept. of Electrical Engineering, KAIST

Abstract

This paper describes a hardware architecture called Edge Painting Machine for real time generation of scan line images for raster scan graphics display. The Edge Painting Machine consists of Scanline Processor which converts polygon data sorted in their depth priority into a set of scan line commands for each scan line, and Edge Painting Tree which converts the scanline commands set into a raster line image. Edge painting tree has been designed using combinational logic circuit. The designed circuit has been simulated to verify the proper functioning. A salient feature of the EPT is that hardware composition is simple, because each processor is constituted by only combinational logic circuit.

1. 서 론

최근의 VLSI 와 display 기술의 발전은 video bandwidth 와 screen resolution을 증가시킴으로써 computer graphics 분야에 많은 공헌을 하게되었다. 그 결과로 나온 것이 surface나 solid modeling 기술을 쓸 수 있는 raster scan display이다. 그런데 raster scan display의 응용에서 raster image를 real time으로 만드는 것이 필수적이다.

이 논문에서는 real time application을 위한 Edge Painting Machine이라는 hardware architecture와 이에 대한 논리설계 및 simulation을 소개하고자 한다. Edge Painting Machine은 Scanline Processor와 Edge Painting Tree 부분으로 구성되어 있다. Scanline Processor는 polygon data를 받아 들여서 각 scanline에 대한 scanline command를 만들고 EPT는 Scanline Processor로부터 받아 들인 scanline

command를 pixel data의 stream으로 변환시키는 동작을 하는 hardware 이다.

Edge Painting Machine을 사용하는 raster scan graphical display system의 schematic diagram은 그림 1.과 같다. 입력되는 data는 world coordinate에서의 2 또는 3 차원의 image들을 포함한다. 이러한 image들은 transforming, perspective viewing 및 clipping되어 screen coordinate에서의 2 차원의 graphical primitive로 변환된다. 이렇게 변환된 signal은 Scanline Processor와 EPT를 거쳐 CRT로 전달되어 display된다.

2. Scanline Processor

먼저 이 논문에서는 polygon들이 z-depth에 따라 이미 sorting되어 있어서 polygon들이 overlap되는 경우 depth가 낮은 것이 우선한다고 가정한다. Scanline Processor는 transform/clipping preprocessor와 Edge Painting Tree 사이에 있는 interface 로 current scanline과 intersect하는 모든 polygon에 대한 scanline command들을 계산하고 출력시킨다. Scanline Processor는 polygon processor, sorter and merging station의 세 부분으로 구성되어 있다. 여기서 polygon processor는 polygon edge와 current scanline의 intersection을 계산하고 sorter는 intersection point들을 X좌표 값에 따라 nondecreasing sequcn로 정렬하며 merging station은 적절한 scanline command를 generation하기 위하여 merging algorithm을 사용하는 부분이다.

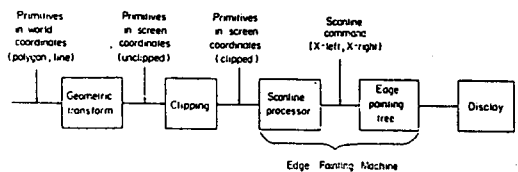


그림 1. Edge Painting Machine을 사용한
raster scan graphical display system

* 과학기술처 연구비에 의한 다목적 컴퓨터 설계 연구 (MPC 86) 개발 결과임

3. Edge Painting Tree (EPT)

Edge Painting Machine의 심장부라 할 수 있는 Edge Painting Tree는 real time으로 image를 generation하므로 screen을 refresh 할 필요가 없다. 그림 2에서 보는 것과 같이 EPT는 data path를 control하는 processor들로 구성된 binary tree와 image buffer, shift register로 이루어져 있다. Tree에서 leaf에 있는 각 processor들은 실질적으로 4 개의 출력을 가지는데 이들 각각의 출력은 screen에서의 각 pixel에 해당한다. image buffer는 binary tree의 출력을 enable 신호로 하여 color signal을 load하게 된다. 그러므로 image buffer의 bit 수는 pixel의 수에 color signal의 수를 곱한 값이 된다. shift register는 invert된 clock 신호를 사용하며 image buffer로 부터 bit-to-bit로 data를 받아 serial하게 data를 CRT로 전달하는 기능을 한다. 여기서 출력 부분에 flip-flop을 연결한 것은 data를 load할 때에도 연속적으로 출력을 내보내기 위함이다. Counter는 image buffer의 reset과 shift register의 parallel loading을 synchronous하게 동작시킨다. display system이 horizontal scanline 당 P 개의 pixel을 가질 경우, tree에서 leaf의 수는 P/4이고 tree의 level 수는 $\log_2 P - 1$ 개이다. Binary tree의 각 processor element들은 level에 따라 scanline command의 각 bit들을 parallel하게 받아 들어 switch를 control함으로써 data path를 만드는 동작을 한다. 그리고 이들 processor element들은 combinational logic circuit만으로 구성되어 있으므로 asynchronous하게 동작을 한다. Scanline command는 left position XL과 right position XR, 그리고 (XL, XR) interval을 paint하기 위한 color signal로 나눌 수 있다.

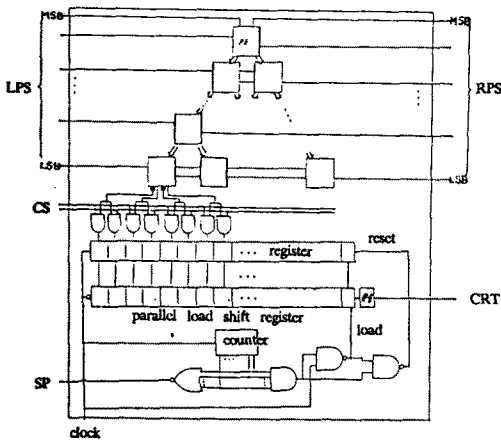
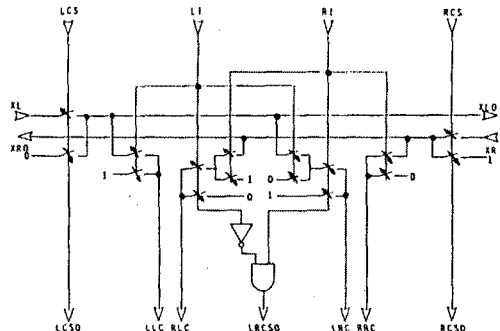


그림 2. Block diagram of Edge Painting Tree

- LPS: left position signal
- RPS: right position signal
- CS: color signal
- SP: to Scanline Processor

binary tree의 기본 동작을 살펴보면 XL의 MSB가 '0'이고 XR의 MSB가 '1'인 경우 painting되는 부분은 left subtree의 XL에서 최대 좌표값까지와 right subtree의 최소 좌표값에서 XR까지의 두 부분으로 이루어진다. XL과 XR의 MSB가 모두 '0' 경우 painting되는 부분은 left subtree로 국한됨을 알 수 있다. XL과 XR의 MSB가 모두 '1' 경우 painting되는 부분은 right subtree로 국한됨을 알 수 있다. 이러한 동작을 second MSB, third MSB 순으로 binary tree의 level을 내려가면서 수행되어 leaf에서 최종 출력이 나오게 되는데 painting될 pixel에 해당되는 출력은 '1', 나머지는 '0'가 된다. 한 processor element의 구체적인 회로는 그림 3과 같다. (control signal이 high이면 switch는 화살표 방향으로 움직인다.) 여기서 XL과 XR은 left, right position data의 1 bit에 해당하는 입력이다. (LI, RI)가 (0,0)일 때 LLC에는 XL이 RLC에는 XR이 나타나고 LRC에는 '1', RRC에는 '0'가 출력된다. (LI, RI)가 (1,1)일 때 LRC에는 XL이 RRC에는 XR이 나타나고 LLC에는 '1', RLC에는 '0'가 출력된다. (LI, RI)가 (0,1)일 때 LRC에는 XL이 RRC에는 '1'이 나타나고 LLC에는 '0', RLC에는 XR이 출력된다. 그리고 이 경우에는 LRCSO가 '1'이 되어 left child의 RCS와 right child의 LCS에 입력됨에 따라 left child에서 XR은 '1'로, right child에서 XL은 '0'로 setting된다. (LI, RI)가 (1,0)일 때 LRC에는 '1'이 RRC에는 '0'이 나타나고 LLC에는 '1', RLC에는 '0'가 출력되어 이하의 모든 child에 대해서 (1, 0)를 입력시키게 된다. (1, 0)라는 data는 실질적으로 발생할 수가 없으므로 이는 inactive tree임을 나타낸다. Leaf에서 이러한 inactive tree의 출력은 nonpainting 부분이 된다. 그림 4는 8 bit pixel을 가지는 경우에 대한 binary tree의 구성을 나타낸 것이다. 그림에서 left position data는 XL0 XL1 XL2로 right position data는 XR0 XR1 XR2로 입력된다. Binary tree의 출력은 PX01, 2, 4, 5, 8, 9, 11,



- LCS: Left control signal
- LI: Left input
- RI: Right input
- RCS: Right control signal
- LCSO: Left control signal output
- LLC: Left signal of left child
- RLC: Right signal of left child
- LRCSO: Right, left signal of left and right child
- LRC: Left signal of right child
- RRC: Right signal of right child
- RCSO: Right control signal output

그림 3. Structure of processor element

12에 나타난다. 실질적으로 pixel의 수가 많은 경우에는 이러한 형태로 processor element들을 연결시켜 binary tree를 만들면 된다. 그림 5는 그림 4.플 Daisy system을 이용하여 logic simulation 한 결과이다. Left position data가 XL0 XL1 XL2 이고 right position data가 XR0 XR1 XR2 일때 binary tree의 출력은 PX0에서 PX7까지 나타난다. 첫번째 data에 대해서 살펴보면 left position data가 000이고 right position data가 101 출력은 PX0에서 PX5까지 '1'이고 PX6, PX7은 '0'으로 나타났다.

4. 결 론

이 논문에서는 raster image의 real time generation을 위한 Edge Painting Machine의 hardware architecture를 제시하였다. 이 중 Scanline Processor는 그 구성에 대하여 설명하였고 Edge Painting Tree는 combinational logic 회로만으로 구성되어 area complexity가 우수함이 simulation을 통해 증명되었다. binary tree의 layout의 구조는 leaf들을 root들을 중심으로 boundary에 배치함으로써 쉽게 compact하게 만들 수 있다. 그런데 screen의 pixel 수가 1024 개 보다 많을 때는 회로의 delay time이 문제가 된다.

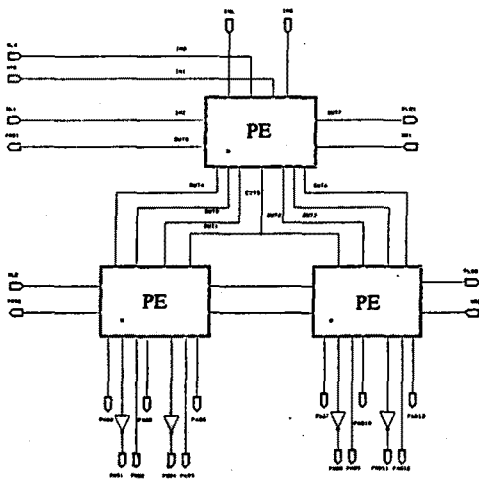


그림 4. 8 개의 pixel을 가진 display를 위한 binary tree

References

- [1] J. Poulton et al., "PIXEL PLANES : Building a VLSI-Based Graphic System." 1985 Chapel Hill Conference on Very Large Scale Integration, Computer Science Press, Inc., pp. 35-60, 1985.
- [2] S. Demetrescu, " High Speed Image Rasterization Using Scan Line Access Memories," 1985 Chapel Hill Conference on Very Large Scale Integration, Computer Science Press, Inc., pp. 221-243, 1985.
- [3] N. Gharachorloo and C. Pottle, " SUPER BUFFER : A Systolic VLSI Graphic Engine for Real Time Raster Image Generation, " 1985 Chapel Hill Conference on Very Large Scale Integration , Computer Science Press, Inc., pp.285-305, 1985.
- [4] G. Kedem and S.W. Hammond, " The Point Classifier A VLSI Processing for Displaying Complex Two Dimensional Objects, " 1985 Chapel Hill Conference on Very Large Scale Integration, Computer Science Press, Inc., pp.377-392, 1985.
- [5] W.M. Newmann and R.F.Sproull, Principles of Interactive Computer Graphics, Second Edition, McGraw Hill, Inc., 1979.

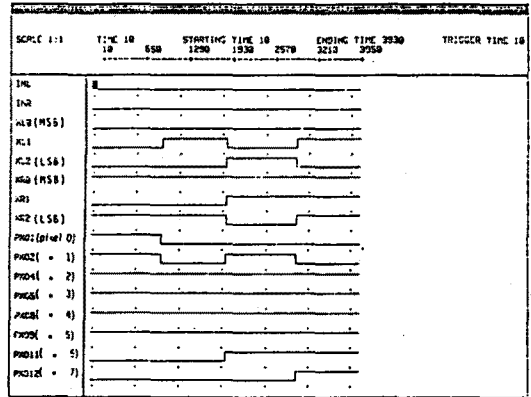


그림 5. 그림 4.의 binary tree에 대한 logic simulation 결과.