

ROM을 이용한 SINGLE CHIP SINE FUNCTION GENERATOR의 설계*

○
홍 기 상 황 후 정
중앙 대학교 전자 공학과

Design of the Single Chip Trigonometric Function Generator with ROMs

Ki Sang Hong Ho Jung Hwang

Dept. of Electronics Eng. Chung Ang University

ABSTRACT

To improve time delay produced in computation of trigonometric function by software method, the function generator was designed to compute the sine function with ROMs. Since the computation speed of trigonometric function can be improved by this ROM, it will be used in various parts required to scientific calculation -radar, FFT and signal processing etc.-

1. 서 론

범용 computer의 경우 삼각함수는 여러가지 series 함수들을 이용한 software적인 방법으로 계산 되어왔다. 그러나 이러한 방법은 memory access의 반복과 decoding instruction 등으로 인해 계산시간이 상당히 길린다는 단점이 있다.

이러한 time delay를 개선하기 위하여 ROM을 이용하여 2*8bit sine function generator를 설계하였다. function generator를 설계하는데 있어서 bit수를 줄이기 위해 interpolation technique를 사용하는데 이 경우 몇 개의 ROM과 이들의 출력을 더하는 adder가 필요하게 된다.

본 연구에서는 8bit의 input을 여러가지 경우의 MSB와 LSB로 나눈 결과 오차가 가장 작은 6bit의 MSB(4bit MM, 2bit ML) 및 2bit의 LSB로 나누고 speed와 gate수를 고려하여 적절한 adder를 선택하여 single chip위에 설계하고자 한다. 이렇게 함으로써 ROM과 adder간의 연결에 따른 time delay, dimension 및 경비를 줄일 수 있으며 reliability를 향상시킬 수 있다. 설계된 function generator는 빠른 계산속도가 요구되는 여러 분야에 사용되리라 기대된다.

2. 본론

(1) interpolation technique를 사용한 2*8bit ROM의 설계

8bit의 input과 8bit의 output을 갖는 ROM을 설계 할 경우 2*8=2048bit가 필요하게 된다. 그러나 interpolation technique를 사용하면 많은 수의 bit를 줄일 수 있다.

먼저 input을 MSB와 LSB로 나누면

$$\sin X = \sin(M+L) = \sin M \cos L + \cos M \sin L \quad (1)$$

다시 MSB를 MM과 ML로 나누면

$$\sin X = \sin M + \cos(M+ML) \sin L \quad (2)$$

8bit의 input을 MSB와 LSB로 나누는 방법에는 다음과 같은 3가지 경우를 생각할 수 있다.

- ①. 4bit의 MM, 2bit의 ML, 2bit의 LSB
- ②. 3bit의 MM, 3bit의 ML, 2bit의 LSB
- ③. 3bit의 MM, 2bit의 ML, 3bit의 LSB

①, ②, ③의 경우 (2)식을 이용한 값과 실제의 값을 비교해 Table 1에 보였다. Table 1에서 보면 1의 경우가 오차값이 가장 작다는 것을 알 수 있다. 따라서 8bit의 input을 4bit의 MM과 2bit의 ML 그리고 2bit의 LSB로 나누어 설계했다.

Table 1. comparison of case ①, ②, ③

	10.875	30.1	49.91	70.31	89.63
	0.18866	0.50151	0.76503	0.94152	0.99997
①	0.18887	0.50357	0.76563	0.94153	1.00149
②	0.18896	0.50371	0.76563	0.94153	1.00325
③	0.18935	0.50517	0.76683	0.94153	1.00712

Fig. 1은 sinX input function table이며 (2)식에 따른 ROM의 block diagram은 Fig. 2임이다.

이 경우 필요한 bit수는 2*8+2*3=704bit이며 따라서 lay out 면적도 많이 줄어들게 된다.

* 과학기술처 연구비에 의한 다목적 공동설계 연구 (MPC 86) 개발 결과임

ROM을 이용한 SINGLE CHIP SINE FUNCTION GENERATOR의 설계

address	M						L
	MM			ML			
	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	
0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1
2	0	0	0	0	0	0	1
3	0	0	0	0	0	0	1
4	0	0	0	0	0	1	0
5	0	0	0	0	0	1	0
...
16	0	0	0	1	0	0	0
...
128	1	0	0	0	0	0	0
...
255	1	1	1	1	1	1	0

L = 0.35°
ML = 1.4°
MM = 5.63°

Fig.1 sinX input function table

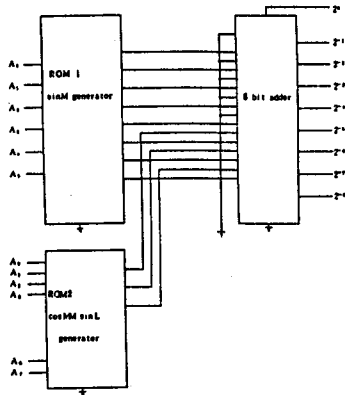


Fig.2 ROM block diagram

(2) Adder⁽³⁾⁽⁴⁾

time delay를 줄이기 위하여 RLA(Ripple Carry Look-Ahead Adder)를 도입했다. 이 adder는 모든 입력이 동시에 더해지고 동시에 모든 출력이 나오게 되어 time delay가 대단히 작다.

<정의1> G_i: i번째의 generator function

$$G_i = X_i \cdot Y_i$$

<정의2> P: i번째의 propagate function

$$P_i = X_i \oplus Y_i$$

정의1과 2에 따른 adder equation은

$$S_i = (X_i \oplus Y_i) \oplus C_{i-1} \quad (3)$$

$$C_i = X_i Y_i + C_{i-1} (X_i \oplus Y_i) = G_i + C_{i-1} P_i \quad (4)$$

Fig.3은 일반적인 RLA의 구성도이다.

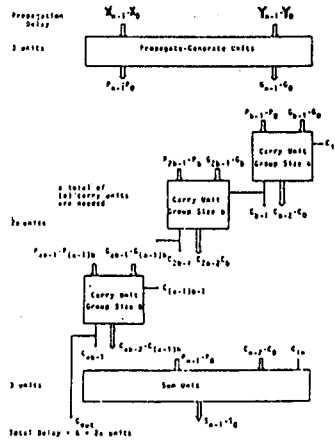


Fig.3 RLA block diagram

Fig.2에 따른 RLA의 carry equation은

$$\begin{array}{r} B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0 \\ + D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 \end{array} \quad (B_7-B_0: \text{ROM1 output}) \\ (D_7-D_0: \text{ROM2 output})$$

$$C_0 = G_0, \quad S_0 = P_0 \oplus C_0 = P_0 \quad (5)$$

$$C_1 = G_1 + G_0 P_0, \quad S_1 = P_1 \oplus C_0 \quad (6)$$

$$C_2 = G_2 + G_1 P_1 + G_0 P_1 P_0, \quad S_2 = P_2 \oplus C_1 \quad (7)$$

$$C_3 = G_3 + G_2 P_2 + G_1 P_2 P_1 + G_0 P_2 P_1 P_0, \quad S_3 = P_3 \oplus C_2 \quad (8)$$

$$C_4 = G_4 + G_3 P_3 + G_2 P_3 P_2 + G_1 P_3 P_2 P_1 + G_0 P_3 P_2 P_1 P_0, \quad S_4 = P_4 \oplus C_3 \quad (10)$$

$$C_5 = G_5 + G_4 P_4 + G_3 P_4 P_3 + G_2 P_4 P_3 P_2 + G_1 P_4 P_3 P_2 P_1 + G_0 P_4 P_3 P_2 P_1 P_0, \quad S_5 = P_5 \oplus C_4 \quad (11)$$

$$C_6 = G_6 + G_5 P_5 + G_4 P_5 P_4 + G_3 P_5 P_4 P_3 + G_2 P_5 P_4 P_3 P_2 + G_1 P_5 P_4 P_3 P_2 P_1 + G_0 P_5 P_4 P_3 P_2 P_1 P_0, \quad S_6 = P_6 \oplus C_5 \quad (12)$$

$$C_7 = G_7 + G_6 P_6 + G_5 P_6 P_5 + G_4 P_6 P_5 P_4 + G_3 P_6 P_5 P_4 P_3 + G_2 P_6 P_5 P_4 P_3 P_2 + G_1 P_6 P_5 P_4 P_3 P_2 P_1 + G_0 P_6 P_5 P_4 P_3 P_2 P_1 P_0, \quad S_7 = P_7 \oplus C_6 \quad (13)$$

$$S_8 = C_7 \quad (14)$$

Fig.4는 이 식을 수행하는 RLA의 logic diagram이다. 이 회로를 logic simulator로 simulation한 결과 delay는 100ns였다.

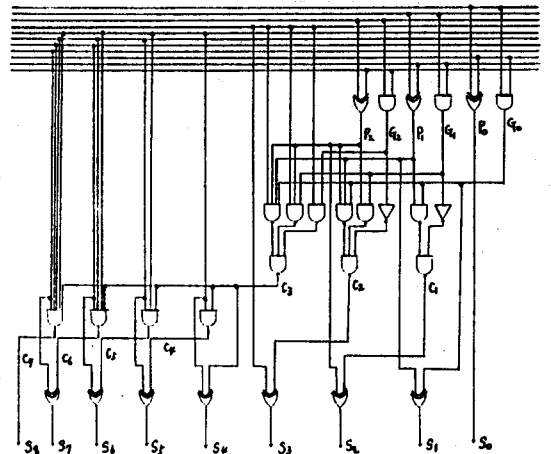


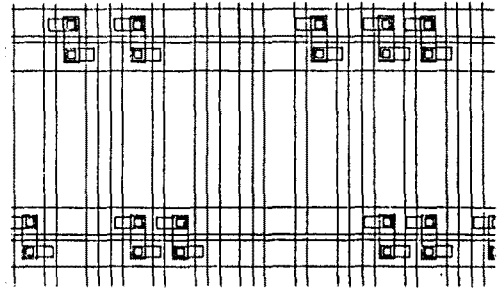
Fig.4 RLA logic diagram

(3) Single Chip Sine Function Generator의 설계

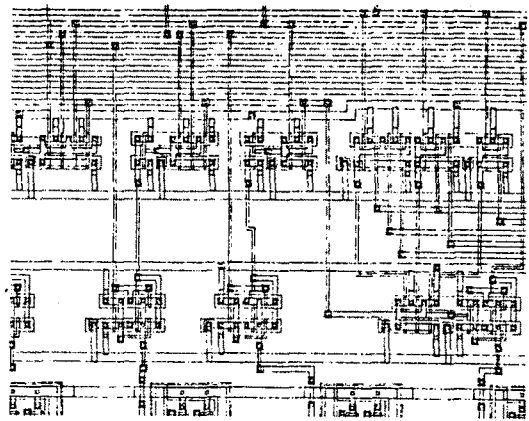
Fig. 2를 하나의 chip위에 구성하였다. 이렇게하므로써 ROM과 adder간의 연결에 따른 time delay, dimension 및 경비를 줄일 수 있으며 reliability를 향상시킬 수 있다.

(4) CMOS를 이용한 lay out

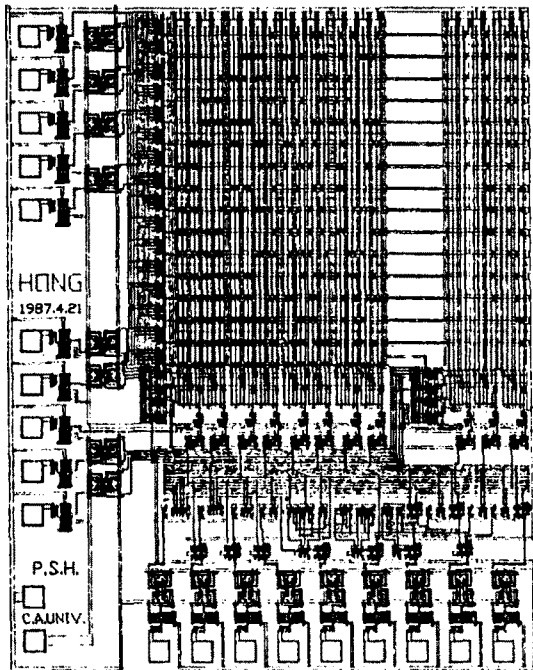
Fig. 2의 회로를 CMOS로 구성한 lay out하였다. pass transistor와 inverter를 사용하여 sense Amp.를 구성 하였으며 memory cell은 PMOS를 사용하였다.



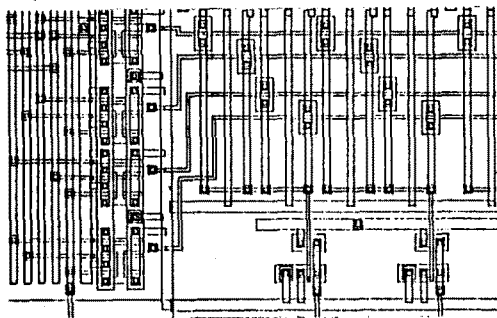
(c) memory cell



(d) adder



(a) chip lay out



(b) Sense Amp.

Fig. 5 sine function generator lay out

3. 결론

ROM을 이용하여 sine함수를 계산하는 function generator를 설계하였다. speed를 빠르게 하기 위해 RLA를 사용하였으며 lay out면적과 bit수 줄이기 위해 interpolation technique을 이용하였다. 이렇게 구성된회로를 simulation한 lay out를 완성하였다. 설계된 ROM은 실제로 고속의 계산속도가 요구되는 여러분야(radar, FFT 및 기타 signal processing)에 이용될 수 있을것으로 기대된다.

REFERENCE

- (1)Walter A. Irrebel, Alfred E. Chu, Handbook of Semiconductor and Bubble Memories, pp. 26, pp. 87-92, Prentice-Hall INC, 1982.
- (2)Hemel, A. "Slash ROM sizes with equivalent functions", Electronic Design, pp. 66-74, 1969, Feb. 15
- (3)Frederic D. Lenk, A Systematic Approach to Digital Logic Design, pp. 208-232
- (4)Hemel, A. "Making small ROMs do math quickly, cheaply and easily", Electronics, pp. 104-111, 1970, May 11
- (5) 홍 기상, 황 호정, "삼각함수의 연산이 가능한 ROM의 design" MPC(multi-project-chip) 중간 연구 보고서, 1987.
- (6)Neil Weste, Kamran Eshrahsian, Principles of CMOS VLSI Design, Addison Westex, 1985