

테스트가 용이한 순서 NMOS PLA의 설계

○*경수성, *이철원, *한석봉, **이재민, *임인철
 *한양대학교 **관동대학교

Testable Design of Sequential NMOS PLAs

*S.S. Jung, *C.W. Lee, *S.B. Han, **J.M. Lee, *I.C. Lim
 *Hanyang University **Kwandong University

ABSTRACT

This paper proposes testable design of sequential NMOS PLAs. The extra bit lines and devices are added to the conventional PLAs. The time is taken to assigning devices in the extra bit lines, which is excessive in the conventional method, is reduced by using the symmetrical distance matrix of the PLA and the regular assigning method.

As a result, the test patterns can be easily generated. Also, the silicon area overhead of extra hardware is low.

I. 서 론

최근 LSI/VLSI 기술의 급속한 발전으로 회로의 집적도가 증가함에 따라 디지털시스템을 설계하는 데 많은 시간과 노력이 필요하게 되었다. 배연논리는 VLSI 설계에 널리 사용되고 있으며, 특히 PLA는 간단하고 규칙적인 구조로 임의의 논리함수의 즉각적인 실현이 가능하여 설계시간과 노력이 감소되고 설계 및 변경이 용이하게 이루어질 수 있는 매우 효과적인 수단으로 그 사용이 날로 증가하고 있다. 한편 집적도의 증가에 따라 논리회로가 복잡하여지고 이에 따른 고장발생율도 높아져 신뢰도가 중요한 문제로 대두되고 있다. 이러한 문제를 해결하기 위해 테스트패턴 생성과 테스트가 용이한 논리설계 방식이 제안되어 왔다.[1,2,3,4,5] Saied Borzorgui Nesbat와 Edward J. McCluskey [1]는 부가비트선을 사용하여 부가하드웨어를 적게 하고 설계가 간편하며 PLA의 정상동작에 영향을 주지 않는 설계방식을 제안하였으나 이 방식은 부가비트선에 접속되는 소자의 배연결정과정

에서 처리시간을 과다하게 요하는 단점이 있었다. 또한, 대규모 순서회로의 테스트를 용이하게 하기 위하여 부가회로를 사용함으로써, 플립플롭을 슈프트 레지스터로 구성하여 조합논리회로를 별도로 테스트하는 LSSD 방법 [2,3]이 제안되었다.

본 논문에서는 부가하드웨어가 적으며 종래의 방식 [1]보다 테스트패턴 생성과정이 용이한 순서 PLA의 설계방식과 그 테스트방법을 제안한다. 즉, 조합논리회로에서 테스트패턴 생성에 필요한 부가비트선에 접속될 소자의 배연결정과정에서 과다한 처리시간을 요하는 휴리스틱한 소자배열방법을 [1] 개선하여 규칙적인 소자의 지정과 거리행렬의 대칭성을 이용함으로써 접속되는 소자의 배연결정과정을 간편하게 한다. 이 경우 테스트패턴 생성에 필요한 거리행렬의 생성과정이 개선됨으로, 개선된만큼 접속될 소자의 배연결정과정이 감소됨에 따라 테스트패턴이 빠른시간내에 용이하게 생성된다. 또한, LSSD설계방식을 적용함으로써 제안한 순서 PLA가 race나 hazard에 무관한 안정된 동작을 하도록 한다.

II. 테스트가 용이한 순서 PLA의 설계

II-1. 순서 PLA의 구성과 고장모델

일반적으로 순서 PLA는 래치를 사용하여 출력의 일부를 AND array로 귀환시킴으로서 구성된다. 그림 1은 테스트가 용이하도록 종래의 방식 [1]에 의하여 설계된 순서 PLA를 나타낸다. 즉, 테스트시 개의 저항선을 제어할 수 있도록 AND array에 비트선을 부가하여 소자를 배열함으로써 테스트패턴 생성을 용이하게 한다. 그러나 이 방식에서는 비트선에 부가되는 소자의 배연과정이 휴리스틱한 방법임으

로 과도한 처리시간이 요구된다.

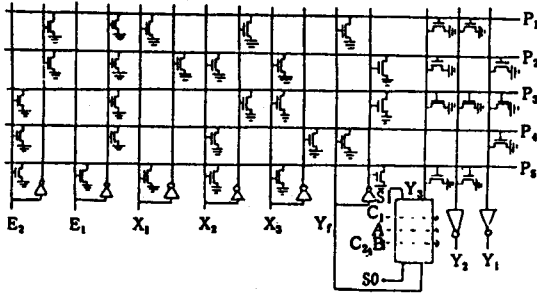


그림 1. 테스트가 용이한 순서 PLA

한편 순서 PLA를 구성하는 경우 테스트를 용이하게 하기 위하여 LSSD 방식을 사용한다.

LSSD는 Scan Design과 Level Sensitive 개념을 포함한 설계방법으로 Scan Design은 순서논리회로의 래치를 쉬프트레지스터로 구성하여 테스트시 래치들을 어느 특정한 값으로 제어할 수 있고 그 래치들 내부의 값을 쉬프트하여 외부에서 관찰할 수 있도록 설계하는 방법이다. 또한 Level Sensitive 방식은 어떤 회로에 있어서 허용된 입력상태의 변화에 대한 정상상태의 응답이 시스템내의 회로지연에 무관하며 어떤 입력상태변화가 2개 이상의 입력신호변화를 갖는 경우 정상상태의 응답이 그 변화순서에 무관하도록 한다. 결과적으로 순서논리회로에 대한 테스트는 조합논리회로에 대한 테스트로 변환하게 되어 테스트가 훨씬 용이해진다.

본 논문에서는 다음과 같은 형태의 단일, 다중고장 을 고려한다.

- (1) 입력선, 적합선, 출력선, 래치에 대하여 stuck 고장
- (2) 서로 인접한 상호 선간의 wired OR, wired AND 형태의 단락고장
- (3) extra/missing 소자에 의한 결점고장

II-2. 테스트가 용이한 설계방식

순서 PLA에 대한 테스트패턴 생성을 위해 개개의 적합선을 제어할 수 있는 주테스트패턴이 필요하다. 모든 적합선에 대한 주테스트패턴들은 AND array의 소자배열상태에 따라서 생성된다. 이때 순서 PLA의 특성행렬로부터 구한 특정 적합선을 제어할 수 있는 선택집합들 $S_{i,s}$ 와 그 선택집합들의 공집합을 제외한 부분집합인 테스트집합들 $T_{i,s}$ 간의 해밍

거리가 2이상 이어야 한다. 회로의 테스트시 전체의 테스트집합은 각 적합선에 대한 주테스트패턴들과 이들에 대하여 한 비트씩 변화시킨 부테스트패턴들로 구성된다. 따라서 어떤 테스트패턴과 부테스트패턴이 모두 그 적합선만을 제어하기 위해서는 그 주테스트패턴과 다른 주테스트패턴들과의 해밍거리는 2이상인 조건을 만족하여야 한다. 그러므로, 순서 PLA에 모든 적합선이 주테스트패턴 생성조건에 만족되지 않는 경우, 비트선을 부가하여 소자를 최소화해밍거리가 2 이상이 되도록 배열한다. 이때, 순서 PLA의 특성행렬로부터 구해진 거리행렬 D에 부가비트선에 대한 소자배열에 의해 생성되는 거리행렬 D'의 모든 거리행렬값들이 2가 되도록 반복한다. 이 반복과정을 종래의 방식보다 더 효율적으로 행함으로써 처리시간을 단축시킨다.

즉, PLA의 거리행렬에서 주테스트패턴 생성조건인 최소값이 2가 되지않는 열(행)에 대하여 부가정비트선(보수비트선)에 소자를 접속하고, 그외의 열(행)에 대하여 보수비트선(정비트선)에 규칙적인 방법에 의해 접속한다. 이때, 부가비트선에 접속되는 소자의 배열 상태 표현은 적합선수가 p개일때 $V = [V_1, V_2, \dots, V_p]$ 벡터로서 i번째 적합선과 정비트선의 교차지점에 접속시 1이고 보수비트선의 교차지점에 접속시 0이며, 소자배열값 V의 비트선을 부가한 거리행렬의 결과는 V의 거리행렬 B를 더한것과 같다. 그것은 $V_i = V_j$ 일때 (i는 행, j는 열) $B(i, j)$ 는 0이고 $V_i \neq V_j$ 일때 1이다. 또한, PLA에서 테스트집합(T_i)과 선택집합(S_j)간의 거리행렬값 $p \times p$ 개 $D(i, j)$ 는 $i = j$ 를 축으로 대칭을 이룬다. 이 대칭성에 의하여 대칭의 한쪽만을 이용하여도 주테스트패턴 생성 조건인 최소값이 2가 되는 과정을 처리할 수 있다.

* 부가비트선의 소자배열결정 알고리즘

단계 1. 순서 PLA의 특성행렬로부터 거리행렬D를 구한다. 이때 LSSD방식을 적용함으로써 순서 PLA의 귀환입력들도 외부에서 제어할 수 있으므로 외부입력과 귀환입력을 포함하는 특성행렬을 용이하게 구할 수 있다.

단계 2. D내에 거리행렬값이 2보다 적은것이 존재하면 단계 3으로 된다.

단계 3. 한개의 비트선을 부가하고 다음과 같이 소자를 배열한다.

단계 3.1 거리행렬 D내에서 $i = j$ (i 는 행, j 는 열)를 축으로 대칭되는 거리행렬의 한쪽에서 값이 2보다 작은 $D(i, j)$ 를 찾는다.

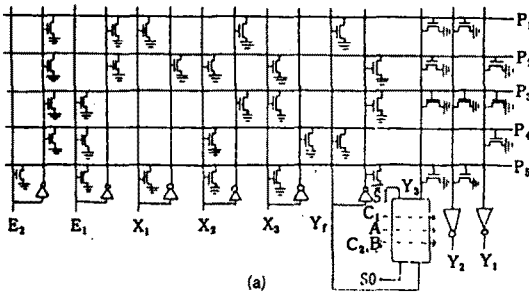
단계 3.2 단계 3.1을 만족하는 열(행)에 대하여 비트선의 소자배열 V값을 1(0)로 배열하고, 그외의 열(행)에 대하여 0(1)으로 배열한다.

단계 4. 단계 3에 의해 소자가 배열된 비트선에 대하여 거리행렬 B를 구한다.

단계 5. 거리행렬 D와 비트선거리행렬 B를 더하여 거리행렬 D'을 구한다.

단계 6. 거리행렬 D'내의 행열값이 모두 2이상인 되도록 단계 3,4,5를 반복한다.

그림 2-(a)는 제안한 알고리즘에 의하여 비트선에 소자를 배열한 순서 PLA를 나타낸다. (b)는 (a)의 순서 PLA의 귀환입력을 포함한 소자의 배열상태를 나타낸 특성행렬과 그 특성행렬로부터 구한 선택 집합이며 (c)는 $T_i = S_i$ ($i = 1 \dots 5$)라고 가정할때 LSSD 방식의 귀환입력을 포함한 PLA의 거리행렬이다. (d)는 부가비트선에 제안한 알고리즘으로 소자를 배열하여 개개의 저항선을 독립적으로 제어할 수 있는 주테스트 패턴이 생성되도록 거리행렬의 최소값이 2가 되는 과정을 나타내었다.



(b)

$$C = \begin{bmatrix} 1 & 0 & X & 1 \\ 0 & 1 & 1 & 0 \\ X & 0 & 1 & 0 \\ X & 1 & 0 & 1 \\ 1 & 1 & 1 & 0 \end{bmatrix} \begin{matrix} S_1 = (0 \ 1 \ X \ 0) \\ S_2 = (1 \ 0 \ 0 \ 1) \\ S_3 = (X \ 1 \ 0 \ 1) \\ S_4 = (X \ 0 \ 1 \ 0) \\ S_5 = (0 \ 0 \ 0 \ 1) \end{matrix}$$

(c)

$$\begin{bmatrix} 2 & 2 & 1 & 1 & 2 \\ 2 & 2 & 1 & 2 & 1 \\ 1 & 1 & 2 & 2 & 1 \\ 1 & 2 & 2 & 2 & 2 \\ 2 & 1 & 1 & 2 & 2 \end{bmatrix}$$

(d)

$$\begin{bmatrix} 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 1 & 1 & 1 \\ 2 & 2 & 1 & 1 & 2 \\ 2 & 2 & 1 & 2 & 1 \\ 1 & 1 & 2 & 2 & 1 \\ 1 & 2 & 2 & 2 & 2 \\ 2 & 1 & 1 & 2 & 2 \end{bmatrix} \rightarrow \begin{bmatrix} 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 1 & 2 & 2 \end{bmatrix}$$

B D D'

$$\begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 1 & 1 & 1 & 0 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 1 & 2 & 2 \end{bmatrix} \rightarrow \begin{bmatrix} 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \end{bmatrix}$$

B' D' D''

(d)

그림 2. 제안한 알고리즘에 의한 순서 PLA의 구성

- (a) 비트선이 부가된 순서 PLA 설계
 - (b) 순서 PLA의 특성행렬과 선택 집합
 - (c) (b)에서의 거리행렬
 - (d) E1, E2 비트선 부가에 따른 거리행렬의 변화
- 본 알고리즘을 실현하여, 그림 2의 순서 PLA에 적용한 결과는 표 1과 같다.

표 1. 비트선의 소자배열 V, V' 및 거리행렬

$$V = \begin{bmatrix} 0 & 0 & 1 & 1 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 1 & 2 & 2 \end{bmatrix}$$

$$V' = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \\ 2 & 2 & 2 & 2 & 2 \end{bmatrix}$$

표 1에서 제안한 알고리즘에 의해 부가비트선의 소자배열 V, V'을 구하고 이들의 거리행렬 B, B'을 순서 PLA의 거리행렬 D에 더한 결과 D', D''을 얻었다.

II-3. 테스트패턴생성 및 테스트절차

II-2절에서 설계된 그림 2의 순서 PLA에 대하여 개개의 저항선을 독립적으로 제어할 수 있는 주테스트패턴들은 표 2와 같으며, i번째 저항선과, j번째 정입력선의 교차지점에 소자가 배열시 0, j번째 보수입력선에서는 1, 이들에 소자배열이 없을 때는 X이다.

그림 2의 순서 PLA 테스트에 대한 전체의 테스트 집합은 표 2의 주테스트패턴들과, 이들을 한비트씩 보수값으로 변화하여 구한 부테스트패턴들의 합이다. 이때 테스트집합의 길이는 저항선수가 p, 외부입력, 귀환입력, 부가입력의 수가 n일때, (n+1)p개이다.

표 2. 그림 2의 주테스트패턴; $T_{1..0}$

	E_2	E_1	X_1	X_2	X_3	Y_1
$T_{1..0}$	1	1	0	1	X	0
$T_{2..0}$	1	1	1	0	0	1
$T_{3..0}$	1	0	X	1	0	1
$T_{4..0}$	1	0	X	0	1	0
$T_{5..0}$	0	0	0	0	0	1

[정리]

순서 PLA의 AND array내에 M 개의 비트선을 부가하고 소자를 배열한 PLA를 M_1 이라 하고, 이 M_1 에 의해서 생성된 주테스트패턴의 집합을 T_m , 부테스트패턴의 집합을 T_a 라 하자. T_m 과 T_a 의 모든 테스트 집합에 의하여 M_1 내에 존재하는 단일, 다중의 stuck 고장, 점접고장, 그리고 단락고장을 검출할 수 있다.

[증명생략]

테스트절차는 다음과 같다.

- (1) 주테스트패턴과 보조테스트패턴을 구한다.
- (2) 한 테스트패턴을 쉬프트레지스터내로 쉬프트시키는 동시에 주입력들에도 인가한다.
- (3) 직렬로 인가된 테스트패턴이 조합회로를 지나 정상상태에 도달하기까지의 충분한 시간이 지난 후에 클럭을 인가하여 래치에 응답을 저장한다.
- (4) 래치에 저장된 응답은 클럭에 의해 외부로 쉬프트되며, 올바른 응답인지를 비교한다. 또한, 응답을 외부로 쉬프트시키면서 다른 테스트패턴을 래치내로 인가한다.
- (5) 모든 테스트패턴에 대하여 위의 동작을 반복한다.

III. 종래방법과의 비교

부가비트선에 접속되는 소자의 배열결정 과정에서 종래의 휴리스틱한 방법과 제안한 알고리즘간의 소자배열이 각각 몇번째 단계에서 결정되는가문 그림 1, 2의 PLA에 적용하여 표 3에 나타내었다. 즉, 부가비트선에 접속되는 소자의 배열결정 과정에서 휴리스틱 방법에서는 국소적인 최적값을 구하므로, 거리행렬값에서 2보다 적은 행렬값이 처음으로 감소되는 단계의 바로 전단계(*)를 비트선의 소자배열값으로 결정할 때, 2개의 비트선에서 모두 10번째 단계만에 결정된 반면, 본 논문의 알고리즘에서는 4번째 단계

만에 처리가 되었다. 또한, 거리행렬의 대칭성을 이용하여 대칭의 한쪽만을 고려하여도 접속되는 소자의 배열이 결정됨으로 이에 소요되는 처리시간이 감소된다.

표 3. 비트선에 접속되는 소자배열의 결정

휴리스틱방법		본논문의 알고리즘	
소자배열	거리행렬값의 증가갯수	소자배열	거리행렬값의 증가갯수
V		V	
V, V'	D' D"		D' D"
00000	0 0	V	
00001	*4 0	00000	0
00010	2 2	00111	*8
00011	. 2		
00100	. 4	V'	
00101	. 4	00000	0
00110	. 6	00001	*2
00111	. *6		
01000	. 2		
.	.		
.	.		
11111	0 0		

V. 결 론

본 논문에서는 순서 PLA를 테스트하기 위하여 LSSD방식을 이용함으로써 조합논리회로만을 별도로 테스트할 수 있게 하고 이 조합논리회로에 대한 테스트패턴 생성을 용이하게 할 수 있는 부가비트선의 새로운 소자배열방법을 제안하였다. 즉, LSSD 방식에 의해 순서 PLA가 조합논리회로로 변환되어 테스트가 용이하게 되고 소자나 회로의 ac 특성에 무관한 안정된 동작을 하며, 비트선의 소자배열을 위해 요구되는 처리시간이 과다한 종래의 휴리스틱방법 [1]에 비해 소자지정의 규칙성 및 거리행렬의 대칭성을 이용하여 비트선의 소자배열과정을 테스트패턴 생성조건인 PLA의 거리행렬값이 최소 2가 되도록 효율화함으로써 테스트패턴 생성을 용이하게 하였고, 이 결정과정에 대한 알고리즘을 실현하여 에체회로에 적용, 그 유효성을 입증하였다.

참 고 문 헌

1. Saied Bozorgui-Nesbat and Edward J. McCluskey, "Lower Overhead Design for Testability of Programmable Logic Arrays", pp. 856 ~ 865, International Test Conference, 1984
2. M. J. Y., Williams and J. B. Angell, "Enhancing Testability of Large Scale Integrated Circuits via Test and Additional Logic", IEEE Trans. Comput., Vol. EC-22, pp. 46 ~ 60, Jan. 1973
3. E. B. Eichelberger and T. W. Williams, "A Logic Design Structure for LSSD Testability", J. Design Automation and Fault Tolerant Comput., Vol. 2, pp. 165 ~ 178, May 1978
4. 이 재민, "고밀도 Programmable Logic Array의 설계 방식에 관한 연구", 한양대학교 대학원 전자공학 박사학위 논문, 1986
5. 한 석봉, 조 상복, 임 인철, "TEST 용이성을 고려한 Programmable Logic Array에의 응용", 대한전자 공학회지 제 21권 3호, pp. 26 ~ 33, 1984년 5월
6. K. K. Saluja, K. Kinoshita, H. Fujiwara, "An Easy Testable Design of Programmable Logic Arrays for Multiple Faults", IEEE. Trans. Comput., Vol. c-32, pp. 1038 ~ 1046, Nov. 1983