

순환-병렬형 아나로그-디지털 변환기

○성 원섭, 김 홍배, 권 계달*,
박 광민*, 손 상희*

청주대학교 반도체공학과

* 한양대학교 전자공학과

A Cyclic-Parallel Analog-to-Digital Converter

W.-S. Chung, H. B. Kim, G. D. Kwak*,
K. M. Park*, and S. H. Son*

Dept. of Semiconductor Eng., Chungju University and

* Dept. of Electronics Eng., Hanyang University

Abstract

A new analog-to-digital structure, called cyclic-parallel analog-to-digital(A/D) converter, has been developed for video applications. It consists of a M-bit parallel A/D converter, a digital-to-analog(D/A) converter, a differencing amplifier with gain of 2^M and two sample-and-hold circuits. In this structure, the input signal is circulated around the circuits K times, thereby converted into a MK-bit digital word. The proposed converter retains speed advantages of conventional series-parallel converters, with half reduced circuit components.

I. 서론

고속 아나로그-디지털 변환기(ADC)는 비디오 그리고 많은 디지털 신호처리 시스템에 있어서 시스템의 성능을 결정짓는 가장 중요한 회로이다. 각종 원리의 ADC 가운데 변환속도가 제일 빠른 것은 병렬형(fully parallel) ADC이다. 이 ADC는 하나의 클럭 사이클 동안에 아나로그 입력신호를 완전히 디지털신호로 변환시킨다. 그러나, 이 ADC는 많은 비교기(comparator)와 저항기를 필요로 하는 결점을 갖는다. 예를 들면 N-비트 분해능의 ADC를 구성할 경우, $2^N - 1$ 개의 비교기와 2^N 개의 저항기가 필요하다[1].

직-병렬(series-parallel) ADC는 변환속도는 병렬형 ADC보다 2배 느리지만, 필요로 하는 비교기와 저항기의 수는 각각 $2(2^{\frac{N}{2}} - 1)$ 과 $2(2^{\frac{N}{2}})$ 으로 병렬형 ADC의 경우보다 훨씬 적다. 따라서, 직-병렬형, 모노리딕 ADC는 병렬형 ADC보다 값싸고, 전력소비가 적은 특징을 갖는다. 그러나, 이 ADC도 여전히 많은 비교기와

저항기를 필요로 하기 때문에, 8-비트 이상의 분해능의 ADC는 사실상 모노리딕 IC화 하는데 문제점이 많다[2],[3].

본 논문에서는 비교기와 저항기가 직-병렬형 ADC보다 각각 반으로 줄어드는 새로운 순환-병렬형 ADC를 제안한다. 제안한 순환-병렬형 ADC는 하나의 병렬형 ADC를 반복적으로 사용함으로써, 변환시간에 비례해서 정도(accuracy)가 높아진다. 예를 들면, 3-비트 병렬형 ADC를 3번 반복사용함으로써 7개의 비교기와 8개의 저항기로 9-비트의 정도를 얻을 수 있다.

II. 회로구성 및 동작

그림 1의 (a)와 (b)에 순환-병렬형 ADC의 계통도와 샘플, 홀드(S/H) 회로의 스위치 콘트를 클럭을 각각 나타냈다. 순환형 ADC는 하나의 M-비트 아나로그-디지털-아나로그 변환기(ADAC), 하나의 차동증폭기, 2개의 S/H 회로, 그리고 M개의 K-비트 쉬프트레지스터(SR)로 구성된다.

첫번째 클럭 $\phi 1$ 동안에 아나로그 입력신호 V_{in} 은 S/H 1에 의해 샘플링됨과 동시에 M-비트 ADC에 의해 M개의 최상위비트(MSB)로 변환되어서 SR에 저장된다. 2진출력 $D1$ 은 다음 식으로 표시된다.

$$D1 = \frac{V_{in}}{V_r} = \frac{b1}{2^1} + \frac{b2}{2^2} + \dots + \frac{bM}{2^M} \quad (1)$$

여기서, V_r 은 기준전압이다. 이 디지털 신호는 다시 M-비트 DAC에 의해 양자화된 아나로그 신호

$$V1 = D1 Vr \quad (2)$$

으로 변환된다. $V1$ 은 입력신호 Vin 로부터 빼어지고, 2^M 배 증폭되어, S/H 2 에 샘플링된다. 샘플링된 전압은 다음식으로 주어진다.

$$V1' = 2^M (Vin - V1) \quad (3)$$

이것으로 $\phi 1$ 클럭동간의 동작은 종료된다. 두번째 클럭 $\phi 2$ 동안에 S/H 2 에 홀드되어 있던 전압 $V1$ 는 S/H 1 에 의해 샘플링되고 동시에 M -비트 ADC 에 의해 두번째 M -비트로 변환되어 SR에 저장된다. 2 진술력은 다음식으로 나타내어진다.

$$D2 = \frac{V1'}{Vr} = \frac{b_{M+1}}{2^1} + \frac{b_{M+2}}{2^2} + \dots + \frac{b_{2M}}{2^M} \quad (4)$$

이 디지털 신호는 다시 M -비트 DAC 에 의해 양자화된 아나로그 신호

$$V2 = D2 Vr \quad (5)$$

로 변환된다. $V2$ 는 $V1'$ 로부터 빼어지고, 2^M 배 증폭되어, S/H 2 에 샘플링된다. 샘플링된 전압은 다음식으로 주어진다.

$$V2' = 2^M (V1' - V2) \quad (6)$$

이것으로 $\phi 2$ 클럭 동안의 동작은 종료된다. (2), (3), (4) 식으로부터 변환기의 입-출력 관계를 구하면

$$\frac{Vin}{Vr} = D1 + \frac{D2}{2^M} \quad (7)$$

로 나타나진다. 따라서, 변환기의 전달함수는

$$D = \frac{b1}{2^1} + \frac{b2}{2^2} + \dots + \frac{bM}{2^M} + \frac{b_{M+1}}{2^{M+1}} + \dots + \frac{b_{2M}}{2^{2M}} \quad (8)$$

로, $2M$ -비트의 2 진술력을 얻는다. 같은 방법으로 회로를 K 번 순환동작시키면, 변환기의 전달함수는

$$D = \frac{b1}{2^1} + \frac{b2}{2^2} + \dots + \frac{b_{KM}}{2^{KM}} \quad (9)$$

로, KM -비트의 2 진술력을 얻는다. 여기서, $b1$ 이 최상위비트(MSB) 이고, b_{KM} 이 최하위비트(LSB) 이다.

$1 -$ 비트의 ADAC를 K 번 반복사용하면 K -비트의 직렬(serial)출력을 얻는데, 이러한 변환원리는 종래의 순환형 ADC의 변환원리와 비교될 수 있다 [4]-[6]. 그러나, 종래의 순환형 ADC 는 변환과정에서 가산과 감산동작을 수행해야 하는데 반해, 제안한 회로는 감산동작만을 행하므로 회로구성과 동작이 간단해지는 이점을 갖는다.

III. 실험결과

그림 2에서 병렬형 ADAC의 변환비트수 $M = 3$, 순환동작 회수 $K = 3$, 따라서 $KM = 9$ 비트의 순환-병렬형 ADC 의 실험회로도를 나타냈다. 실험 회로는 한번 순환동작을 하는데 2개의 클럭이 소요되도록 설계했다. 즉, 하나의 클럭동안에 아나로그 전압이 샘플링, 양자화되고, 다음 클럭동안에 양자화된 신호가 latching 과 decoding 되어 2진수로 출력된다. 회로의 모든 비교기와 op-amp 는 $\mu A741$ 을 사용했고, latch, decoder, 그리고 디지털 콘트롤 회로는 CMOS IC 로 구성했다. 모든 스위치는 CD4066을 사용했다.

그림 3(a) 는 $Vr = 2.5 [V]$, $Vin = 1.3 [V]$, 클럭주파수 $fc = 100 [kHz]$ 로 조정하고, 회로를 동작시켰을 때의 Vx , Vy 그리고 Vz 의 아나로그 전압을 나타낸다. 여기서, Vx 는 $\phi 1, \phi 3, \phi 5$ 클럭 일때 샘플링되는 아나로그 전압이고, Vy 는 $\phi 2, \phi 4, \phi 6$ 클럭일때 출력되는 ADA 의 전압이다. 그리고, Vz 은 차동증폭기의 출력전압으로 $Vz = 2^3 (Vx - Vy)$ 이다. $\phi 1$ 클럭일때의 Vx 파형은 입력전압 $Vin = 1.3 [V]$ 가 샘플링됨을 보여준다. $\phi 2$ 클럭일때의 파형은 $Vx(Vin) = 1.3 [V]$, $Vy(V1) = (1/2) \times 2.5 [V] = 1.25 [V]$, $Vz(V1') = 2^3 (1.3 - 1.25) [V] = 0.4 [V]$ 를 각각 나타낸다. $\phi 3$ 클럭일때의 Vx 파형은 $Vz(V1') = 0.4 [V]$ 가 샘플링됨을 보여준다. $\phi 4$ 클럭일때의 Vx 파형은 $Vx(V1') = 0.4 [V]$, $Vy(V2) = (1/8) \times 2.5 [V] = 0.3125 [V]$, $Vz(V2') = 2^3 (0.4 - 0.3125) [V] = 0.7 [V]$ 를 각각 나타낸다. $\phi 5$ 클럭일때의 Vx 파형은 $Vz(V2') = 0.7 [V]$ 가 샘플링됨을 보여준다. $\phi 6$ 클럭일때의 파형은 $Vx(V2) = 0.7 [V]$, $Vy(V3) = (1/4) \times 2.5 [V] = 0.625 [V]$, $Vz(V3') = 2^3 (0.7 - 0.625) [V] = 0.6 [V]$ 를 각각 나타낸다. 그림 3(b) 는 $\phi 2, \phi 4, \phi 6$ 클럭일때 각각 출력되는 디지털신호 $b1 \dots b9 = 100001010$

의 비트패턴을 나타낸다. 여기서 b_1 이 MSB 이고, b_9 이 LSB 이다.

IV. 결론

순환-병렬형 ADC 에 대해서 기술했다. 순환-병렬형 ADC 는 종래의 직-병렬형 ADC 를 구성하는데 소요되는 회로 소자수의 반으로 구성된다. 따라서, 칩면적, 소비전력, 가격도 이론적으로 직-병렬형 ADC 에 비해 반으로 줄어진다. 또한, 순환-병렬형 ADC 는 하나의 병렬형 ADC 를 반복 사용하는 회수에 비례해서 정도가 높아지므로, 이 변환기를 사용하면 적은 소자수로 높은 정도의 AD변환을 실현시킬 수 있다. 제안한 변환원리는 고속 ADC 를 구성하는데 뿐만 아니라 저속 고정도의 ADC 를 구성하는데도 적용될 수 있다.

참고문헌

[1] T. Kumamoto, M. Nakaya, H. Honda, S. Asai, Y. Akasaka and Y. Horiba, "An 8-bit high-speed CMOS A/D converter," IEEE J. Solid-State Circuits, vol. SC-21, No. 6, pp. 976-981, Dec. 1986.

[2] R. J. Van de Plassche and R. E. J. Van der Grift, "A high-speed 7 bit A/D converter," ibid., vol. SC-14, No. 6, pp. 938-943, Dec. 1979.

[3] A. G. F. Dingwall and V. Zazzu, "An 8-MHz CMOS subranging 8-bit A/D converter," ibid., vol. SC-20, No. 6, pp. 1138-1143, Dec. 1985.

[4] H. Matsumoto and K. Watanabe, "Improved switched-capacitor analogue-to-digital converter," Electron. Lett., vol. 21, No. 10, pp. 430-431, May 1985.

[5] K. Watanabe and W.-S. Chung, "A switched-capacitor interface for intelligent capacitive transducers," IEEE Trans. Instrum. Meas., vol. IM-35, No. 4, pp. 472-476, Dec. 1986.

[6] C.-C. Shih and P. R. Gray, "Reference refreshing cyclic analog-to-digital and digital-to-analog converters," IEEE J. Solid-State Circuits, vol. SC-21, No. 4, pp. 544-554, August 1986.

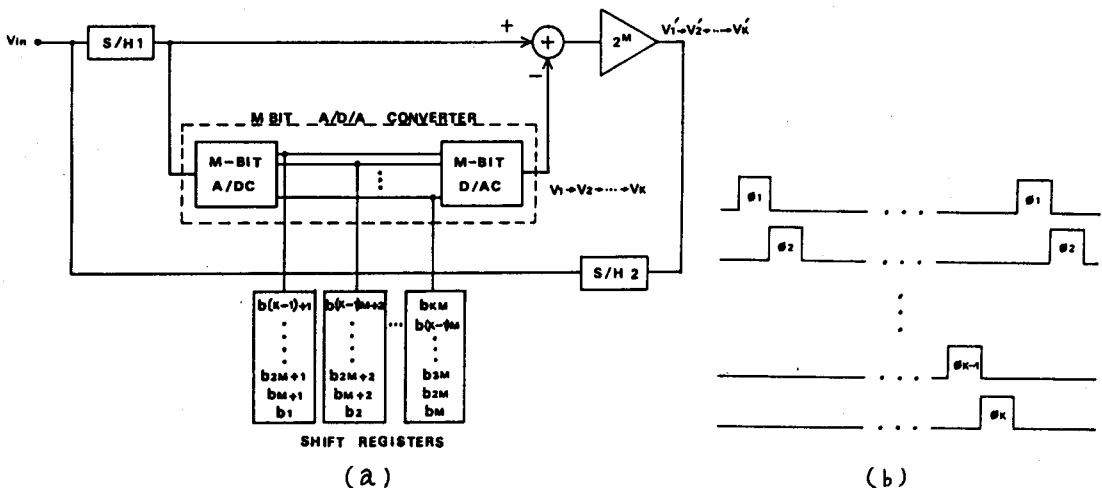


Fig. 1(a). Block diagram of MK-bit cyclic-parallel A/D converter and (b) timing diagram of K-phase clock controlling its operation.

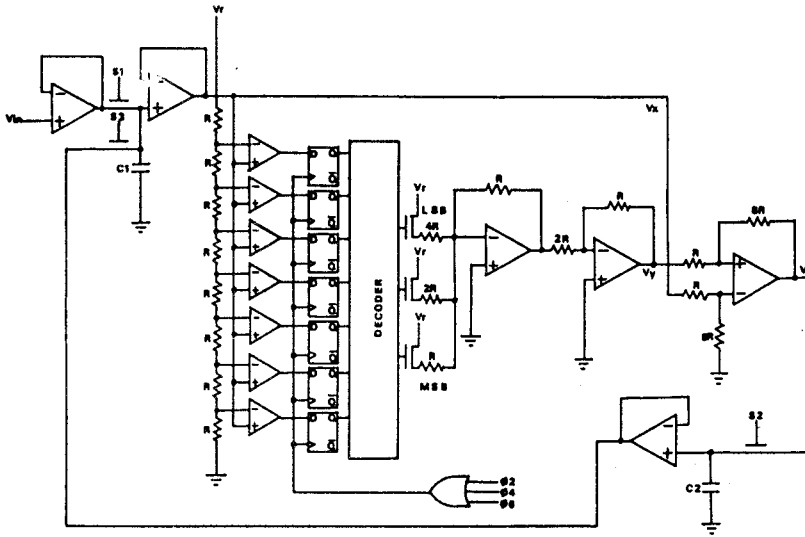
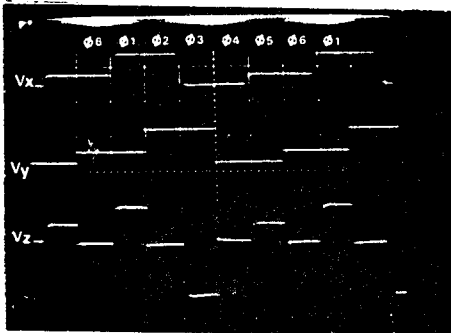
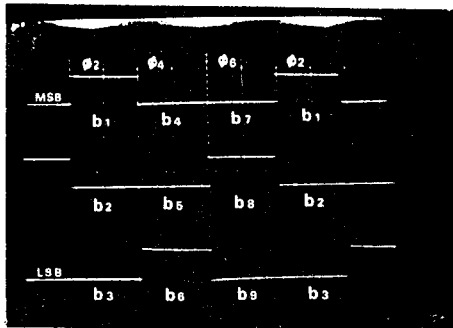


Fig. 2. Experimental circuit.



(a)



(b)

Fig. 3. (a) Experimentally observed voltage waveforms when the converter encodes the input voltage $V_{in} = 1.3$ V, with reference to $V_r = 2.5$ V, into the 9-bit binary number.

Horizontal scale: 10 ns/div. (all traces).

Vertical scale: 1 V/div. (upper and medium traces) and 5 V/div. (lower trace).

(b) The bit pattern generated.

Horizontal scale: 10 ns/div. (all traces).

Vertical scale: 10 V/div. (all traces).