

병렬 영상신호 처리를 위한 VLSI Processing Element 의 설계

김 영 곤

한국 과학기술원 계속초자연구실

The Design of VLSI Processing Element for Parallel Image Processing

Hyoung-Gon Kim

KAIST

1. 영상신호는 종래의 순차식 신호 처리와는 달리 데이터 자체가 2-Dimensional 이고 기본 동작이 'Local operation' 이라는 작은 면적을 operand 로 하는 특징을 갖는 이외에 data 의 균일성 (homogeneity) 을 특징으로 한다. 이러한 특징은 VLSI 실현을 위한 병렬성의 형태에서 pixel 의 bit 병렬성 (N_p), Neighborhood(Local) 병렬성 (N_n), 화면의 병렬성 (N_A) 및 operation 병렬성 (N_o) 등으로 구분될 수 있으며 전체의 병렬성 N 은

$$N = N_p \cdot N_n \cdot N_A \cdot N_o$$

로 나타낼 수 있다. 이들은 또한 계산상의 복잡도로 표시되는 longitudinal 병렬성 ($N_p \cdot N_o$) 과 영상데이터의 공간성에 근거를 둔 lateral 병렬성 ($N_n \cdot N_A$) 로 구분되기도 한다. 본 논문에서는 영상 데이터의 화면병렬성 (N_A) 과 균일성에 근거를 둔 SIMD 형 병렬 영상신호 처리 시스템의 구조와 이의 실현을 위한 processing element 의 설계에 관해서 논의한다. Bit sequential 동작으로 비교적 간단한 이 구조는 인접한 PE 간의 상호 연결 선로를 통해 Neighborhood 병렬성 N_n 을 효율적으로 수행할 수 있다. 제 2 장에서는 이 구조에 근거를 둔 SIMD 형 영상처리 시스템 구성에 관해 설명하고 제 3 장에서는 이 구조의 실현을 위한 PE 의 설계에 대해 설명한다. 4 장에서는 이 구조를 이용한 기본동작형태에 대해 논의하고 5 장에 결론을 정리한다.

2. SIMD 형 영상처리 시스템의 구성
Finite State Machine(FSM) 의 bounded cellular array automata (BCA) 에 이론적 근거를 둔 SIMD(Single-Instruction Multi-Data stream) 형 영상처리 시스템은 1958년 S.H. Unger 에 의해 제안되었으며 현재 MPP (Massive Parallel Processor), DAP (Digital Array Processor), CLIP (Cellular Logic Image Processor), AAP (Adaptive Array Processor) 등이 제안되거나 실현되고 있다. SIMD형 영상처리 시스템의 구성은 그림 1 과 같이 영상와 입출력 장치 및 I/O Buffer, 특징 (feature) 추출 장치 등을 통하여 영상데이터 및 처리결과가 PE 어레이 및 Host 컴퓨터에 고환되며 PE 어레이의 제어신호는 Host 에 의해 제어부의 프로그램 메모리에 전송한 후 제어부에 의해 어레이의 모든 PE 에 전파된다. 이 시스템의 핵심부인 Processor Element(PE) 의 어레이는 Local operation 을 효율적으로 실행하기 위해 PE 간의 interconnection 수단이 필요하며 그 방법에 따라 1-D array(Content Addressable Processor), 2-D array (4/6/8 Near Neighbor), 3-D array (Pyramid/cone형) 등으로 구성될 수 있다. 또한 화면 병렬성을 최대한 반영하기 위해 화면의 크기를 이루는 화소의 수와 같은 수의 PE 가 필요하며 이를 위해 간단한 구조의 PE 가 요구된다.

3. Processing Element 의 설계

SIMD 형 영상처리 시스템의 핵심부인 PE 어레이를 구성하는 processing element 는 화면 병렬성을 최대한 활용하기 위해 간단한 PE 구조를 요구하며 데이터 길이 및 정밀도의 가변성, 유용한 하드웨어의 효율적 이용, PE 간의 상호연결선로 등이 필요하여 bit-sequential 구조가 바람직 하며 다수의 영상처리 알고리즘을 실현할 수 있는 범용성을 가져야 하므로 프로그램웨어이어야 한다. 일반적인 2-D/3-D PE 의 구성은 그림 2와 같이 크게 입력회로부, 신호처리 논리부 및 Register 와 Local 메모리로 이루어지며 서로 조합되는 방법에 따라 기본형, accumulator 형 및 stack 형으로 나눌 수 있다.

1) 입력회로 : 입력회로는 주변의 PE 와 정보교환을 가능하게 하며 간단한 논리처리 기능을 포함한다. 주변 PE로 부터 받는 신호를 처리하는 부분은 주변 연결방법에 따라 $N = 4/6/8$ 개의 입력이 들어오며 이들에 의해 $2N$ 개의 상태가 가능하고 이들 상태에 의해 실현 가능한 입력함수는 2^{2N} 이 되어 이들을 모두 실현하는 것은 복잡성으로 인해 제약을 받으며 다음과 같은 입력논리기능을 이용할 수 있다.

- MUX 기능 : $\log_2(N)$ 개의 제어신호에 의해 N 개의 입력중 하나만을 선택한다.(그림 3-a)

- Selectable OR 기능 : N 개의 제어신호에 의해 $P = \prod_{i=1}^n (N_i.C_i) P = (0,1)$ 의 함수를 실현한다.(그림 3-b)

- Selectable Thershold 기능 : N 개의 제어신호에 의해 선택된 입력들의 합이 주어진 Threshold 값과의 크기를 비교하여 논리값을 지시하며 $P = \prod_{i=1}^n (N_i.C_i) > T$ 로 표시될 수 있다.(그림 3-c)

- Coded pattern selectable OR기능 : look up table 을 이용해 Golay pattern 과 같은 기본모양을 인식하여

selectable OR기능을 실현한다.(그림 3-d)

2) 신호처리 논리부 : 신호처리 논리부는 일반적으로 2/3 입력 boolean 프로세서, 이중 2-입력 boolean 프로세서, 1-but ALU 및 Full adder 외로가 이용 가능하며 필요한 성능에 따라 이들의 조합으로 이루어진다. 2-입력 boolean 프로세서인 경우 4개의 제어신호에 의해 16가지의 가능한 부울함수를 선택 가능하고 3-입력인 경우 8개의 제어신호에 의해 256가지의 부울 함수가 가능하다. 이중 2-입력 boolean 프로세서는 논리 함수뿐 아니라 연산의 속도를 증가시키기 위해 제안되었으며 고속논리 및 연산이 필요한 경우 이들 두 논리회로가 함께 사용되기도 하고 이들의 상호보완으로 1 bit ALU 가 이용되기도 한다. 그림 4에 가능한 신호처리 논리회로의 기능을 나타내었다.

3) 레지스터 및 Local 메모리 : 레지스터는 신호처리 논리회로의 입출력 buffer, 외부와의 I/O buffer 등으로 쓰이며 Local memory 는 1 bit 폭으로 그 크기에 의해 동작이 크게 제한을 받는다. 일반적으로 칩 내부에 수십 bit 정도가 포함되며 칩 외부에 수 K bit 정도가 접속된다. 신호처리 논리회로의 입출력 buffer 로써 data 의 길이 및 정밀도의 가변성 등을 고려하여 연산을 효율적으로 수행하기 위해 가변 길이 shift 레지스터가 이용된다.

4. 기본 동작 형태 및 알고리즘 실현

이상과 같은 PE 구조를 갖는 경우 모든 PE 는 같은 동작을 수행하며 기본동작은 각각의 PE 가 각각의 메모리에 있는 데이터를 이용해 bit-sequential 동작으로 논리 및 연산동작을 하는 형태와 어느 한 operand 를 이웃한 PE 에서 입력회로부를 통해 여러 PE 가 공동으로 논리 및 연산을 행하는 bit-column 연산동작이 가능하다. 또한 bit sequential동작을 수행하나 입력 operand 를 이웃한 PE에서 읽어 오는 경우 Neighborhood

operation 이 가능해 영상처리시 필요한 Local operation 의 수행이 가능하다. 일반적인 영상 처리 알고리즘의 구조는 PASCAL 을 이용하면 다음과 같이 표시할 수 있다.

```
Proc General_IP_Structure
    (var F,G:image_plane) ;
```

```
1) begin
2) for required_operation do
    for output_pixels do
3)     begin
4)         Access_required_input_pixels;
           Perform_transform_function;
           end
           end.
```

이 구조는 loop-2 를 병렬처리하며 loop 3 및 4를 PE Array 의 interconnection line 을 통해 효율적으로 수행한다.

5. 결 론

본 논문에서는 거대한 계산량을 필요로 하는 영상신호 처리를 효율적으로 수행할 수 있는 SIMD (Single-Instruction Multiple-Data Stream) 형 병렬 컴퓨터 구조와 이의 실현을 위한 processing element 의 설계에 대해 논의하였다. 설계중인 processing element 는 비교적 간단한 구조인 bit-sequential 동작을 수행하며 이웃한 PE 들과의 상호통신이 가능하여 영상신호 처리에 필요한 Local operation 을 효율적으로 수행할 수 있다. 앞으로 영상신호 처리 등 병렬 신호 처리 알고리즘의 실현방법에 많은 연구가 계속되는 경우 국내에서도 SIMD 형 고성능 병렬 컴퓨터의 개발이 가능할 것이며 VLSI 프로세서의 설계기술 향상에도 막대한 효과가 클 것이다.

** 참고 문헌

1) S.H. Unger, "A Computer Oriented Toward Spatial Problems," Proc. IRE, Vol.46, 1958. pp. 1744-1750

2) B.H. McCormick, "The Illinois Pattern Recognition Computer-ILLIAC 111," IEEE Trans. Electronic Computers, Vol.12, 1963, pp.791-813.

3) M.J.B. Duff et al., "A Cellular Logic Array for Image Processing," Pattern Recognition, Vol.5, 1973. pp.229-247

4) P. Marks, "Low Level Vision Using an Array Processor," Computer Graphics and Image Processing, Vol.14, 1980, pp.281-292

5) K.E. Batcher, "Design of a Massively Parallel Processor," IEEE Trans. Computer, Vol.28, 1980, pp.836-840

6) P.E. Danielsson and S. Leviardi, "Computer Architectures for Pictorial Information Systems, Computer, Vol.14, No.11, Nov. 1981 pp.53-67

7) D.H. Schaefer, and J.R. Fischer, "Beyond the Supercomputer," IEEE Spectrum, Mar. 1982 pp.32-37

8) R. Faiss, J. Lyong, M. Quinn, and S. Ruben, "Applications of a Parallel Processing Computer in LACIE," Proc. 1976 Int'l Conf. Parallel Processing, P. Enslow, Jr., ed., pp. 24-32.

9) J.L. Potter, "Continuous Image Processing on the MPP," Proc. 1981 Workshop Computer Architectures for Pattern Analysis and Image Database Management, Nov. 1981, pp.51-56

10) J.L. Potter, "MPP Architecture and Programming" Multicomputers and Image Processing, K. Preston, Mr. and L. Uhr, eds., Academic Press, New York 1982, pp.275-289

11) A. Rosenfeld and D.L. Milgram, "Parallel/Sequential Array Automata," Information Processing Letters, Vol.2, 1973, pp.43-46

12) 김형근, "고속 영상 신호 처리를 위한 VLSI 아키텍처 전기학회지 제 54권 8호 pp.489-496

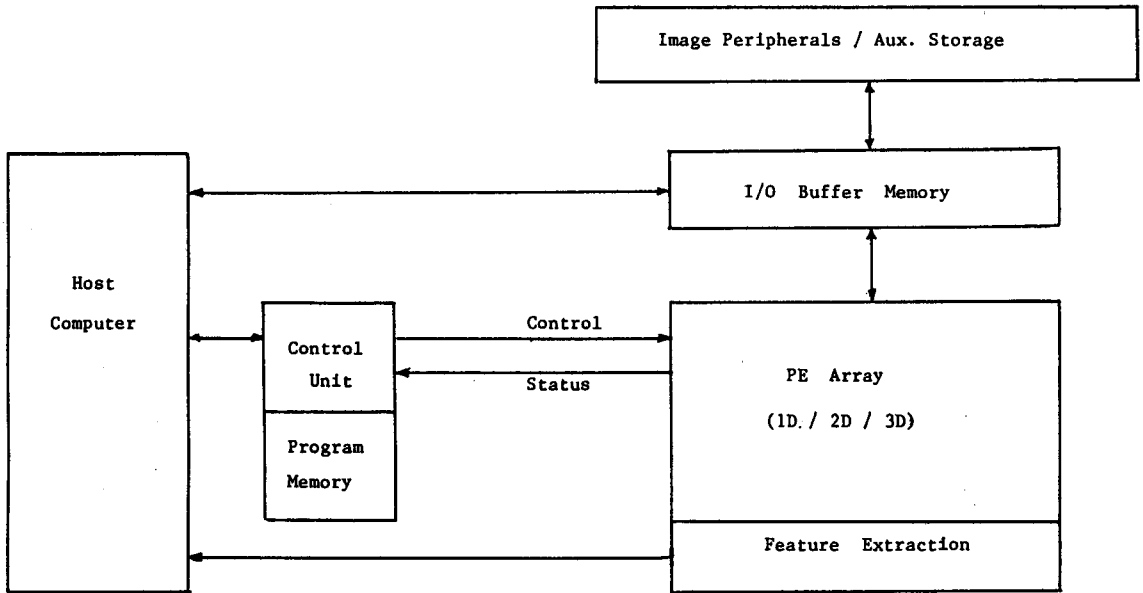


그림 1. SIMD 구조에 근거를 둔 영상신호 처리 시스템 구성

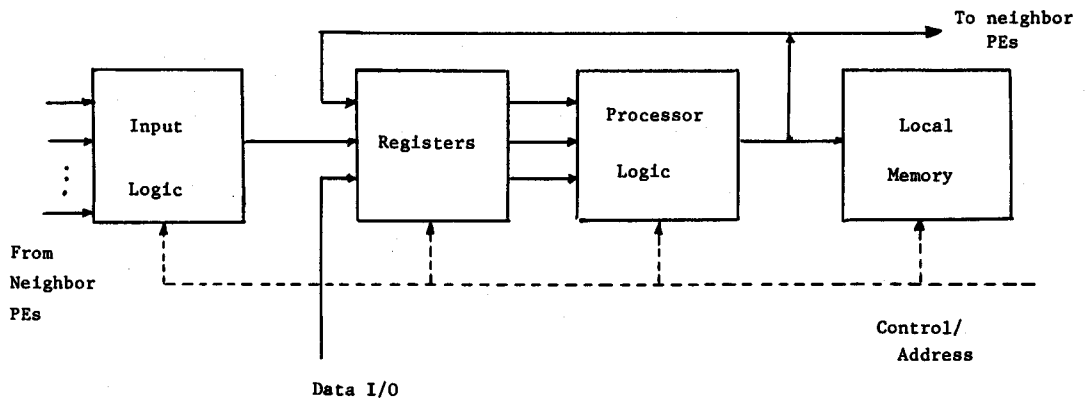
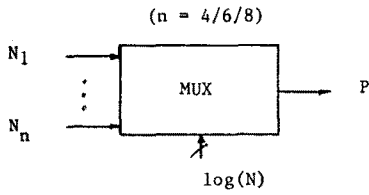
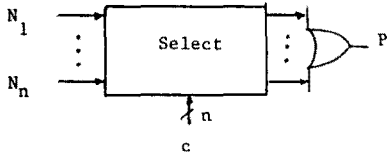


그림 2. 일반적인 PE 의 구성

a) MUX 기능 : $P = Ni$

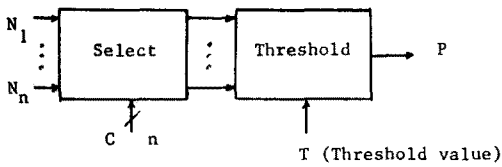


b) Selectable OR 기능 : $P = \bigcup_{i=1}^n (Ni \cap Ci)$



c) Selectable Threshold 기능 :

$$(P = \sum_{i=1}^n (Ni \cap Ci)) > T$$



d) Coded pattern selectable OR 기능 :

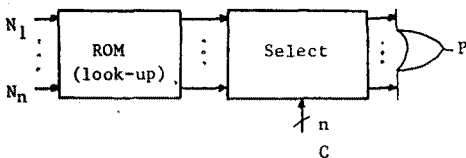
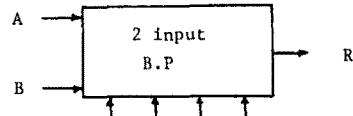


그림 3. 가능한 입력외로의 논리기능

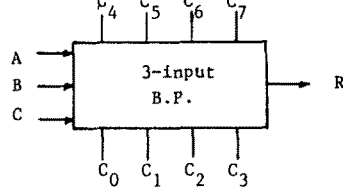
a) 2-input Boolean Processor

$$R = \bar{A}.\bar{B}.Co + A.\bar{B}.C_1 + \bar{A}.B.C_2 + A.B.C_3$$

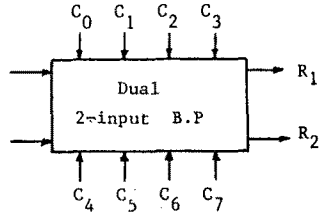


b) 3-input Boolean Processor :

$$R = \bar{A}.\bar{B}.\bar{C}.Co + A.\bar{B}.\bar{C}.C_1 + \bar{A}.B.\bar{C}.C_2 + \bar{A}.\bar{B}.C.C_3 + A.B.\bar{C}.C_4 + A.\bar{B}.C.C_5 + \bar{A}.B.C.C_6 + A.B.C.C_7$$



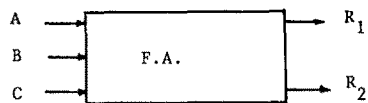
c) Dual 2-input Boolean Processor



$$R_1 = \bar{A}.\bar{B}.C_0 + A.\bar{B}.C_1 + \bar{A}.B.C_2 + A.B.C_3$$

$$R_2 = \bar{A}.\bar{B}.C_4 + A.\bar{B}.C_5 + \bar{A}.B.C_6 + A.B.C_7$$

d) Full Adder



$$R = A + B + C : (\text{SUM})$$

$$R = A.B + (A+B).C : (\text{Carry})$$

e) ALU

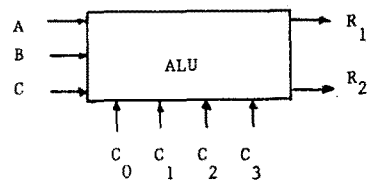


그림 4. 가능한 신호 처리부의 논리기능부