

Switched-Capacitor를 이용한 선로 동화기의 설계

○정 재훈, 이 상목, 최 상태, 한 일송  
한국전기통신공사 사업지원본부

Design of the Switched-Capacitor Line Equalizer

Jaehoon Jeong, Sang-Mok Lee, Sang-Tai Choi, Il-Song Han  
KTA Research Center

ABSTRACT

A digital subscriber loop transmission is a key technology to provide end-to-end digital connectivity for Integrated Service Network. And the equalization of the signal is needed for a fully digitalized connection between subscriber's premises because of the limited transmission characteristics of existing subscriber loop. This paper describes the switched capacitor equalizer for the 2B+D data transmission in TCM on existing subscriber loops.

1. 서론

최근에 정보량의 증가와 디지털 전송망의 발전으로 아날로그용 가입자 선로를 사용하여 고속의 디지털 전송 시스템의 개발이 필요하게 되었다. 아날로그용 가입자 선로는 저주파 대역에서는 주파수에 따른 손실이 그다지 크지않아 거리에 따른 신호의 감쇄만을 증폭하여 주면 되었다. 그러나, 고속의 디지털 데이터가 아날로그용 가입자 선로를 통할 경우 선로 특성에 의하여 파형이 찌그러지므로 이를 보상시키는 장치가 필요하다.

본 논문에서는 2B+D의 디지털 데이터가 전송선을 지날 때 찌그러진 파형을 보상 증폭시켜주는 등화기를 설계 실험하였다. 후에 LSI 화 할것을 전제로하여 Switched Capacitor(SC)회로로 구성하고, 실험은 개별소자를 사용하였다.

선로의 특성 보상을 위한 등화기의 전달함수는

회로 시뮬레이터 SPICE-PAC 과 SC 회로 시뮬레이터 SWITCAP 으로 최적화 방법으로 구하였다(1,2,3).

2. 회로 구성

그림 1은 본 논문에서 구성한 등화기의 기능적 블록 다이어그램이다. 듀티 사이클이 50% 인 Alternative Mark Inversion(AMI) code를 아날로그 가입자 선로(0.4mmφ)에 통과하면 찌그러지고 감쇄된다. 이를 원래의 파형으로 복원하기 위하여는 등화기가 필요하다. 등화기의 규격은 입력 신호가 디지털 신호이므로 등화기의 출력에서 논리상의 데이터값을 얻을 수 있고, 타이밍 추출을 할 수 있는 정도 이상의 파형으로 복원하는 것이 최소 조건이다.

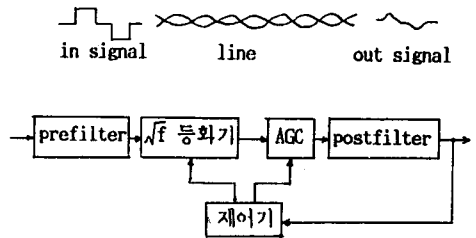


그림 1. 등화기 블록 다이어그램

그림 1을 보면 전송선을 지나면서 얻어진 고주파 성분의 잡음을 제거하여 S/N 비를 올리기 위한 Prefilter를 지난 다음  $\sqrt{f}$  등화기로 선로에 의하여 왜곡된 파형을 보상 증폭시킨 후 Automatic Gain Controller(AGC)로 이득을 미세 조정한다.  $\sqrt{f}$  등

회기는 SC회로로 구성되어 있어 신호에 샘플링 잡음이 들어가므로 이를 제거하기 위하여 Postfilter를 넣었다. 제어기는 Postfilter의 출력 전압의 크기로  $\sqrt{f}$  등화기의 전달함수를 자동으로 조정한다.

(1)  $\sqrt{f}$  등화기부

2선식 가입자선로(0.4mm $\phi$  지질연선)의 주파수 특성은 그림 2에 보이기 듯이 주파수가 높아짐에 따라 손실이 증가하게 되는데 이는 대략 주파수의 제곱근에 비례한다 [4]. 일반적으로 2KHz이하의

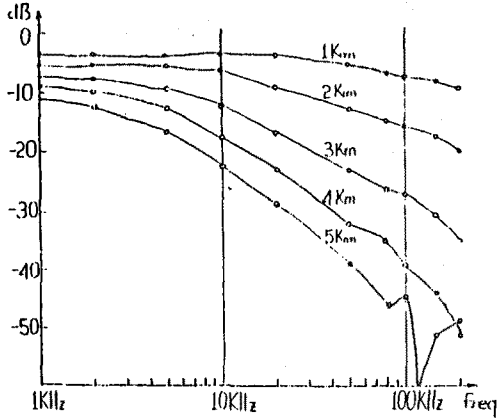


그림 2. 0.4mm $\phi$  지질연선 주파수 특성

대역에서는 손실이 주파수에 대하여 일정하지만 5KHz이상의 대역에서는 주파수에 따라 감쇄도가 다르므로 고속의 디지털 신호를 전송하면 수신된 신호는 찌그러지게 된다. 이 찌그러진 신호를 원래의 전송 파형으로 재생하기 위해서는 전송 손실의 역으로 이득을 갖는 등화기가 필요하다. 이 등화기를 SC회로로 구성하였다. SC회로에서 캐패시터의 비는 샘플링 주파수와 등화기의 이득에 비례하게 된다. 그러므로 샘플링 주파수는 낮게하고 등화기의 이득은 여러 단으로 나누어 설계하는 것이 좋다. 등화기에서 보상하는 것은 등화기에 통하는 주파수의 2배 정도까지 보상하리 하므로 샘플링 주파수는 등화기에 통하는 주파수의 4배 주파수로 하였다 [5].

등화기의 보상, 증폭단 수는 3단으로 하여 2단은 보상 및 이득단, 나머지단은 이득 미세 조정단 (AGC) 으로하였다.  $\sqrt{f}$  등화기의 구조는 그림 3과 같은 1 pole, 2 zero의 회로를 사용하였다. 이 회로의 전달함수  $H(s)$ 는

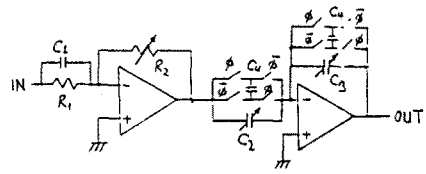


그림 3.  $\sqrt{f}$  등화기의 회로 구성

$$H(s) = C_2 R_2 \cdot \frac{s^2 + \left(\frac{1}{R_3 C_2} + \frac{1}{R_3 C_3}\right)s + \frac{1}{R_3 R_3 C_2 C_3}}{s + \frac{1}{R_3 C_3}}$$

$$\times R_3 = \frac{1}{4f_c C_u}, \quad \phi = \frac{1}{f_c}$$

이다.

거리에 따라  $\sqrt{f}$  등화기 전달함수의 계수값이 달라지게 되는데 이는 pole, zero 값의 변화로 나타나게 된다. 이 pole, zero의 변화는 캐패시터의 값을 바꾸어 조정하게 된다. 캐패시터 값의 변화는 그림 4의 가변 캐패시터 구조로 하였다. AGC의 이득 조정은 그림 5의 가변 저항구조로 하였다.

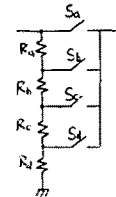
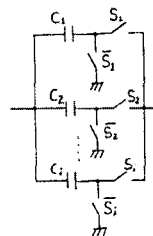


그림 4. 가변 캐패시터    그림 5. 가변 저항기

$\sqrt{f}$  등화기의 앞단에는 2차 능동 여파기를 달아 입력 신호에 섞여있는 고주파 잡음을 제거하여 S/N 비를 높였다. 등화기의 후단에는 SC 등화기에서 생긴 샘플링 잡음을 제거하기 위하여 2차 능동 여파기를 달았다.

(2) 제어부

전송선의 길이에 따라 신호의 찌그러짐과 크기가 각각 다르다. 이것은 등화기의 전달함수를 조정하여 원래의 파형으로 복원되는데 이를 위한 조정은 제이기가 한다.

제이기의 블록도를 그림 6에 나타내었다. 동작 원리는 등화기부의 출력울 peak holder 에 넣어

3km 선로 보상 특성 보다 결과가 양호하지 못한

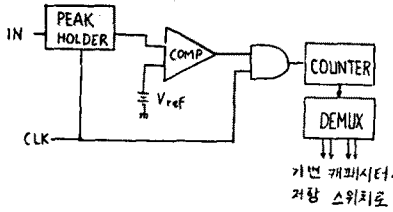


그림 6. 제어기의 블록도

등화기의 최고값이 원하는  $V_{ref}$ 에 이를 때 까지 Counter 에 클럭을 가하여 Counter 의 값을 바꾸면서, 그 값을 DEMUX 에 넣어 가변용 스위치를 동작시켜 전달함수의 값이 바뀌게 되는 것이다. 즉 송신부의 출력 전압의 크기가 가입자 선로를 통하여 감쇄되는데 이 감쇄량은 거리에 비례하므로 전송로의 길이를 알게되어 보상을 할 수 있다.

### 3. 실험 및 결과

등화기를 개별소자로 구성하여 실험을 하였다. 각 거리와 주파수에 따른 결과는 그림 7과 같은 특성을 얻었다. 선로 보상 특성은 270KHz이하에서

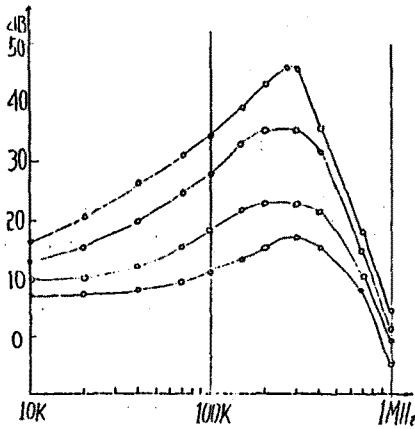


그림 7. 등화기의 주파수 특성

편차  $\pm 3\text{dB}$ 이내에 들었다. 본 등화기에 사용 되는 신호는 디지털 신호이므로 이 정도의 편차로 양호한 신호를 얻을 수 있었다. 270KHz이상에서의 급격한 감쇄 특성은 prefilter, postfilter의 고역 차단 주파수가 300KHz근처이기 때문이다.

그림 8(a)는 3km 선로 보상 특성이고 (b)는 4km 선로 보상 특성이다. 4km 선로 보상 특성이

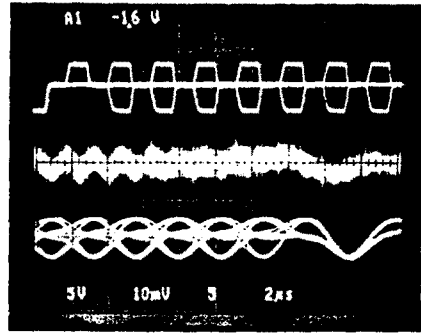


그림 8. (a) 3km eye pattern

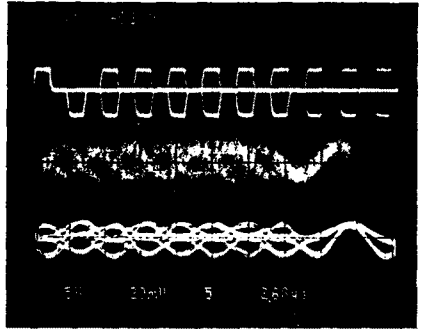


그림 8. (b) 4km eye pattern

것은 4km 선로의 200KHz이상에서의 주파수 감쇄도가  $-12\text{dB/oct}$ 를 약간 넘는 것과 prefilter, postfilter의 차단 주파수가 300KHz정도에 위치한 것으로 생각된다.

### 4. 결론

SC 회로의 등화기를 설계 실험하여 4km 전송 선로까지는 거리에 따른 손실을 자동으로  $\pm 3\text{dB}$ 이내의 편차로 보상이 이루어졌다. 5km이상의 경우는 100KHz이상에서의 주파수 감쇄도가  $-12\text{dB/oct}$ 를 넘으므로 pole, zero의 추가 삽입과 조정으로 가능할 것이다.

또한, SC회로로 구성되어 작은 chip 면적과 저전력의 LSI로 실현 가능하다.

REFERENCES

- (1) 정 재훈, 이 상목, 한 일승, 김 현우, " 등화기  
의 최적 설계에 관한 연구, " 합동 학술 발표  
회 Vol.10. No.1, pp34-37, Nov. 1986
- (2) SPICE-PAC User's Manual, Univ. Texas A & M.
- (3) SWITCAP User's Manual, Univ. Columbia
- (4) K. Yoshida, R. Komiya and M. Ohmura, "Cable  
Utility Design for a 200kb/s ping-pong  
Transmission Systems," Review of the ECL, NTT.  
Japan, Vol.33, pp. 344-354, 1985
- (5) K. Nakayama, Y. Sato and Y. Kuraishi, "Design  
Techniques for Switched-Capacitor Adaptive  
Line Equalizer, IEEE. Trans. Circuits Syst.,  
Vol.CAS032, pp.759-766 Aug. 1985
- (6) George S. Moschytz, "MOS Switched-Capacitor  
Filters: Analysis and Design," IEEE Press