

WDM 방식을 이용한 DPLL 구현에 관한 연구

이 상 목, 정 재 훈, 최 상 태, 한 일 송
한국전기통신공사 사업지원본부

A Study on the DPLL Implementation using the WDM Phase Detector

Sang Mok Lee, Jaehoon Jeong, Sang Tai Choi, Il-Song Han
KTA Reaserch Center

ABSTRACT

A wave difference method(WDM) phase detector for timing recovery is designed in the digital subscriber loop receiver. This paper describes the architecture and experimental results of the WDM, tankless timing extraction PLL. The results show that the designed WDM timing extraction circuit have stable jitter performance without the use of high precision LC tank circuit.

1. 서 론

2 선식 가입자선로를 이용하여 여러가지 정보를 고속으로 전송하기 위하여 다중화 장치가 필수적이다. 가입자측과 교환기측에서 데이터를 재대로 송. 수신 하기 위해서는 가입자측과 교환기측사이에 동기가 되어야 하고 동기를 위해서는 수신된 신호로부터 타이밍을 추출하는 DPLL(Digital Phase-Locked Loops)이 필요하다 [1] [2].

그림 1은 기본적인 DPLL의 블럭선도이다.

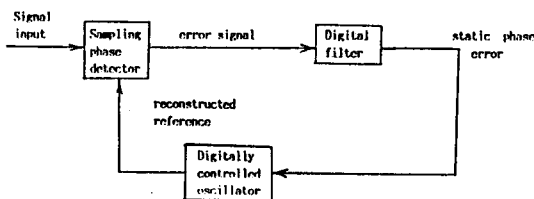


그림 1. 기본적인 DPLL 블럭선도

타이밍 추출 PLL에 있는 위상 검출 방식에는 여러가지 알고리즘이 있다. 그 중 대표적인 방식이 Zero Crossing 알고리즘이다. 이 방식은 간단하

게 구성되지만 여러 bipolar 형태에 의해 발생하는 Zero point들 때문에 위상지터 (phase jitter)가 존재한다. 그런데 안정된 decision 타이밍을 얻기위해서 타이밍 추출 PLL은 패턴지터 (pattern jitter)가 최소어야 하며, 잡음에 대한 면역성이 강해야 한다. WDM (Wave Difference Method) 위상검출 방식은 정교한 부품들을 요구하지 않을 뿐 아니라 패턴 지터도 효과적으로 줄일 수 있다 [6]. 본 논문에서는 WDM 위상 검출 방식을 이용한 DPLL을 구현하였으며 Zero Crossing 위상검출방식을 이용한 DPLL에 비해 매우 안정된 동작을 함을 확인하였다.

2. WDM 위상 검출 방식의 원리

WDM (Wave Difference Method) 방식이란 sample and hold 된 파형의 전위차를 최소화하는 방향으로 VCO (Voltage Controlled Oscillator)가 동작하여 위상을 검출하는 방식이다. WDM방식의 원리도는 그림 2와 같다.

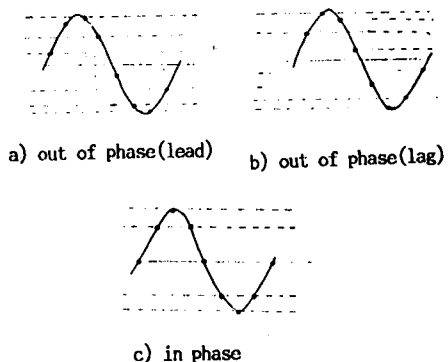


그림 2. WDM 위상검출 원리

그림 2로 부터 알 수 있듯이 decision timing 이 out of phase이면 8개의 trace 가 나타나지만 in phase이면 5개의 trace 만 나타나게 된다. 따라서 가장 좋은 decision timing 은 입력 데이터가 "+1" 또는 "-1" 일 때 입력파형의 차가 zero가 되는 때이다. 여기서 ϕ_2 와 ϕ_4 에서의 전위차 ΔV_k 를 다음과 같이 정의한다.

$$\Delta V_k = V(kT + t_0) - V(kT - t_0)$$

3. 타이밍 추출회로

WDM 위상검출방식을 이용한 타이밍 추출회로는 크게 WDM 위상검출기, random walk Up/Down counter, 수정 발진기등으로 구성된다. 타이밍 추출 PLL의 블럭선도는 그림 3과 같다.

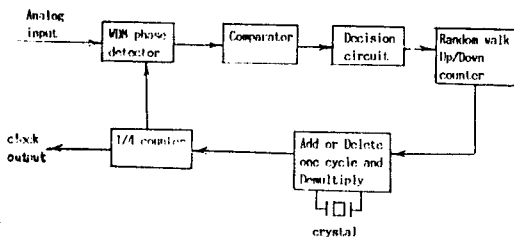


그림 3. 타이밍 추출 회로

위의 각 블럭에 대한 회로를 다음과 같이 구현하였다. 먼저 WDM 위상검출기 회로를 그림 4에 나타내었다.

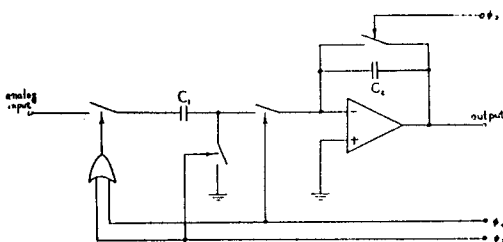


그림 4. WDM 위상검출 회로

위의 그림에서 Switch들은 CMOS를 사용하였다. Sample and hold 된 \sqrt{T} 등화기의 출력신호가 WDM 위상검출회로로 들어간다. 펄스 침투 위상

주위의 ϕ_2 와 ϕ_4 에서의 전위차가 C_1 에 축적된 뒤 C_2 로 전송되어 Comparator로 입력된다.

Comparator회로는 전위차 ΔV_k 를 positive 또는 negative로 구분하는 회로이다. 그림 5는 Comparator 회로를 나타내고 있다.

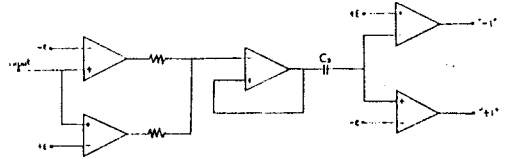


그림 5. Comparator 회로

여기서 ϕ_2 은 ϕ_4 와 에서의 전위차 $|\Delta V_k|$ 가 ϵ 이라는 boundary내에 있을 때 zero로 함으로써 시스템의 안정을 꾀하였다.

그림 6은 Decision 회로를 보여 주고 있다. 그림 2의 WDM 원리도에서 알 수 있듯이 입력 데이터가 "+1", 또는 "-1" 에 따라 ΔV_k 가 갖는 값에 대한 위상의 lead와 lag 신호 추출을 위한 Decision 회로가 필요하다.

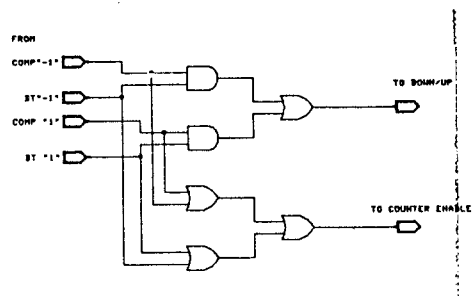


그림 6. Decision 회로

위의 그림에서 BT (Bridged Tap) 등화기의 출력은 입력 데이터를 말하는 것이며 AMI (Altenate Mark Inversion) code 를 사용하였으므로 "+1", "-1", "0" 로 구분된다. 그런데 "0" 데이터는 타이밍 추출에 이용할 수 없으므로 입력 데이터가 "0" 이거나 $|\Delta V_k|$ 가 ϵ 보다 작으면 Up/Down counter 가 disable 되어 그대로 머물러 있게되어 lock 상태를 의미하게 된다. 따라서 정밀성을 요구하는 tank 회로의 필요성이 없어지게 된다.

Random walk Up/Down counter 회로의 역할은 lead 나 lag 위상을 추적하는 것인데, 이 counter 에서 overflow나 underflow 가 발생하면 carry 또는 borrow 를 Increment/Decrement counter 에 보내면서 다시 count 하는 역할을 한다.

Increment/Decrement 회로는 retard 나 advance 신호에 따라 한 cycle 을 늘이거나 줄이는 역할을 한다. 그림 7은 Increment/Decrement 의 회로의 입력 신호에 대한 출력신호의 변화를 보여준다.

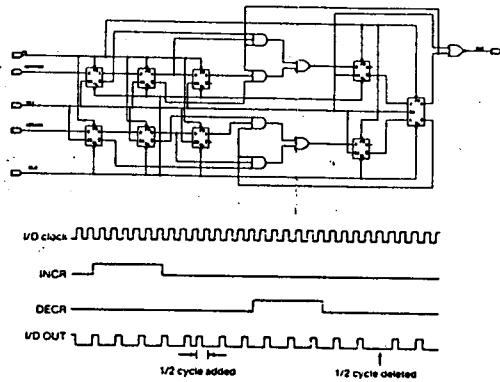


그림 7. Increment/Decrement 회로 및 파형

그림 8은 clock 을 추출하는 회로의 파형을 나타낸다.

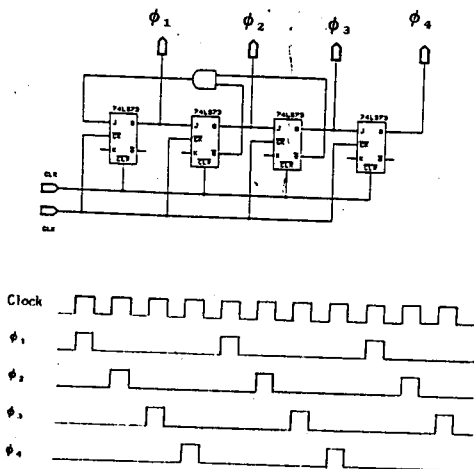


그림 8. clock 추출 회로 및 파형

4. 실험결과

WDM 위상검출기를 사용한 timing 추출 DPLL

회로는 빠른 시간내에 timing신호를 추출했으며 기존의 zero crossing 방식보다 위상지터가 훨씬 작음을 확인하였다. 그림 9는 WDM을 이용한 DPLL의 timing추출 결과를 보여준다.

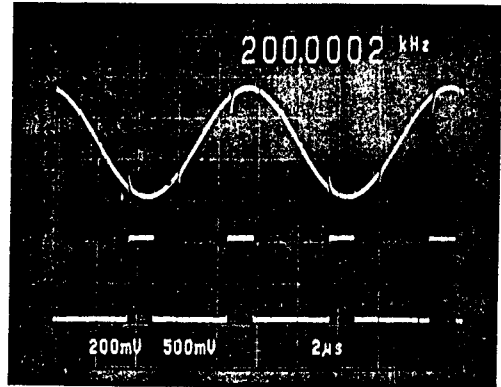


그림 9. discrete timing 추출 결과

5. 결 론

본 논문에서는 WDM 방식을 이용한 timing 추출 DPLL 회로를 구현 해 보았다. WDM 방식을 이용한 타이밍 추출회로는 위상지터가 비교적 작았으며, 정교한 부품을 요구하는 LC tank 회로가 없으므로써 처음 timing을 조정했던 값이 시간이 지남에 따라 변함으로 인해 문제를 일으키는 일이 없을 뿐만 아니라 디지털로 동작함으로써 LSI 회하는 데 적합할 것이다.

REFERENCES

- [1] T. Suzuki, H. Takatori, M. Ogawa and K. Tomooka, "Line equalize for a digital subscriber loop employing switched capacitor technology," IEEE Trans. Commun., vol. COM-30, pp. 2074-2082, Sep. 1982.
- [2] H. Takatori, T. Suzuki, F. Fujii, and M. Ogawa, "A CMOS line equalizer for a digital subscriber loop," IEEE JSSC, vol. SC-19, No. 6, Dec. 1984.
- [3] W. C. Lindsey, C. M. Chie, "A survey of digital phase-locked loops," Proc. of the IEEE, vol.69, No.4, Apr. 1981.

- [4] D. G. Troha, "Digital phase-locked loop design using SN54/74LS297," A Texas Instrument Application report.
- [5] U. L. Rohde, "Digital PLL frequency synthesizers theory and Design," Prentice-Hall.
- [6] O. Agazi, C. J. Tzeing, D. G. Messerschmitt, and D. A. Hodges, "Timing recovery in digital subscriber loops," IEEE Trans. on Commun., vol-33, June 1985.
-