

1차 Digital PLL을 이용한 FSK복조및 BIT ERROR RATE 측정

정 현기 박 주호 주 정규 심 수보
 송실대학교 전자공학과

Detection of FSK and Bit error rate using a first-order Digital PLL

Chung Hyun Gi Park Ju Ho Joo Jung Kyu Shim Soo Bo
 Dept. of electronic eng. Soongsil Univrtsity

ABSTRACT

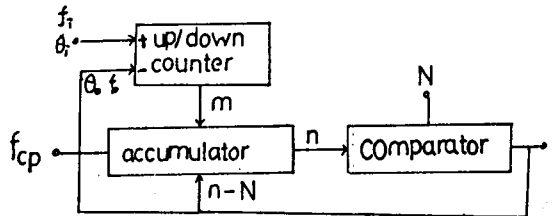
In this paper a DPLL circuit realizable by digital IC's is propose and the principles of general DPLL are described. An all Digital phase locked loop is designed,analyzed, and tested. In particular, the approach of invoking Gaussian assumption on the decision variable and based on S.O.Rices theory is used. As a performance of the above PLL detector operating on low data rate FSK is given and demonstrated to be FSK reception.

1. 서 론

장거리통신의 전송과정에서 발생하는 잡음이나 간섭현상 (도플러 현상, CH noise) 으로 수신신호에는 본래 위상이나 주파수변화가 생겨 정확한 DATA를 얻는일이 어렵다. 수신된 신호의 위상변화를 추적 수정하는 경우에 PLL을 이용하고있다. ANALOG방식에서 생기는 VCO의 DRIFT, PD의 부정확성과, LPF의 SATURATION문제등을 DIGITAL화함으로써 해결할 수 있다. 높은 성력은 PD에서 나온 위상차크기를 UP/DOWN COUNTER회로를 구성해서 측정하는 방법으로 입력신호를 추적해서 동기를 맞추도록 모든 구성을 DIGITAL화시켰다. PLL은 CARRIER재생이나 FSK복조회로등에 이용되고 있는데 보통 JITTER제어특성이나 BIT ERROR RATE를 구하는데 이용되기도 한다. 먼저 DPLL을 이용한 FSK복조회로를 구성하고 S/N이 클 경우에 PDF BIT ERROR RATE및 JITTER제어 특성을 구한다.

2. DPLL의 원리

(그림1)은 1차 DPLL의 구성도를 나타낸것으로 UP/DOWN counter, ACCUMULATOR, 그리고 DIGITAL COMPARATOR가 이용되었다. UP/DOWN counter에 입력 펄스열을 가하면 이에 대응한 m이 증가하고, clock펄스에 Counter의 출력 m을 ACCUMULATOR에 가산하고 그 출력 n이 기준치 N을 넘으면 Over Flow가 발생 한다. 만약 입력 f가 STEP 상태로 가일경우 counter의 출력m이 증가한다. m의 증가로 ACCUMULATOR의 출력 n은 그림1에서처럼 m과 가산되어 처음 상태보다빠르게 기준치 N을 넘기때문에 출력주파수 f가 증가한다.



(그림1) 1차 DPLL 회로도

이외같이 계속된 입력 f의 증가로 인해 출력신호 f_c의 위 주파수가 점점줄어들고, 일정시간 후 주파수차가 일치하면 counter의 출력 m이 증가하는 것을 멈추고, 출력 f_c의 증가도 멈춘다. 다시 말하면 counter의 출력 m의 증가를 이용해서 입력의 주파수를 일치시킬수 있다. 반대로 입력 f가 감소할때도 위와같은동작을 한다. 즉 입력 f의 증가(감소)에 의해서 그림 1의 회로는 counter의 출력에 따라 생기는 입출력의 위상차를 중간 매체로해서 입출력의 주파수가 일치하는 PLL이다.

여기서 입출력 위상을 각각 θ_1, θ_0 로하고 위상차를 ϕ 라고하면 다음식으로 된다.

$$2\pi m = \theta_1 - \theta_0 = \phi \quad (1)$$

그리고 출력주파수 f_c 는 다음식으로 표현된다.

$$f_c = \frac{mf_{cp}}{N} \quad \text{또는} \quad W_c = \frac{\phi f_{cp}}{N} \quad (2)$$

즉 위상차와 출력주파수는 비례관계가 된다.

이 위상주파수변환기의 동작범위는 최대 \$f_{cp}\$ 까지 (\$m=N\$) 가능하다. 즉 다음과 같이 된다.

$$0 \leq f_o \leq f_{cp}$$

다음으로 DPLL의 동작에 대한 식을 구하면 식 1을 미분하고 식 2에 대입하면 다음 식이 얻어진다.

$$\frac{d\theta_i}{dt} = \frac{d\theta_o}{dt} + \frac{d\phi}{dt}$$

여기서 \$d\theta_o/dt = W_o = \phi_{cp}/N\$ 인관계에서 \$\tau = N/f_{cp}\$ 이라고 하면

$$\frac{d\theta_i}{dt} = \frac{d\phi}{dt} + \frac{\phi}{\tau} \quad (3)$$

단, \$\tau\$ 는 시정수 이다.

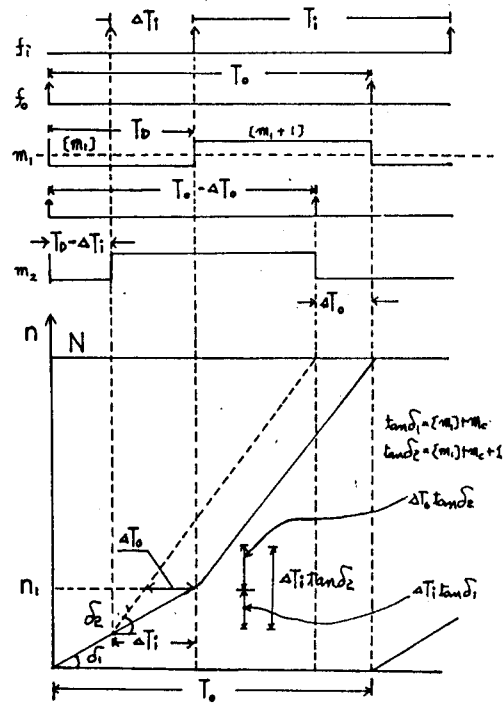
또 식 3을 미분하고, \$f_o\$ 에 관한 식을 구하면 다음 식이 얻어진다.

$$\frac{df_o}{dt} + \frac{f_o}{\tau} = \frac{f_i}{\tau} \quad (4)$$

여기서 식 4를 1차 DPLL의 특성방정식 이라고도 한다. 식 3과 4에서 입력 \$\theta_i\$, \$f_i\$ 의 위상차 및 \$f_o\$ 에 대한 응답은 선형응답으로 되고, 정상상태 에서는 입출력의 주파수는 같고, 정상위상차 \$\phi_s\$ 는

$$\phi_s = \tau W_i \text{ 또는 } m = \tau f_i$$

로 된다. 그러므로 \$m\$ 은 \$f_i\$ 에 비례한다.



(그림2) 입출력위상의 ACCUMULATOR와의 관계

위상차 \$\phi\$ 를 수식으로 구하는 방법을 설명하면 식 1에서 위상차 \$m (= \phi/2\pi)\$ 는 UP/DOWN counter 내용의평균값이다. 그림2는 입출력의 위상으로 내용 \$n\$ 과 UP/DOWN counter 내용과의 관계를 표시한 것으로 입력 \$f_i\$ 가 입력될때 UP/DOWN counter 는 1만큼 증가하고 있다.

DPLL의 입력주파수 \$f_i\$ 에서 정상상태가 존재하고 집중에서 입력주파수가 \$\Delta T_i\$ 만큼 기울때 출력주파수 변화 \$\Delta f_o\$ 를 구한다.

그림2 에서 \$D = T_b/T\$ 라고하면 정상상태에서 DUTY 비는 \$1-D\$ 라고하면 \$m = (m_1+1) - D\$ 가 되고 한편

$$f_i(1/\tau) = f_o(1/\tau) = (m_1 + m_c)/\tau \quad (5)$$

인 관계가 성립 된다.

입력 \$f_i\$ 가 입력될때 ACCUMULATOR값을 \$n\$ 으로 하고 \$D' = n/N\$ 에서 \$1 \ll N \ll N\$ 로하면 \$D' = D\$ 로 되고 ACCUMULATOR값 \$n_1\$ 과 counter값 \$(m_1)\$ 과 관련된 FSK복조회로에 있어서 위상차 \$\phi\$ 중에서 송신신호를 추출할수있다.

\$\Delta T_i\$ 변화에 대한 DUTY비가 \$1 - (T_b - \Delta T_i)/(T_b - \Delta T_o)\$ 로 부터 \$(m_2) = (m_1) + 1 - (T_b - \Delta T_i)/(T_b - \Delta T_o)\$ 가 되고 \$\Delta(f_o)\$ 는 다음과 같다.

$$\Delta(f_o) = \frac{1}{T_b - \Delta T_o} = \frac{m_c + m_c}{\tau}$$

다음은 \$\Delta T_i\$ 변화에 대한 출력변화 \$\Delta T_o\$ 를 그림에서 보면

$$\Delta T_o = \frac{\Delta T_i}{m_1 + m_c + \theta} \quad (6)$$

이 된다.

위상변화량 \$\Delta m\$ 을 \$m_2 - m_1\$ 로 정의하면

$$\begin{aligned} \Delta m &= m_2 - m_1 = \theta - \frac{T_b - \Delta T_i}{T_b - \Delta T_o} \\ &= \frac{(m_1 + m_c)\Delta T_i}{T_b(m_1 + m_c + \theta) - \Delta T_i} \end{aligned}$$

한편 \$\Delta f_o = \Delta(f) - f_o\$ 로서 식 5, 6을 이용하면

$$\Delta f_o = \Delta m / \tau$$

가되고, DPLL입력 \$f_i\$ 는 정상상태에 있기때문에 \$\Delta(f_i) = 1/(T_i - \Delta T_i)\$ 의 step 입력에 대해 \$T_o - \Delta T_o\$ 후 위상 \$m_{sp}\$ 는

$$\begin{aligned} m_{sp} &= (\tau \Delta(f_i) - m_c) [1 - \exp(-\frac{T_o - \Delta T_o}{\tau})] \\ &+ m_1 \exp[-(\frac{T_o - \Delta T_o}{\tau})] \end{aligned}$$

로 된다.

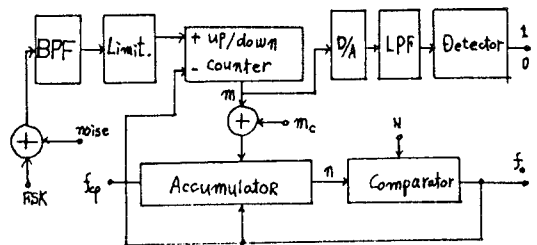
또 식(2)의 관계로 부터 \$\Delta f_o \phi\$ 는

$$\Delta f_o \phi = \Delta m \phi / \tau$$

로 나타내어진다.

3. FSK복조회로 및 BIT ERROR 측정

3-1. FSK복조회로



(그림3) FSK 복조회로

그림3에서 Pulse주파수전송계의 적분기를 이용한 1차 DPLL에 따라서 FSK복조회로를 나타내고 있다.

다음 위에서 설명한 1차 DPLL에 있어서 입력 주파수 (FSK)를 \$f_c \pm \Delta f\$ 로하면 식 4에서 정상위상 오차, \$\phi_s = \tau W_c\$ 가 자주주파수를 발생하게되고 이 \$\phi_s\$ 로

부터의 어긋난 $2\pi \epsilon f$ 가 중래의 정상오차에 해당한다.

회로에 있어서 DATA 전송속도를 저가하면 식 2와 식 4에서 df/dt 는 f_c 에 대한 시간 미분치는 zero가 되고, f_c/ϵ 에 식 2를 대입하면 아래와 같이 된다.

$$\frac{f_c}{\epsilon} = \frac{f_i}{\epsilon} \rightarrow \frac{m+m_c}{\epsilon} = f_i$$

단 m_c 는 자주주파수이다.
여기서 FSK신호 ($f_i = f_c \pm \Delta f$)를 생각하면

$$m+m_c = \epsilon f_c = \epsilon (f_c \pm \Delta f)$$

여기서 m_c 를 적게 ($m_c \rightarrow 0$) 해주면 $m = \epsilon (f_c \pm \Delta f)$ 가 된다. 실제에 있어서 m 은 순시치이고, ACCUMULATOR식을 D/A변환기에서 ANALOG로 변하고, m 을 LPF를 통과하면 Carrier 주파수 (ϵf_c)가 제거되므로 송신부호 $m = \epsilon \Delta f$ 만 남는다.

3-2. BIT ERROR

bit error율을 구하는데에는 DPLL의 출력 PDF가 필요하다. 그래서 데이터 전송속도에 비해서 DPLL의 시정수를 충분히 작게하면 DPLL은 FSK 신호에 대해 정상상태에서 안정된것을 볼 수 있기에 DPLL의 출력 PDF를 이용하여 Bit error율을 계산 할수있다. 즉 DPLL의 출력 PDF는 다음 식과 같이 쓸수있다.

$$P_o(\Omega) = \frac{1}{\sqrt{2\pi} \sigma_{out}} \exp\left(-\frac{(\Omega - \Omega_{out})^2}{2\sigma_{out}^2}\right) \quad (6-1)$$

$$\text{단, } \sigma_{out}^2 = \frac{(\epsilon \Delta f)^2}{2\rho} \left(1 - \frac{1}{2} \lambda \omega^{-1} x\right) \quad (7)$$

$$-\Omega_{out} = \left[1 - \frac{1.5}{\rho \omega + \lambda}\right] \Delta W \quad (8)$$

지금 데이터 부호전송을 1 또는 0 이같은 확률로 송신되었다고 보면 이들 각각에 대한 PDF를 $p_1(\Omega)$, $p_0(\Omega)$ 라고할때 error율 P_e 는

$$P_e = \frac{1}{2} \int_{-\infty}^0 p_1(\Omega) d\Omega + \frac{1}{2} \int_0^{\infty} p_0(-\Omega) d\Omega$$

로 나타내기 때문에 이것을 식 6에 대입해서 P_e 를 구해보면 다음과 같다.

$$P_e = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} e^{-\Omega^2/2} d\Omega = \text{erfc}\left(\frac{\Omega_{out}}{\sigma_{out}}\right)$$

$$\text{단, } \text{erfc}(R) = \int_R^{\infty} e^{-\alpha^2/2} d\alpha / \sqrt{2\pi}$$

여기에서 $\frac{\Omega_{out}}{\sigma_{out}}$ 는 식 7, 식 8 에 대입하여 계산하면

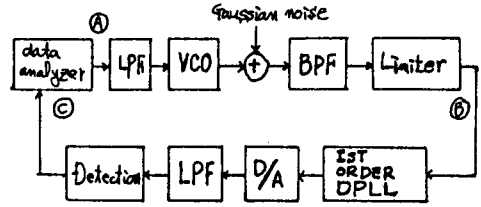
$$\frac{\Omega_{out}}{\sigma_{out}} = \frac{\sqrt{2\rho} \left[1 - \frac{1.5}{\rho \omega + \lambda}\right] \Delta f}{\Delta f \sqrt{1 - (\lambda \omega^{-1} x_1) / x_1}}$$

이 된다.

단 실험시정수를 이용하여 $f_c \rightarrow f_d$, 그리고 $x \rightarrow x_1$, 로 하고있다. 또 복조회로로 위상차 m 을 검출하는 경우 및 식에 $\Delta m = \epsilon \Delta f$ 인 관계식을 적용하면 양호하다.

4. 실험 및 고찰

그림 4는 BIT error rate를 측정하는것을 나타낸것으로 DATA error analyzer 자체출력을 LPF를 통과, charge pump가 내장된 VCO의 출력은 정현파적으로 그 출력을 $f(vco)$ 라고 하면 Gaussian noise, $f(G)$ 가 MIXER 단 출력은 Distortion이 포함된 파가 나온다.



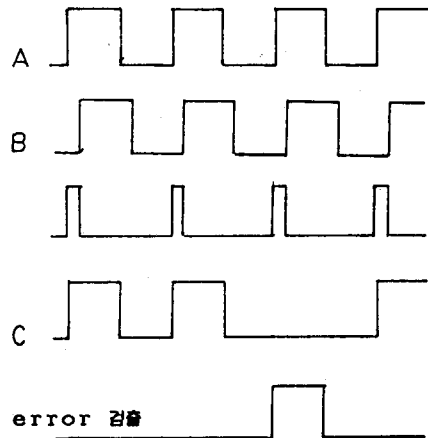
(그림 4) Bit error 측정 system

주파수 합성을 BPF로 하여 200baud FSK용 filter를 써서(이때 $f_c = 1080\text{Hz}$) Gaussian noise를 거의 제거한 여분의 noise가 Limiter에 입력된다.

입력된 신호는 필요한 부분의 진폭을 제한하고 그출력을 1st order DPLL의 입력으로 주면 DPLL에서는 VCO의 출력을 Digital로 변환하는 구실을 한다.

DPLL의 입력또는 출력의 clock pulse를 2.5MHz로하고, Detection의 출력을 높게 하려면 UP/DOWN counter를 4bit로 사용했기때문에 DPLL의 출력이 최저 2bit이상 이어야 한다.

Detection의 출력을 DATA analyzer의 입력단에 입력으로하면 입출력에서 구하고자하는 error rate를 구할 수 있다.



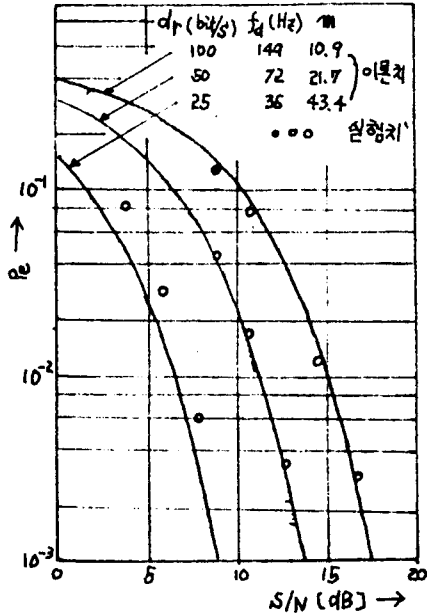
(그림 5) Error 신호의 검출

다음 그림5는 그림4에서의 A, B, C점의 파형과 error 검출을 나타낸 것이다.

Bit error를 측정 한 결과를 그림6에 나타내었다. 여기서 $f_c = 999\text{Hz}$, $f_s = 203\text{Hz}$, $\Delta f = 25\text{Hz}$ 일때 d_T 100bit/s이면 f_s 는 14.9Hz이고, d_T 가 25bit/s일때 f_s 는 3.6Hz가 된다.

이때 error 확률 P_e 는 4~17(dB)로 나타내어지는데 SNR이 8dB이상에서 이론치와 실험치가 거의 일치하고 있음을 볼 수 있었다. 그러나 8dB 이하에서는 이론치와 실험치가 오차가 생기는데 이것은 Spectrum noise가 시간의 변화에 따라 Pulse의 근사값이 단조롭게 감소하는 현상때문이다.

5. 결 론



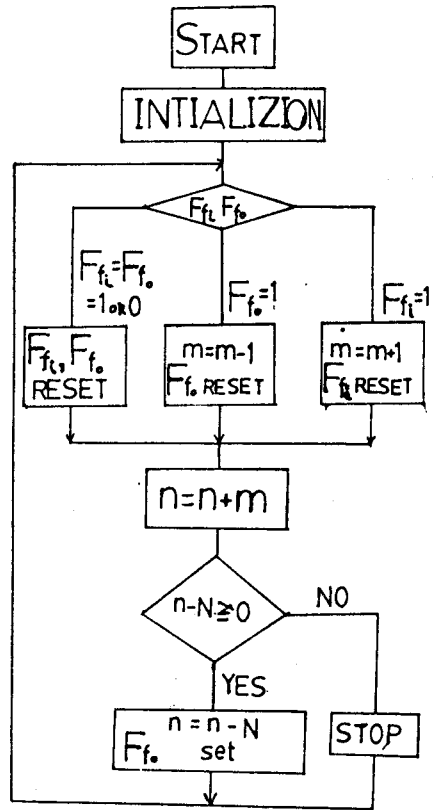
(그림 6) Bit error rate P_e 와 SNR의 관계

First-order Digital PLL을 이용하여 FSK복조회로를 구성하였고 이에대한 error bit rate를 구하여 보았다.

여기서 FSK복조시 누락기의 clock 주파수 와 Digital comparator의 기준치값 N 에 대해 동기범위는 $0 \sim f_c$ 까지 가능한데 시정수 $\leq N$ 을 변화시키는 것으로 동기범위는 독립적으로 변함을 알수 있었다.

또한 error bit rate를 구하는데 있어서도 data error analyzer를 사용 하므로써 error 측정을 간단하고 정확하게 할 수 있었다.

그리고 그림7은 DPLL의 동작에 대한 FLOW CHART 이다.



(그림7) DPLL의 FLOW CHART

Reference

- 1) S.O.R "statistical properties of a Sine wave plus noise"
- 2) Garod. J Grewco. J and Schilling D.L "Response of Digital DPLL" IEEE Tran. Comm. 1974
- 3) Ulrich. L. Rohds "Digital PLL frequency synthesizers"
- 4) Donald. L. Schilling Edwin Hoffm an and Edward. A Nelson "Error rate for digital signals demodulated by an FM discrimination" IEEE
- 5) R. Debuda "Coherent demodulation of frequency shift keying with low deviation ratio" IEEE Trans.