

연속 근사형 전하 전달 A/D 변환기

박 종안  
조선 대학교

문 용선  
조선 대학교

A Successive Approximation Charge-transfer A/D Converter

Jong-an Park  
CHO SUN University

Yong-sun Moon  
CHO SUN University

ABSTRACT

A new circuit configuration for charge-balancing successive approximation Analog-to-Digital converters is described. This consists of an improved successive approximation register (SAR) and a weighted capacitor Digital-to-Analog converter (WCDAC).

Due to the inherent conversion property of the WCDAC, the A/D converter using the WCDAC can be simply implemented by successive approximation conversion method, and 4 bit monotonicity conversion with differential non-linearity less 1/2LSB is completed in 80  $\mu$ S.

I. 서 론

디지털 제어 시스템에 있어서 신호 변환을 위한 전하 전달과 전하 재분배를 이용하는 여러가지 A/D, D/A 변환 방식들이 개발되고 있다. 즉 McCrory와 Gray에 의한 2진 자리값 캐패시터 A/D 변환기(Weighted Capacitor Analog-to-Digital Converter: WCADC) 및 2진 자리값 캐패시터 D/A 변환기(Weighted Capacitor Digital-to-Analog Converter: WCDAC) 그리고 2단 2진 자리값 캐패시터 D/A 변환기(2-Stage WCADC) 등 전하 회로를 이용한 최근의 변환기 개발은 마이크로프로세서와 디지털 LSI 회로의 상용화와 함께 그의 인터페이스로서 중요성이 가증되고 있다.<sup>(1-4)</sup>

이러한 전하 전달 회로는 전류 제어의 저항 레더(Ladder) 회로망을 요구하지 않은 MOS 공정을 이용하는 대체의 절연 특성이 높은 회로 밀도에 최적화되기 때문에 아나로그 신호의 인터페이스로서 마이크로프로세서나 디지털 LSI 회로와 동일 칩상에 설계되거나 또는 특수 목적 I/O 칩상에 통합할 수 있다.<sup>(5)</sup> 그러나 전하 전달과 전하 재분배를 이용하는 WCADC 및 WCDAC의 변환 회로는 고분해능을 위하여 비트수가 증가함에 따라 캐패시터에 상호정합이 어려

워지게 된다. 그러므로 이러한 캐패시터간의 부정합을 감소시키기 위하여 여러가지 새로운 변환 방식이 보고되고 있으며 특히 WCDAC에서 여러가지 방식이 제시되고 있다.<sup>(6-8)</sup>

이에 따라 본 논문에서는 최근에 가장 널리 사용되는 연속 근사형 변환 방식에 의해 고분해능 WCDAC를 이용한 새로운 전하 전달 A/D 변환기를 2진 WCDAC의 고유 특성에 따라 저가로 설계하였다.

연속 근사형 변환 방식은 N 비트 변환에 N 클럭 주기를 요구하므로 이중 기율기 적분 방식이나 서보형 변환 방식과 비교할 때 훨씬 더 높은 변환비를 제공하며, 다중 채널 데이터 통신 시스템과 PCM 장거리 통신 시스템에 있어서 매우 바람직한 특성이다.<sup>(10)</sup>

그러므로 고분해능 WCDAC 개발과 함께 본 논문에서는 연속 근사형 변환 방식에 의한 전하 전달 A/D 변환기의 개발은 그 중요성을 더 하고 있다.

논문에서는 변환 회로 설계, 동작 모드, 그리고 변환에 대한 실험적 고찰을 포함하여 연속 근사형 전하 전달 변환기의 여러가지 특성을 나타내었다.

II. 전하 전달 변환 회로

전하 전달과 전하 재분배를 이용한 여러가지 A/D, D/A 변환 회로가 개발되고 있으며, 그림 1과 같은 2진 WCADC는 일반적인 A/D 변환기에서 D/A 변환 회로나

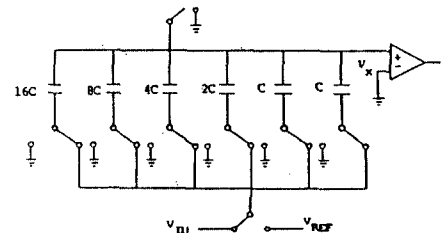


그림 1. 2진 WCADC Binary WCADC

계수기를 포함하는 것과는 다르게 단지 하나의 비교기, 2개의 LSB 캐패시터를 포함한 2진 캐패시터 배열, 그리고 재머를 위한 아나로그 스위치로 구성된다. 그림 2는 2진 자리값 캐패시터를 이용한 D/A 변환 회로를 나타낸다. 이것은 각 캐패시터 배열이 전하 분배기로 사용되며, 이에 따라 일정한 2진 자리값을 갖는다. 또한 전체 정합을 위하여 L-

SB에 상응하는 또 하나의 캐패시터를 병렬 접속한 2진 캐패시터 배열을 이용함으로써 전체 배열 캐패시터에 대한 각 캐패시터비는 절대값의 용량이라기 보다는 2진 비의 몫이다.

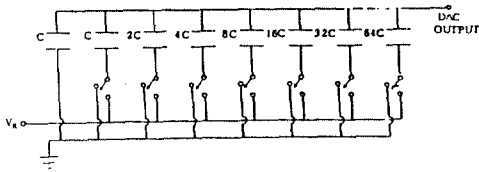


그림 2. 2진 WCDAC  
Binary WCDAC

즉 그림2의 D/A 변환 회로에서 전 캐패시터 용량의 1/2값을 갖는 MSB 캐패시터의 하위 단자가 기준전압에 연결될 때 캐패시터 배열의 마디 전압은 캐패시터 전압 디바이더 원리에 따라 기준 전압의 1/2값을 나타내며, 다음 MSB의 캐패시터 용량은 전 용량의 1/4이므로 이로 인한 마디 전압은 기준 전압의 1/4값이 된다. 그리고 L-SB 용량은 전 용량의 1/2 \* N이므로 LSB에 의한 마디 전압도 기준 전압의 1/2 \* N이 되는데 이것은 연속 근사형 변환 동작과 유사하다.

이와같은 2진 WCDAC의 N비트 변환 회로에서 MSB 캐패시터 용량은 전 용량의 1/2값이어야하며, LSB 용량의 2 \* (N-1)배의 크기가 되는데 이것은 비트수의 증가에 따라 캐패시터비 에러를 야기 시킨다.

그러므로 이러한 문제를 해결하기 위하여 2진 WCDAC가 여러 논문에서 보고 되고 있다. 즉 2개의 캐패시터 배열을 결합 캐패시터 Cs에 의해 중속 연결시키거나, 캐패시터 배열을 병렬 연결시켜 각 캐패시터 배열에 대한 기준 전압을 배당함으로써 근본해능을 달성하는 방식들이 제시되고 있다. 후자는 전압 디바이더를 구성하는 MOSFET의 채널 길이에 의한 자항의 상대적 값이 절대치보다 훨씬 더정확히 실현되기 때문에 가능하다.

### III. 변환 회로 설계

근본해능을 위한 WCDAC의 개발과 함께 연속 근사형 방식에 의한 A/D 변환기의 개발이 적합하다는 것을 나타내었다. 그리고 이와같은 특성에 따라 설계된 WCDAC를 이용한 연속 근사형 A/D 변환기 회로는 그림3과 같다.

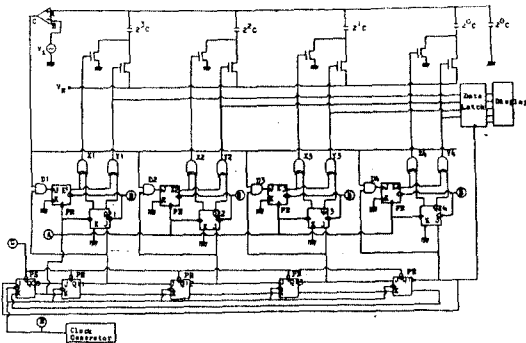


그림 3. 전하 전달 A/D 변환기  
Charge-transfer A/D Converter

그림3의 연속 근사형 전하 전달 A/D 변환기는 3가지의 주요 블록 즉 아나로그 비교기, D/A 변환기, 그리고 귀한 배열에 연결된 연속 근사형 레지스터(Successive Approximation Register: SAR)로 구성 되어 부수적으로 클럭과 리셋 신호를 위한 제어 논리 회로, 그리고 출력 비트를 위한 데이터 래치(Latch)를 포함한다.

변환은 미지 입력 신호가 비교기의 반전(-) 입력 단자 B에 가해지고 캐패시터 배열의 마디 전압이 비반전(+) 입력 단자 A에 가해지는 상태에서 SAR 동작이 실행되는데, 모형에서 5비트 한상 계수기를 구성하여 Q00을 리셋 신호로 Q11-Q14를 SAR 제어 펄스로 사용한다. 리셋 펄스 Q00에서 Q21-Q24와 E1-E4는 리셋 되어 X1-X4는 "High" 상태로 Y1-Y4는 "Low" 상태로 초기화 된다. 다음 펄스에 의해 Q21이 "High" 상태를 유지하는 MSB의 시험 모드시 X1은 "Low" 상태를, Y1은 "High" 상태를 나타내게 되어 캐패시터 배열의 마디전압은 기준 전압의 1/2값을 나타내게 되어 입력 전압과의 비교 동작에 의해 MSB를 결정하게 된다. 즉 입력 전압 Vi가 캐패시터 배열의 마디 전압 Vc보다 작을 경우 비교기 출력의 "High" 상태로 인하여 E1도 "High" 상태가 되어 결국 X1은 "High"를 Y1은 "Low" 상태를 나타내고, 이때의 Y1 상태인 MSB 출력은 "0"값을 나타낸다. 그러나 입력 전압 Vi가 캐패시터 배열의 마디 전압 Vc보다 큰 경우 비교기 출력이 "Low" 상태로 되어 E1도 "Low" 상태가 되므로 X1과 Y1의 상태는 변하지 않게 된다. 그러므로 MSB 출력은 "1" 나타내는데 어느 경우는 MSB의 출력 상태는 제어 펄스 Q14가 "High" 상태를 나타낼 때까지 유지되며 그 때 래치에 저장된다. MSB를 결정한 후 실행된 다음 SAR 펄스에 의해 Q22가 "High" 상태를 나타내므로써 두번째 MSB의 시험 모드가 들어간다. 이때 X2는 "Low" 상태를 Y2는 "High" 상태를 나타내게 되어 캐패시터 배열의 마디 전압은 MSB의 상태에 따라서 기준 전압의 3/4이나 1/4값을 나타내며 이같이 입력 전압과의 비교 동작에 의해 두번째 비트를 결정하게 된다.

이러한 과정은 계속되는 SAR 펄스에 따라 이전의 상태와 함께 연속된 다음 비트를 결정해 나가며 최종 본해능이 달성될 때까지 계속되는데, LSB를 위한 제어 펄스 Q14의 "High" 상태에서 래치를 구동시켜 전변한 비트 값을 다음 Q14의 "High" 상태까지 래치에 저장하게 되며 이들 값이 2진-BCD 코드 변환 회로와 대코더를 통해 디스플레이된다.

### IV. 실험 및 검토

본 논문에서는 설계된 변환 회로의 모형을 제작하여 변환 동작에 대한 시뮬레이션을 실행하는 플로우-차트는 그림4와 같다.

입력 전압의 변화에 따라 4개의 비트를 결정해 가는 캐패시터 배열의 마디 전압 파형은 그림5와 같다. 이것은 최소 디지털 출력 0000에서 3단계 간격으로 최대 디지털 출력 1111까지를 나타낸 것이다. 즉 연속된 비트를 결정해 가는 시험 및 셋트 모드의 제어 펄스 및 캐패시터 마디 전압은 다음과 같다.

그림5에서 리셋 후 MSB 시험 모드시 비교기 (+) 단자의 캐패시터 마디 전압은 기준 전압의 1/2값이 되며 (-) 단자에 연결된 미지 입력 전압과 비교를 실행하게 되

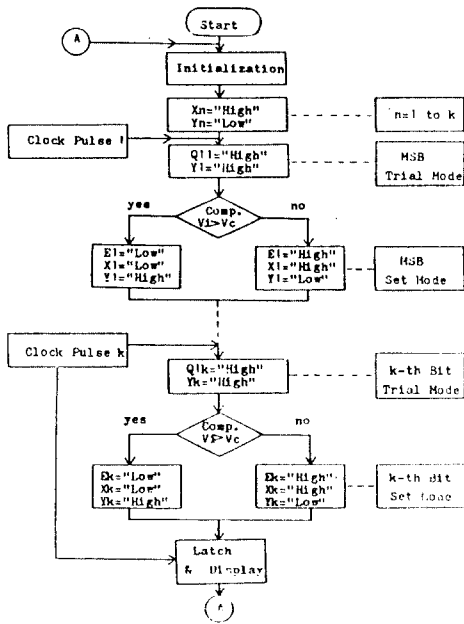


그림 4. 하드웨어 알고리즘  
Hardware Algorithm

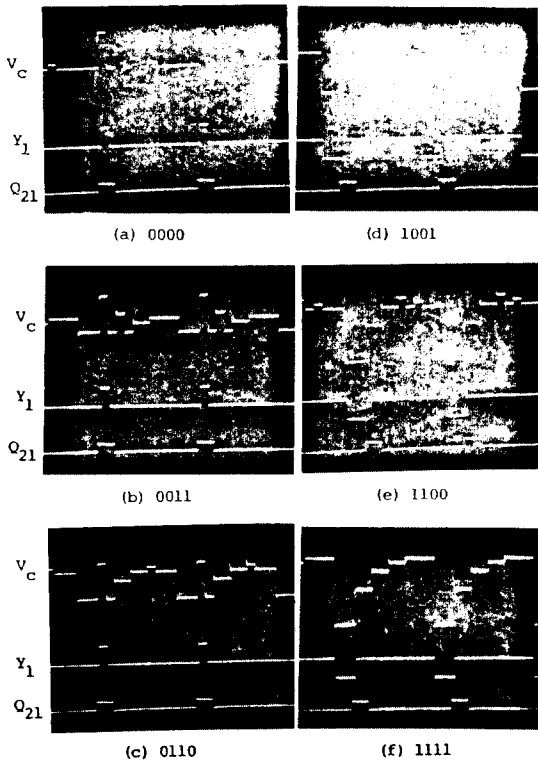


그림 5. 2진 디지털 출력  
Binary Digit Outputs

는데 마디 전압이 입력 전압보다 클 경우 비교기의 출력은 "1"상태가 되어다음 클럭에서 Y1값이 "0"으로 되어 X1값이 "1"로 된다.이 때 MSB 즉 Y1값은 "0"이 되며, Y1과 제어 파형 Q21및 캐패시터 마디 전압은 그림5-(a), (b), (c)와 같다. 또한 마디 전압이 입력 전압보다 적을 경우 비교기 출력은 "0"상태가 되어 Y1은 "1"값을 계속 유지하게 되어 MSB는 "1"값이 되는 것이다. 그리고 이 때의 각 파형은 그림5-(d), (e), (f)와 같다. MSB를 결정한데 이어 다음 MSB를 결정하는 제어 파형 Q22와 Y2 그리고 캐패시터 마디 전압 파형은 그림6과 같은데 (a)는 다음 MSB가 "0"일때를 (b)는 "1"일 때를 나타낸다.

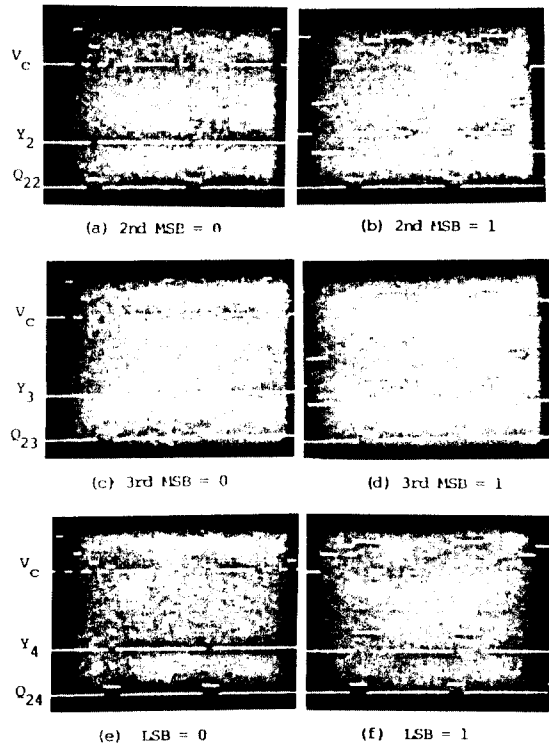


그림 6. 비트의 시험 및 세트 모드  
Trial and Set Modes for Next Bit

다음 3번째 비트를 결정해 가는 제어 파형과 마디 전압이 그림6 (c), (d)에서 그리고 LSB를 결정하는 제어 파형과 마디 전압이 그림6 (e), (f)에서 나타내는데 (a), (c), (e)는 비트가 "0"일 때를 (b), (d), (f)는 비트가 "1"일 때를 나타내는 파형이다. 이들 파형은 "0" 또는 "1"의 상태를 비교하기 위하여 디지털 출력이 "0000" 또는 "1111"이 되도록 하였다.

각 비트의 시험 모드에서 입력 전압의 크기에 따라 결정된 Y1-Y4의 출력 상태는 다음 리셋 신호까지 유지되며 또한 리셋 상태는 각 비트의 시험모드까지 유지된다는 것을 알 수 있다. 변환 속도는 클럭 주파수를 100kHz로 하여 약80 $\mu$ s이었으나 클럭 주파수의 증가와 함께 전

시스템 지연 시간 300nS를 고려한다면 3 $\mu$ S까지 변환이 가능할 것이다.

이상 실험 결과로부터 4비트 분해능이 직선적으로 달성되며 차분 직선성은 양자화 오차 범위를 넘지 않는다는 것을 확인하였다. 이러한 변환회로에 대한 11비트 고분해능 A/D 변환기의 실현도 2mV 고감도 비교기의 이용과 함께 가능할 것이다.

## V. 결 론

마이크로프로세서와 디지털 LSI 회로의 인터페이스로서 고분해능 2진 WCDAC의 개발이 급중되고 있으며, 이것은 2진비 캐패시터 배열에 의한 D/A 변환 동작이 연속 근사형 변환 동작과 일치하므로 연속 근사형 전하 전달 A/D 변환기로서의 응용이 적임하다는 것을 제시하였다.

본 변환기 설계에서는 2진 WCDAC의 고유 변환 특성에 따라 저가, 고속의 SAR를 각 비트에 대해 2개의 FF과 EX-OR 게이트 그리고 1개의 AND 게이트의 최소 소자를 사용하여 구성하였으며 4비트 모형에서 80 $\mu$ S의 변환 주기에 의해 1/2 LSI이내의 오차를 갖는 A/D 변환이 쉽게 달성되었으며 기존 전압 5V에서 비교기 입력 감도 2mV를 고려할 때 이론상 11비트 분해능을 갖는 A/D 변환이 가능하다. 또한 고감도 비교기 사용과 MOS 캐패시터 및 아날로그 스위치의 표우 용량에 대한 분석으로 더 높은 분해능과 정확도를 갖는 A/D 변환기의 설계가 가능할 것이다.

## 참 고 문 헌

- (1) J.L. McCreary and P.R. Gray, "All-MOS charge Redistribution Analog-to-Digital Conversion Techniques-part1", IEEE J. Solid State Circuits, vol. SC-10, pp. 371-379, Dec. 1975.
- (2) R.E. Suarez, P.R. Gray, and D.A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-part2", IEEE J. Solid State Circuits, vol. SC-10, pp. 379-385, Dec. 1975.
- (3) J.F. Albarran and D.A. Hodges, "A Charge-transfer Multiplying Digital-to-Analog Converter", IEEE J. Solid State Circuits, vol. SC-11, pp. 772-779, Dec. 1976.
- (4) T.P. Redfern, J.J. Connolly, S.W. Chin, and T.M. Frederiksen, "A Monolithic Charge-balancing Successive Approximation A/D Technique", IEEE J. Solid State Circuits, vol. SC-14, pp. 912-920, Dec. 1979.
- (5) P.R. Gray and D.A. Hodges, "All-MOS Analog-to-Digital Conversion Techniques", IEEE Trans. Circuit and Systems, vol. CAS-25, pp. 482-489, 1978.
- (6) Roubic Gregorian, "High resolution Swiched-capacitor D/A Converter", Microeletronics Journal, vol. 12, pp. 10-13, 1981.
- (7) Yee Yen Sung, "Two-stage Weighted Capacitor Circuit for Analog-to-Digital and Digital-to-Analog Converters", U.S. Cl. 340-347 DA, p. 1687, 1978.
- (8) K.B. Ohri and M.J. Callahan, "Integrated PCM CODEC", IEEE J. Solid State Circuits, vol. SC-14, pp. 38-46, Feb. 1979.
- (9) Howard T. Russel, "An Improved Successive-approximation Register Design for use in A/D Converters", IEEE Trans. Circuits and Systems, vol. C-AS25, no. 7, pp. 550-554, July. 1978.
- (10) Kripal S. Sangwan and Suresh V. Kibe, "Sign and Magnitude Successive Approximation A/D for Speech Data Systems", IEEE Transactions on Instrumentation and Measurement, pp. 265-266, Sept. 1976.