

고속 주파수 호핑용 직접 디지털 주파수 합성기의 실현에 관한 연구

설 학 조^{*,*} 김 원 후^{**}

*,** 한국항공대학 전자공학과

A Study on the Experiment of the Direct Digital Frequency
Synthesizer for the Fast Frequency Hopping System

Hwak Cho, SEOL* Won Hoo, KIM**

*,** Dept. of Avionics Eng., Hankuk Aviation College

ABSTRACT : The frequency synthesizer for Fast Frequency Hopping System must be capable of a fast tuning with a small step frequency over wide band. The most conventional frequency synthesizer that uses the phase locked loop (PLL) enables the wide band problem but have a poor side of the low resolution and the transient response. In this paper, we have discussed the experimental results of a direct digital frequency synthesizer which can be applicable to the Fast Frequency Hopping System, using digital-to-analog (D/A) conversion techniques. With this system we can find the merits of a fine resolution and the possibility of a fast tuning leaving the problems of transient frequency.

1. 서 론

사회가 점점 다변화되어 감에 따라 통신의 기능에 대한 인간의 욕구도 다양해져 통신에서도 여러가지 통신 방식과 해당 시스템의 개발에 관한 연구가 계속되고 있다. 그 중에서도 고유한 특성으로 인하여 새로운 통신 방식으로 각광받고 있는 대역 확산 통신 방식(Spread spectrum communication)은 군사 통신에 주로 응용되어 왔으나 근자에 와서는 다원 접속 기능과 고도의 비확성, 그리고 잡음과 간섭 및 방해파의 제거능력 등의 장점을 이용하여 비군사 목적 통신용으로도 활발히 연구되고 있다.⁽¹⁾

이러한 대역 확산 통신 시스템 중에서 주파수 호핑(FH: Frequency hopping) 방식은 PN부호(Pseudo Noise Code)라는 특정 부호 계열에 의해 정해진 패턴에 따라서

반송파의 주파수를 차례 차례 불연속적으로 변화시키는 방식⁽²⁾으로서 주로 이동 통신이나 항공 우주 통신에의 응용에 관한 연구가 진행되고 있다.^{(3) (4)}

주파수 호핑 방식의 기본 성능 파라미터인 처리 이득(Process Gain)은 다음 식과 같이 나타낼 수 있다.⁽¹⁾

$$G_p = \text{선택 가능한 주파수의 채널 수} = M$$

윗 식에서 보면 알 수 있듯이 주파수 호핑 방식의 시스템 성능은 주로 주파수 합성기에 의해 크게 좌우되는데 기존 시스템에서는 주로 위상 고정 루프(PLL: Phase-locked loop) 방식을 채택하므로써 광대역에 걸쳐 많은 주파수의 발생이 가능하게 되었다. 그러나 동작 범위가 광대역일 경우에는 주파수의 해상도(Frequency Resolution)가 떨어지게 되어 시스템의 점유 대역폭에 비해 채널의 사용 효율이 낮아지게 되며 수신시에는 동기 포착과 동기 유지

가 용이하지 못하게 된다. 뿐만 아니라 높은 해상도를 유지하기 위해서는 기존 주파수가 낮아야 한다는 단점이 지적되고 있어 그에 관한 연구도 계속되고 있다.⁽⁵⁾

또한 코히어런트 주파수 호핑(Coherent Frequency Hopping)방식이 쉽기 않다는 것도 중요한 시스템 열화 요인이 되고 있다.⁽²⁾

본 논문에서는 이러한 단점들을 보완할 수 있는 주파수 합성기의 형태인 직접 디지털 주파수 합성기(Direct Digital Frequency Synthesizer)의 원리에 대해 설명하고 시스템 구성 방법 및 실험 결과에 대해서 논하기로 한다.

2. 이론적 배경

기존의 주파수 호핑 방식에 이용되는 PLL방식의 결점을 보완하기 위한 직접 디지털 주파수 합성기(DDS)는 디지털 회로를 이용하여, 동작 원리가 비교적 간단하고 발생 주파수의 안정도가 뛰어나며 주파수의 발생 수나 주파수의 위상을 적극적으로 제어할 수 있는 시스템으로 그림 1.은 그 원리를 간단하게 나타낸 것이다.

$$f = \frac{d\theta}{dt} \quad (1)$$

다음 식에서 알 수 있듯이 순서 시간 변화량에 대한 순서 위상 변화량은 주파수의 크기를 나타낸다.

즉, 그림에서 보면, 사용되는 2진 데이터의 부호 길이(Code Length)가 N이라할 때 $d\theta$ 는 회로에 가해지는 클럭 주파수의 시간 변화량 Δt 가 되며 $d\theta$ 는 매 클럭의 주기마다 위상 어큐뮬레이터에 가해지는 위상 데이터의 변화량 $d\theta$ [rad]이 된다.

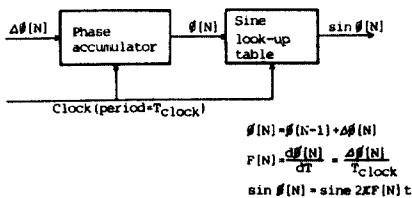


그림 1. DDS의 기본 원리
The basic principle of DDS

위상 어큐뮬레이터에 가해지는 0 [rad]은 매 클럭마다 또 다른 위상 데이터 0 [rad]을 발생시키게 되고 그 위상 데이터는 sine look-up table에 검색지게 된다.

이 데이터는 다시 sine look-up table에 의해서 위상 대 진폭(Phase to Amplitude)변환이 이루어지 출력측에는 매 클럭마다 Analog 파형의 진폭 표본치가 나타나게 된다.

2.1 DDS의 원리

그림 2.는 직접 디지털 주파수 합성기의 블록 다이어그램(block diagram)을 나타낸 것이다. 주파수합성기의 첫 부분은 위상 어큐뮬레이터(Phase accumulator)로서 주파수의 범위와 해상도를 결정하게 되며, 두번째 부분은 위상 대 진폭 변환기(Phase to Amplitude converter)로서 직인파(Sine Wave)의 위상 값을 진폭 값으로 바꾸어 준다.

위상 어큐뮬레이터는 단순화 된 비트(bit) 2진 어큐뮬레이터로 가해지는 클럭 주파수 f_c (Clock Frequency)에 의한 순서 출력 변화 값은 2π 와 $2\pi K$ 사이의 값에 해당한다. 주파수 제어 수(Frequency Control Number) K 는 $1/f_c$ 의 단위를 통해 어큐뮬레이터에 가해지는 위상과 스텝을 나타내며 어큐뮬레이터는 2π 와 $2\pi K$ 사이에서 overflow가 발생하게 된다. 이 overflow의 발생을 곧 출력 주파수와 관계 되어 어큐뮬레이터에서 출력되는 데이터의 길이가 K이면 출력 주파수는 다음과 같은 값을 갖게 된다.

$$f_c = Kf_c/2^N \quad (2)$$

여기서 K 는 정수이므로 출력 주파수는 $f_c/2^N$ 의 크기

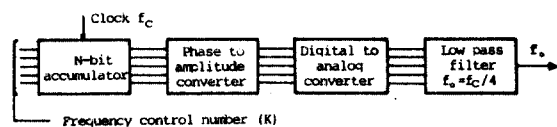


그림 2. DDS의 블록 다이어그램
Block diagram of DDS.

만큼씩 증가하게 된다.

위상 대 진폭 변환기는 원하는 파형에 대한 진폭치를 갖도록 프로그램된 sine look-up table을 사용하며 EPROM을 대신 사용할 수도 있다.

이 때 저장되는 데이터는 등간격의 위상으로 나뉘어져 그에 해당하는 데이터가 저장되는 것이 좋다.

4. DDS의 구성

그림 3.은 DDS의 구성을 나타낸 것이다.

본 논문에서는 FH 시스템에 사용할 주파수 합성기에 관한 것이므로 사인(또는 코사인)파형의 발생을 그 목적으로 한다. 즉, 사인 파형은 0° 축과 180° 축, 그리고 90° 축과 270° 축을 중심으로 서로 대칭 관계에 있으므로 이러한 대칭성을 이용하면 ROM의 한계 기억 용량에 비해 보다 많은 위상 데이터를 저장할 수 있다.

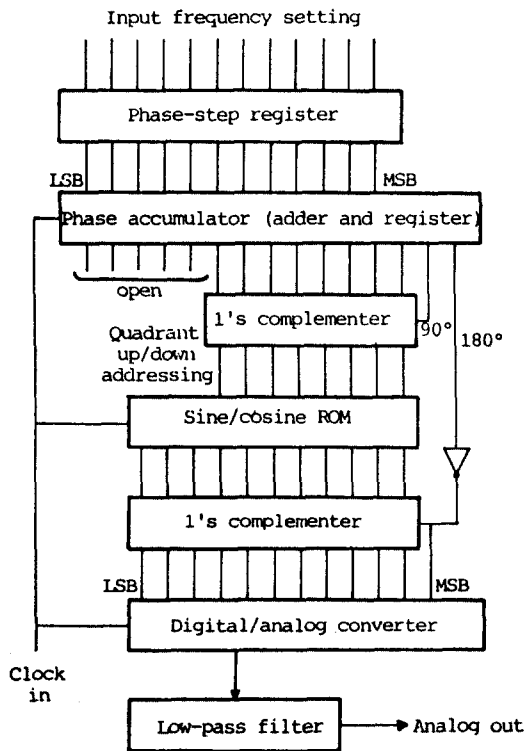


그림 3 DDS의 구성도
Detailed block diagram of DDS.

이러한 기술은 위상 어큐뮬레이터에서 출력되는 데이터 중 2개의 최상위 비트(MSB)를 이용하여 신호의 4분원(Quadrant)을 결정하게 된다.

위상 어큐뮬레이터에서의 출력 데이터 중 두 번째 최상위 비트(Second MSB)는 ROM전단의 1의 보수(1's complement)회로에 가해서 신호의 2상함과 4상함에 대한 ROM 데이터를 1의 보수와시키며 첫 번째 최상위 비트(First MSB)는 ROM 후단의 1의 보수 회로에 가해서 신호의 3상함과 4상함에 대한 ROM 데이터를 변환시킨다. 여기서 1의 보수 회로를 사용한 이유는 2의 보수 회로보다 구성이 용이하기 때문이다.

이 보수 회로는 Exclusive OR 게이트를 사용하여 간단히 구성할 수 있다.

위상 어큐뮬레이터는 741003 Full Adder와 741074 Dual D Flip Flop을 사용하여 구성하였으며 EPROM은 D2732D를, D/A 변환기는 DAC 1028LCN을 사용하였다.

ROM에 의한 출력은 D/A 변환기를 거쳐 계단파 형태의 아날로그 파형이 출력으로 나타나게 된다. 그림 4.는 DDS에 관한 동작 설명을 그래프로 나타낸 것이다.

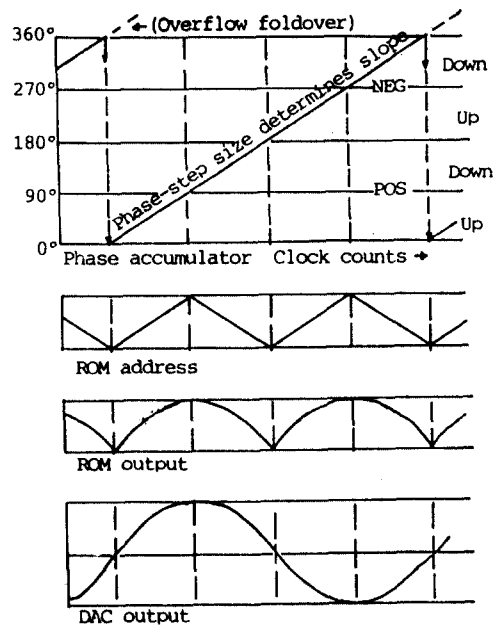


그림 4 DDS의 동작
DDS operation.

또한, 실제 구성에서 DAC의 스위칭 시간의 차에 따른 Glitch 잡음을 최소화 시키기 위하여 DAC 전단에 D Flip-Flop을 이용한 Buffer를 구성하여 부착했다. 최종 출력단의 저역 통과 필터(LPF)는 D/A 변환기의 출력이 아날로그 신호(Analog Signal)의 표본치(Sampling Value)에 해당되므로 매 클럭마다 나타나는 등간격 표본치의 불연속 성분을 보완해 주는 역할을 하게 된다.

5. 실험 방법 및 결과

본 논문에서는 발생주파수의 해상도를 1Hz로 유지하고 발생 주파수 대역폭이 1Hz 에서 202kHz 까지 되도록 시스템을 설계하였다.

식 (1)에서 보면 $f_c=1.040MHz$, $N=20$ 일 경우에 출력 주파수의 증가 스텝은 1Hz가 되어 해상도가 1Hz로 유지되며 제어 입력 수(Control Number)를 10개 사용하므로서 0Hz에서 20Hz까지의 출력 주파수 변환을 가능하게 하였다.

위상 어큐뮬레이터의 순시 출력은 ROM의 어드레스를 지정해 주게 되며 ROM은 순시 어드레스 변화에 따른 순시 진폭치를 출력하게 하기 위하여 One Function 기능을 갖게 프로그래밍하여 사용하였다. ROM의 데이터 양은 $256 \times 8 \text{ Bytes}$ 이며 2개의 최상위 비트에 의하여 전체 파형이 완전한 아날로그 형태를 갖게 된다.

사진 3.은 2개의 MSB에 의한 파형의 변화를 나타낸 것이며 사진 4.는 입력이 0000101010101010일 때의 DAC출력 파형과 필터 출력 파형을 나타낸 것이다. 또한 사진 5.에는 입력이 0000000101010101일 때의 DAC 출력 파형과 필터 출력 파형을 나타내었다.

C. 결 론

이 주파수 합성기의 신호는 1st, 2nd MSB에 의해 4분원이 결정되기 때문에 한 주파수당 최소한 4주기의

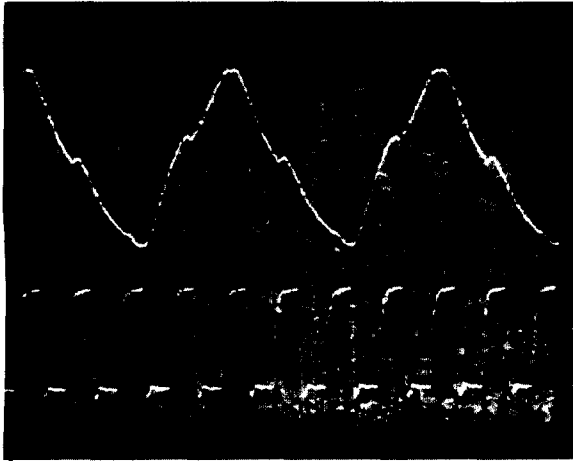
클럭 펄스가 필요하게 된다. 그러므로 LPF의 대역폭은 클럭 주파수의 1/4크기로 만족할 수 있다. 이 시스템에서의 LPF 대역폭은 ROM에 저장된 데이터가 등간격의 위상에 대한 것이어서 매 클럭마다 표본치가 출력되므로 표본화 이론에 따른 나이퀴스트 대역폭(Nyquist Bandwidth)의 1/2 이 필요하게 된다.

본 논문에서는 간단한 2차계 LPF를 구성하여 실험을 하였기 때문에 발생 주파수가 높을 때에는 완벽한 필터링을 하지 못하였으나 필터의 구성 조건이 난이한 편이 아니므로 완벽한 필터링을 할 수 있을 것이다.

또한, 이 주파수 합성기는 클럭 주파수와 위상 어큐뮬레이터의 출력 데이터 양을 증가시키므로서 발생주파수의 범위를 확장할 수 있었으며 이에 입력되는 위상 데이터를 선택함으로써 출력 주파수의 범위를 임의적으로 선택할 수 있었다. 이 주파수 합성 범위의 해상도를 임의로 선택할 수 있고 이를 보다 출력되는 주파수를 세분화 또는 변조기를 이용하여 실제 시스템 사용 주파수로 변환시킬 수 있으므로 많은 주파수 조합 방식(Cost Function Method)에의 응용이 가능하게 된다.

이 주파수 합성기에서 시스템 성능의 열화 요인으로는 첫 째, 주파수의 정확도와 안정도 둘째, 위상 양자화 및 진폭 양자화에 따른 양자화 잡음이 있다.

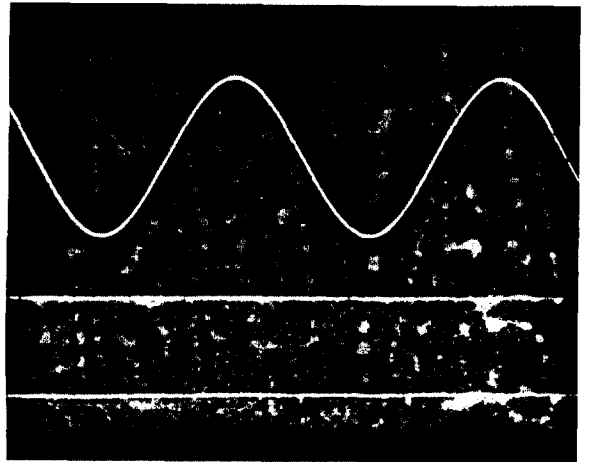
클럭 주파수의 정확도와 안정도가 떨어질 경우 위상 데이터가 등간격이 되지 않을 때와 마찬가지로 의사 주파수(Curious Frequency)의 발생으로 인해 필터 구성에 문제가 있게 되지만 클럭 주파수 발생기에 안정화 회로를 부착하므로써 해결될 수 있을 것이며 양자화 잡음은 기억 용량이 크고 출력 데이터의 비트 수가 많은 ROM의 개발이 그 요인이 될 것이다.



(a) DAC 의 출력 파형

채널 1 ; $1 \mu\text{sec}/\text{Div}$, $0.2 \text{ V}/\text{Div}$

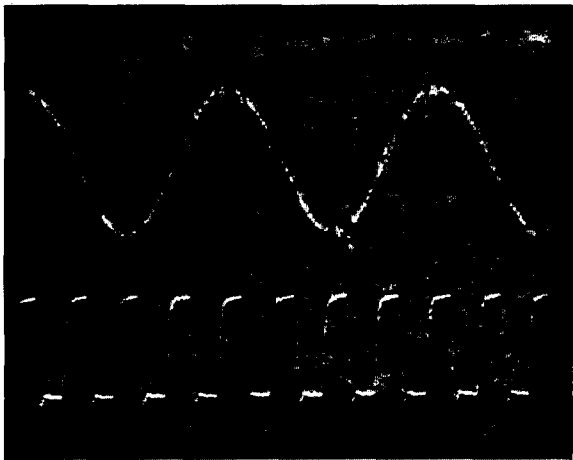
채널 2 ; $1 \mu\text{sec}/\text{Div}$, $2 \text{ V}/\text{Div}$



(a) DAC 의 출력 파형

채널 1 ; $0.2 \text{ sec}/\text{Div}$, $2 \text{ V}/\text{Div}$

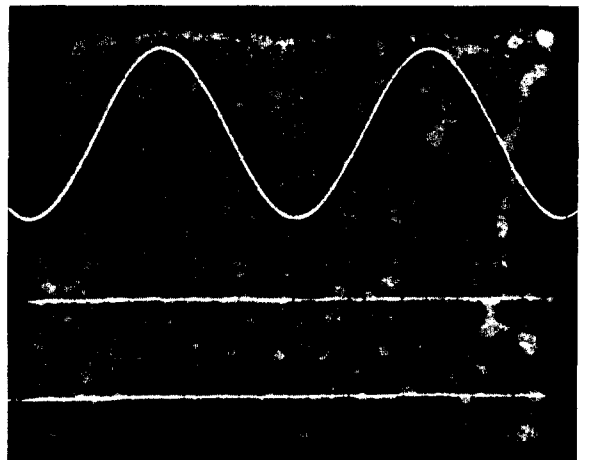
채널 2 ; $0.2 \text{ sec}/\text{Div}$, $2 \text{ V}/\text{Div}$



(b) 필터를 기친 후의 출력 파형

채널 1 ; $1 \mu\text{sec}/\text{Div}$, $0.2 \text{ V}/\text{Div}$

채널 2 ; $1 \mu\text{sec}/\text{Div}$, $2 \text{ V}/\text{Div}$



(b) 필터를 기친 후의 출력 파형

채널 1 ; $0.2 \text{ sec}/\text{Div}$, $1 \text{ V}/\text{Div}$

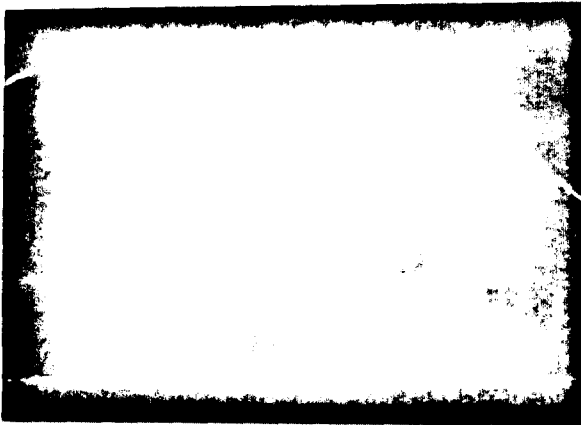
채널 2 ; $0.2 \text{ sec}/\text{Div}$, $2 \text{ V}/\text{Div}$

사진 1. 시스템 출력 중 최고 주파수 파형

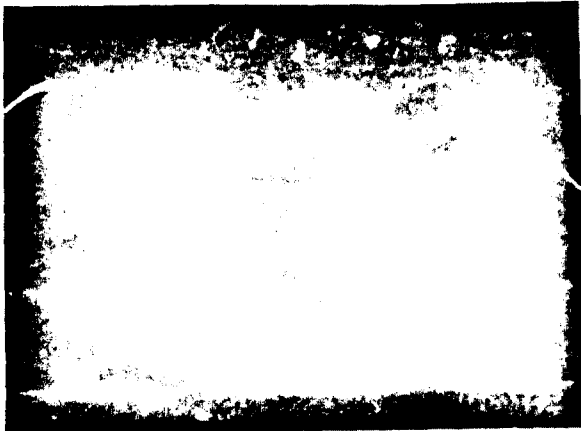
사진 2. 시스템 출력 중 최저 주파수



(a) 1st MSB 를 연결하지 않았을 때



(b) 2nd MSB 를 연결하지 않았을 때



(c) MSB 가 모두 연결된 상태에서 DAC 의 출력

사진 3. 입력이 0000001010101010 일 때 1st 와 2nd MSB 가 출력 파형에 끼치는 영향

채널 1 ; 50 μ sec/Div , 2 V/Div
 채널 2 ; 50 μ sec/Div , 2 V/Div



(a) DAC 의 출력 파형

채널 1 ; 10 μ sec/Div , 2 V/Div

채널 2 ; 10 μ sec/Div , 2 V/Div

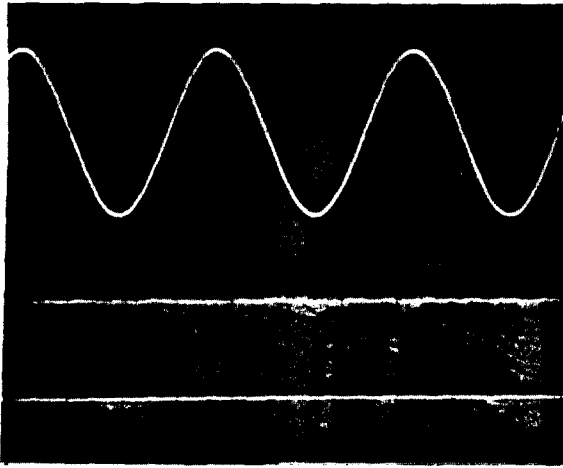


(b) 필터를 거친 후의 출력 파형

채널 1 ; 10 μ sec/Div , 1 V/Div

채널 2 ; 10 μ sec/Div , 2 V/Div

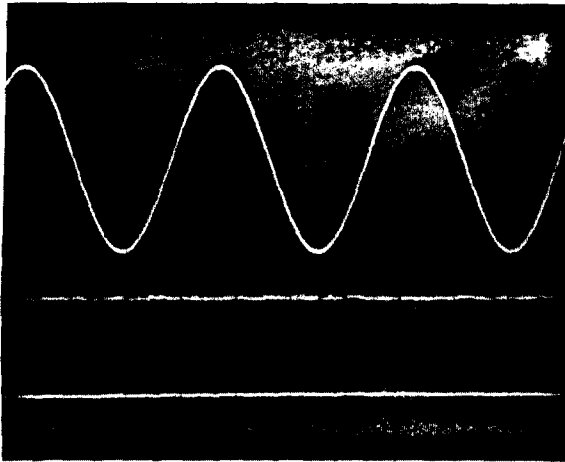
사진 4. 입력이 0000110101010101 일 때의 출력 파형



(a) DAC 출력 파형

채널 1 : 0.2 msec/Div , 2 V/Div

채널 2 : 0.2 msec /Div , 2 V/Div



(b) 필터를 거친 후의 출력 파형

채널 1 : 0.2 msec/Div , 2 V/Div

채널 2 : 0.2 msec/Div , 2 V/Div

사진 5. 입력이 0000000101010101 일 때의 출력 파형

REFERENCE

- (1) G.R.Cooper, C.D.McGillem, Modern communication and spread spectrum, McGraw-Hill Book Company:New York, pp.268-269,1986.
- (2) R.C.Dixon, Spread spectrum system, Jhon Wiely & Sons,Inc.:New York,pp.126-136,1984.
- (3) W.C.Y.Lee, Mobile communications engineering, McGraw-Hill Book Company : New York, pp.435-437,1982.
- (4) R.A.Strauch, D.A.Sunderland, et al, "CMOS/SOS Frequency synthesizer LSI circuit for spread spectrum communication," IEEE, Journal of solid-state circuits, vol.SC-19, no. 4, Aug.1984.
- (5) B.S.Glance, "New phase lock loop circuit providing very fast acquisition time," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-33, no.9, Sept. 1985.
- (6) E.R.Hnatek, A user's handbook of D/A and A/D converters, John Wiely & Sons :New York,pp.210-214,1976.