

DQSM 알고리즘을 이용한 다중 채널 FIR 디지털 필터의 구성

임영도*
동명전문대학 전자과*

김명기**
동아대학교 전자공학과**

Multi - Channel FIR Digital Filter Hardware Implementatin Using DQSM Algorithm.

Young Do Lim *
Dong - Myung Junior College*

Myung Ki Kim **
Dong - A University * *

Abstract

A method on the hardware implementation of multi - channel Finite Impulse Response(FIR) Using Digital Quarter Square Multiplication (DQSM) algorithm is proposed. ROM requirement can be reduced by using the double precision algorithm and the absolute value circuit, and also execution speed can be improved by reducing logic level steps of absolute value circuit. the frequency response of FIR digital filter implemented by the above method is quite agreeable with the frequency response simulated by Remez exchange algorithm. If coefficients should be stored in the RAM instead of the ROM, this method is expecially useful in the case of FIR digital filter with time - varying coefficients.

1. 서론

동작속도의 개선과 비용 절감을 위한 승산기법에 관한 많은 논문들이 발표되었다. (1,2) 1980년 E.L.Johnson 은 아날로그 연산에 이용하는 QSM 알고리즘을 응용한 DQSM 알고리즘을 이용하여 2의 보수 승산회로를 제안하였고(3) 1982년 Chen Chang - Fuu 는 DQSM 알고리즘을 이용하여 FIR 디지털 필터를 구성한 바 있다(4) 본 논문에서는 DQSM 알고리즘의 원리와 구성에 대해 기술하고 Double Precision 알고리즘과 절대치 회로를 이용하여 ROM 용량을 감소시키고, 절대치 회로의 논리레벨 단계를 줄임으로 동작속도를 개선할수 있었다.

위의 기법으로 구성된 4 채널 32차 16 비트

디지털 필터의 주파수 응답은 Remez exchange 알고리즘으로 시뮬레이션하여 얻어진 주파수 응답과 잘 일치함을 보였다.(5)

계수를 ROM 대신에 RAM 에 기억시킨다면 계수가 시간적으로 변하는 FIR 디지털 필터를 구성하는 경우에 아주 유용하다.

2. DQSM 알고리즘의 기본 원리와 구성.

아날로그 컴퓨터에서 가장 일반적으로 이용하고 있는 승산 기법은

$$x \cdot y = 1/4 \{ (x + y)^2 - (x - y)^2 \} \dots \dots (1)$$

이다.

B 비트 워어드를 갖는 두 오퍼랜드의 곱은 그림 1과 같이 실현된다.

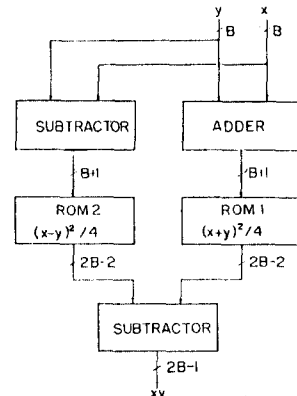


그림 1. DQSM 의 기본 구성도

Basic block diagram of DQSM.

두 오퍼랜드의 곱과 차의 제곱값을 ROM 에 기억시키기 전에 그림 2와 같은 절대치 회로를 이용하면 ROM 의 용량을 1/2도 감소시킬수 있다.

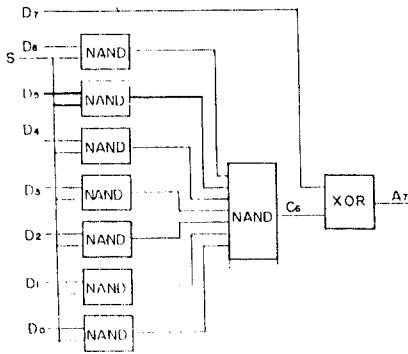


그림 2. 절댓치 회로 (1단)
Absolute value circuits(One stage).

이러한 기법을 이용한 FIR 디지털 필터의 구성도는 그림 3 에 나타 난다.

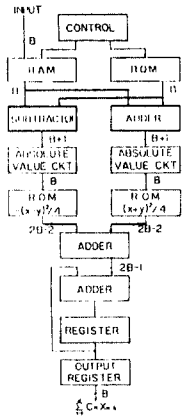


그림 3. DQSM 에 의한FIR 디지털 필터의 구성도

Block diagram of FIR digital filter by DQSM

승산된 결과의 비트의 일부를 Rounding 하므로 ROM 의 용량을 감소시켜 비울 절감을 기할수 있다.

이때 발생하는 절댓치의 최대 2차는

$$B_i < (N + 1) \cdot 2^{-(2B - 2 - 1)} \dots \dots (2)$$

로 된다.

3. Double precision 알고리즘.

정도의 비트수가 증가하면 전송된 기법은ROM 의 용량이 지수적으로 증가하여 실용적이지 아니므로 부호비트를 포함하는B 비트 그룹과B-K 비트로 구성되는 그룹 두 개의 그룹으로도 나누어 승산하면

$$X \cdot Y = (-x^0 + \sum_{j=1}^{k-1} x^j \cdot 2^{-j}) \cdot (-y^0 + \sum_{j=1}^{k-1} y^j \cdot 2^{-j}) + (-x^0 + \sum_{j=1}^{k-1} x^j \cdot 2^{-j}) \cdot (\sum_{j=1}^{B-K} y^{j+k-1} \cdot 2^{-j}) 2^{-k+1} +$$

$$(-y^0 + \sum_{j=1}^{k-1} y^j \cdot 2^{-j}) \cdot (\sum_{j=1}^{B-K} x^{j+k-1} \cdot 2^j) \cdot 2^{-k+1} +$$

$$(\sum_{j=1}^{B-K} x^{j+k-1} \cdot 2^{-j}) \cdot (\sum_{j=1}^{B-K} y^{j+k-1} \cdot 2^{-j}) \cdot 2^{-2k+2} \dots \dots (3)$$

으로 되어 많은ROM 의 용량을 감소시킬수 있다.

4. 다중 채널 방식.

그림 4와 같이RAM 과ROM 을 여러어드레스로써 디코딩하여 입력채널수만큼 메모리영역을 할당하고 멀티플렉서에서 나오는 해당채널 입력정보를RAM 에 기억시키는 것이다.

이때RAM 은 전의 입력정보 Xn-1을 먼저 출력시켜 (BUFFER Ck="H", R/w="H") 메모리 버퍼레지스터로 전송한 다음 현재의 입력정보Xn 을 기억시킨다(BUFFER Ck = "L", R/w = "L").

4 채널 32차 16비트 FIR 디지털 필터를 구성하기 위해 저역필터 2개, 대역필터 2개를 이용하였으며 Remez exchange 알고리즘으로 시뮬레이션하여 이들 필터의 규격과 계수의 값을 구하였다.

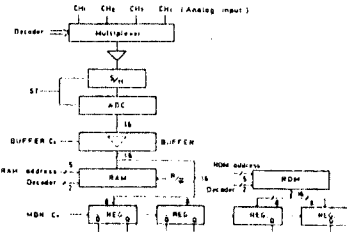


그림4. 다중 채널 방식을 위한 구성도.

Block diagram for multi-channel method

5. 실험결과 및 고찰.

1) 구성된 필터의 주파수 응답은 Remez exchange 방식으로 시뮬레이션하여 얻어진 주파수 응답과 잘 일치 하였다.

2) 실시간 처리로써 사용할수 있는 최대 주파수는 약 500KHZ (TTL ROM IC 사용), 70KHZ (MOS ROM IC 사용) 정도 이다.

6. 결 론.

1) Double precision 알고리즘과 절댓치 회로들 이용하여ROM 용량을 감소 시켰다.

2) 절댓치 회로의 논리레벨단계를 줄이므로 동작속도를 개선 하였다.

3) 계수들ROM 대신에RAM 에 기억시키면 시변계수FIR 디지털 필터의 구성이 용이 할 것이다.

4) 제안된 기법으로 구성된 필터의 구성도는 그림5에

나바 낸다.

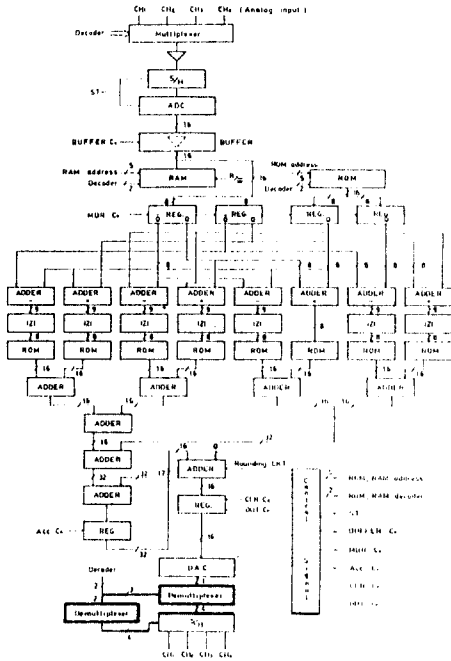


그림 5. 하드웨어 시스템 구성도.

Block diagram of hardware system.

7. 참고 문헌

- 1) H. Ling, "High-Speed Computer Multiplication using a Multiple-Bit Decoding Algorithm," IEEE Trans. on Computer, Vol. C-19, No. 8, PP. 706-709, Aug. 1970.
- 2) J. Robert Logan, "A Square-Summing High-Speed Multiplier," Computer Design, PP. 67-70, June 1971.
- 3) E. L. Johnson, "A Digital Quarter Square Multiplier," IEEE Trans. on Computer, Vol. C-29, No. 3, PP. 258 - 261, Mar. 1980.
- 4) Chen Chang-Fuu, "A Study of FIR Digital Filter Algorithms and Hardware Implementation," Dissertation. PhD. Stanford Univ. PP 84 - 103, 1982.
- 5) Young Do Lim, Myung Ki Kim, "Multi - Channel FIR Digital Filter Hardware Implementation Using Vector Multiplication Structure,"

한국 통신학회지 제10권 제6호, PP .327 - 334,
1985년 12월.