

## VLSI 설계 자동화에 대한 연구

경 중 민  
한국과학기술원 전기및 전자공학과

## A Study on the VLSI Design Automation

Chong Min Kyung  
Department of Electrical Engineering, KAIST

## Abstract

This paper reviews various CAD(Computer-Aided Design) or DA(Design Automation) procedures for specification, design and verification of VLSI chips. The growth and widening of engineering achievements and applicational varieties in this revisited field has been truly explosive for the last five years. Recent trends in VLSI/CAD area and their possible implications on the future evolution of DA society are briefly touched upon. The relative importance of chip specification and design capability within the whole Korean electronics infrastructure in the future is explained with several possible suggestions for coping with upcoming difficulties already being seen in this challenging yet promising area.

## I. 서 론

$10^6$  개의 트랜지스터를  $1\text{cm}^2$  이하의 반도체 칩안에 만들 수 있는 기술을 우리는 이미 가지고 있다. 그러나, 이만한 복잡도의 회로를 원하는 동작을 하도록 어떻게 설계하며, 어떻게 higher-end 응용을 찾느냐 하는 문제는 아직 남아 있다. 설계 능력은 응용범위를 넓혀 주고, 새로운 응용 분야의 개척은 설계능력 함양의 촉진제가 된다. VLSI 칩의 설계 능력은 복잡한 시스템을 어떻게 하면 빨리  $1\text{cm}^2$  이하의 실리콘 칩 안에 실현해 놓는가에 관한 것으로서 complexity management 라고 볼 수 있다. 웬만한 반도체 공정에

의한 VLSI 칩의 공정기간을 대략 1-2달 이며 설계 기간도 이 정도 보다 오래 걸리지 않는 것이 현재의 상황이다. VLSI 설계 기간을 단축하기 위한 방법으로는 첫째, design media 인 functional block 의 크기, 전기적 특성 등을 균일화, 체계화하는 것과 둘째, design aid 인 CAD tool 들을 적극 활용하는 방법이 있다. 전자에 예로는 systolic array, parameterized signal processor, PLA 와 같은 structured hardware 등이 있으며, 후자는 구조적으로 heterogeneous 한 system 을 설계함에 있어서 다양한 cell library 와 tool box 를 이용하되, human interruption 이 큰 몫을 하게 되는 경우이다.

이 논문에서는 주로, 후자의 CAD tool 활용에 의한 설계 자동화를 전제로 하여, II 장에서는 각 CAD tool 의 역할과 상호관계를 설명하였으며, III 장에서는 이 분야에서의 국내 상황의 분석, 미래에 예측되는 이 방면의 연구 방향 및 여러가지 문제점과 대책에 대하여 논의하였다.

## II. VLSI 설계용 CAD tools

VLSI 설계를 위한 CAD system 은 그림 1에 보인 것 처럼 database 와 CAD tool 로 구성되어 있다. (그림 1) 그림 1은 CAD system 의 일반적인 흐름을 보이는 것으로서, full custom, gate array, PLA 등의 design style 에 따라 다르게 되지만, 여기서는 특수한 설계 형식의 세부 사항은 간과하기로 한다. Database 는 netlist, cell library 와 process file 의 셋으로 구성되어 있다. 각 CAD tool 의 입력 자료는 database 에서 오며, 출력 자료도 database 에 쓰이게 된다. 예를 들어서, 여러 logic/functional cell 들의 graphic symbol 을 갖춘 Schematic editor를

써서 graphic terminal 상에서 설계자가 그림을 발생시키면, 각 module 간의 연결도를 나타내는 netlist 가 만들어져서 database 에 저장되면 logic simulator 등의 program 에서 입력 자료로 활용하게 된다. 일단, 논리, 기능 레벨의 동작이 시뮬레이션을 통하여 확인되면 배치, 배선 과정이 수행되어 mask layout 을 발생시킨다. 이 과정에서 필요한 확인 작업으로서 mask layout이 design rule 을 모두 만족시키는가에 대한 DRC (design rule check) 와 layout 으로부터 추출된 회로 시뮬레이션을 통하여 논리기능 및 timing spec. 등이 제대로 만족되었는가를 조사하기 위한 circuit extraction 과 timing simulation 등의 작업이 있다. 각 CAD tool 에 대해 항목별로 세부 설명을 덧붙이면 다음과 같다.

#### i) Schematic Entry

소위 electronic paper 로서 documentation 및 수정을 용이하게 할 수 있으며, drawing 이 끝나면 각 graphic symbol 간의 netlist 가 발생되어 database 에 저장되도록 하는 tool 이다. 최신 경향은 logic level 과 functional level 을 혼합하는 multi-level design entry, 모든 command 를 icon-driven 방식으로 하는 것, simulation 과 design entry 를 multi-window 에서 동시에 수행하는 것, 극부적인 인공지능을 이용한 회로의 간략화, Standard IC 에의 할당작업 등을 포함하는 intelligent editor 로의 전환이라고 할 수 있다. 결국, 이 방식은 human designer 에 의한 interactive 방식으로서 design parameter 만 설계자가 제공하는 batch 방식의 Silicon compiler 와 상호 보완적인 관계에서 사용될 것으로 생각된다. 궁극적으로 새로운 구조의 회로, leaf cell 이나 특수용도 회로의 설계에는 Interactive schematic editor 가, 다른 경우에는 silicon compiler 에 의한 설계방식이 쓰이게 될 것이다.

#### ii) Layout editor 및 cell generator

Cell library 를 구축하기 위한 Leaf cell 설계시에는 interactive layout editor 나 equation-driven cell generator 등이 쓰인다. 후자는 그림 2(a)와 같은 입력식을 받아 들여 2(b)와 같이 physical layout 을 발생시키는 데, 이때 process-dependent parameter 는 database 에서 공급되므로, 설계자는 따로 고려하지 않아도 된다.

Interactive layout 방식에서도 직접 physical layout 을 다루는 경우와, geometrical parameter 는 공급되는 database 에 의존하면서 topological information 만 다루는 stick editor 와 postprocessor 인 compactor 가 있다. Compactor 에서는 회로내의 각 component 간의 위치적 관계와 design rule 을 고려하여 stick diagram 을 압축시킨 후에 실제 mask layout 을 나타내는 CIF, GDSII 등의 format 으로 변환시켜 준다. Layout editor 에는 설계 도면의 여러 부분을 각각 다른 배율로 동시에 볼 수 있는 multi-window 방식, editing 과 동시에 DRC 가 자동적으로 이루어지게 하는 방식, 특수 hardware 를 사용한 accelerator 등의 여러가지 경향이 나타나고 있다. Cell generator 는 CMOS 의 경우 dual graph 상에 같은 sequence 의 Euler path 를 찾는 문제를 푸는 것이며, Kilo-cell, mega-cell 등을 macro 로 정의해 줄 수 있는 hierarchical cell structure 를 처리하여야 한다.

#### iii) Functional/Logic simulation

Functional, register-transfer 혹은 logic 레벨에서의 정상 동작을 확인하기 위한 시뮬레이션으로서, 회로의 구성도를 나타내는 netlist, 각 block 의 behaviour 와 입력 stimulus 를 받아들여 출력파형 등을 계산해 줌으로써 예상한 결과와의 비교를 통해 회로동작의 정상 여부를 가리게 된다. Hardware 구성을 나타내는 description 언어로서는 behavior 와 structure 면을 다루는 최근의 VHDL(VHSIC Hardware Description Language) 등이 있고, 비교적 low-level 에서의 physical layout, interface 등을 다루는 EDIF(Electronic Design Interchange Format)이 주목을 끌고 있다. 복잡한 회로의 시뮬레이션을 빨리 수행하기 위하여 hardware simulation engine, 혹은 기존의 IC 칩을 포함하는 큰 회로의 경우에 physical modelling 등의 기법을 사용하기로 한다. 또한, large-scale circuit 에서의 temporal sparsity 성질을 이용하는 event-driven 기법, structural sparsity 성질을 이용하는 selective trace 기법 등이 simulation 시간을 줄이는데 쓰인다.

#### iv) Placement and routing (배치와 배선)

회로내의 각 module 의 자체 정보 (크기, pin 위치)와 상호 연결도 (netlist)로 부터 주어진 목적함수 (칩 크기, 배선길이, 동작속도 ...)를 최소화하도록 주어진 칩 평면상에

각 module 을 배치, 배선하는 과정이다. 각 module 의 크기, 모양의 균일 여부, 채널용량, 배선층 수 등에 의해 결과 차이가 달라진다. 이 문제는 거의 다 NP-complete 하므로 실제의 경우, heuristic solution 을 찾게 된다. 대개 배치 과정은 연결도를 고려하는 cluster 형성에 의한 초기 배치와 경계선을 지나는 신호선의 수를 최소화하는 min-cut 방식에 의한 배치 개선으로 구성된다. 배선과정을 각 신호선 net 에 대하여 통과하는 채널 segment 및 관통 cell을 할당하는 global 배선과 각 채널 segment 에서의 용량을 고려한 채널배선으로 구성된다. 연결되지 못한 신호선은 미로 배선법이나 손 작업으로 연결된다. 그림 3(a)는 각 CMOS cell 의 layout 이며, 이를 이용하여 3(b)와 같은 decimal decoder 회로를 2 row 에 배치, 배선한 결과가 3(c)에 나와 있다. Mult-row standard cell layout 의 예는 3(d)에 보였다. 또한, 각 module 의 모양, 크기가 불균일한 그림 4(a)와 같은 경우에는 직선 배열한 결과를 zigzag 방식으로 2차원 평면에 배치하여 4(b)와 같은 global routing 결과를 얻을 수 있다.

#### v) DRC 및 Circuit extraction

배치, 배선 작업을 통하여 mask layout이 만들어지면, 우선 DRC (Design Rule Check) 작업을 통하여 각 primitive pattern 간의 최소 간격 등의 설계 규칙이 잘 지켜졌는가를 검사한다. 이 후에는 만들어진 layout 이 원하는 회로동작을 수행할 것인가를 확인하기 위하여 layout 으로 부터 기생 R,C 성분을 포함하는 전체 회로를 추출하여 주어진 process parameter 를 이용하여 SPICE 입력 자료를 구성하는 회로 추출 작업을 거치는 경우도 있다. 회로 추출 및 SPICE simulation 은 주로 leaf cell설계에 사용된다. DRC 작업의 입력 자료는 그림 5(a)와 같이 임의의 직사각형을 좌하귀 점과 우상귀 점의 좌표로 나타내거나, 1과 0 로 구성되는 bit map으로 임의의 복합도형을 나타낼 수 있다.  $n \times m$  window 를 사용하는 hardware-assisted DRC 방식과 임의의 도형을 polygon data 로 처리하는 polygon algebra 방식 등도 있으나, 여기서는 그림 5(b)와 같이 모든 도형을 직사각형의 집합으로 나타내어 각 직사각형 간의 규칙검사를 4 corner 에서 하되, 우상, 우하 귀에서는 RS (Rule Size)를 한 번으로 하는 직사각형 영역을 조사하고 좌상, 좌하 귀에서는 각각 수직 수평 방향으로 RS 길이 만큼씩만 조사하는 방식을 나타내었다. [4]

그림 5(c)에는 error 위치와 error code 를 간단한 run example 을 보였다. 한편, 그림 6(a),(b)는 각각 D 형 flipflop 회로의 mask layout과 회로도로서 기생 RC 성분을 무시하고 트랜지스터 간의 연결도만 추출해 낸 결과로서 그림 6(c)와 같이 SPICE 입력 자료를 만들고 있다. [5]

### III. VLSI 설계 자동화 분야의 전망과 대책

Electronic system 의 설계작업이 VLSI 칩의 specification 및 design 으로 변형되었고, 이것은 본격적인 자동설계 tool 의 사용을 필요로 하게 되었다. Silicon compiler 와 같이 VLSI 칩의 high-level specification 으로부터 최종적인 mask layout 까지의 전 과정을 자동화 하려는 노력이 시작되었으며, hardware accelerator 를 사용한 speed-up 기법도 제한된 영역에서 시도되고 있다. 입력자료의 구성에서도 file 외에 physical device 를 포함하는 physical model 등의 방식은 hardware 와 software 를 적절히 혼용함으로써 전체 시스템의 효율을 극대화시키고, 설계기간을 단축하는 것을 위해 생겨난 것으로 생각된다.

이러한 설계 tool 의 구성 방식 외에도, 설계 대상인 VLSI 칩 자체의 동작을 각각 H/W 와 S/W 에 얼마만큼 의존하도록 구조를 정하는가 하는 문제도 있다. 이러한 trade off 는 성취하려는 module 의 기능에서의 동작속도 요구, 응용범위, 설계 및 제작 소요기간, cost working environment 에서 다른 module 과의 transaction 등을 고려하여 정해져야 할 것이다. 예를 들어서, 장남감에서의 실수 연산을 위하여 special accelerator 를 들 것이나, 일반 정수연산 routine 으로 프로그램 할 것이나 등의 문제이다.

전자 제품의 구성이 이와 같이 다변화 됨에 따라, system specification 및 design 과정에서의 창의성의 발휘 여부가 제품의 성공 여부에 큰 영향을 주게 되었다. 또한, 이를 위한 engineer 의 qualification 도 당연히 변하고 있다. 현재의 반도체 기술의 발전은 1990년 - 1995년 사이에 0.25  $\mu$ m 수준까지 계속될 것이나, device 및 process 기술의 quantum jump 는 없을 것으로 예견된다. 이것은 상대적으로 이미 각 분야에서 축적 개발된 기술의 집대성하는 작업을 통해서 얻는 부가가치가 한 분야의 작업에서 얻는 그것보다 훨씬 클 것이기 때문이다.

한편, 현재까지의 한국에서의 전자공업의 발전은 주로 대량 수요 품목 (TV, 반도체 기억소자)을 중심으로 이루어져 왔으나, 고

부가가치, 소량 수요 품목으로 점차 그 중심이 옮겨가지 않으면 경쟁성을 잃게 될 것이다. 이미 갖춘 설비투자과 제조기술 위에 시스템 설계기술이 확립되어야 외국 의존도가 줄고, 자체 부양도 될 것이다.

이러한 견지에서 기업측에서는 기술자료의 database 구성과 designer 교육을 장기적인 안목으로 시작하고, 대학 등의 교육 기관의 curriculum 에 좀 더 interdisciplinary 한 과목, design project, S/W 와 H/W 의 dual view 를 깨우쳐 주는 topic 등이 첨가되는 것이 좋을 것으로 생각된다. 즉, 기업은 교육 기능을 강화하여 자체 교육 외에도 학생들의 단기 실습 등을 유치할 위한 호기로 활용하도록 하며, 대학에 서의 교육은 design problem 의 소재 파악, 고가 설계 장비의 사용, design 결과의 VLSI 칩 실현등을 효율적으로 기업 의 시설에 의존하면서 전체적인 design methodology 의 교육, 실제적인 design trade off 문제의 해결, 다른 분야의 enginner 와 효율적으로 토론할 수 있는 다 분야 능력의 배 양 등을 목표로 수행되는 것이 바람직하다.

결론적으로, 지난 근 30년간 그랬듯이, system 설계 자체 에 영향을 줄 정도로 새로운 device 는 계속 나타나지 않고, 앞으로도 약 2,000년 까지는 현재의 설계 방식이 계속 발전 되어 갈 것이다. 획기적인 발명이 아닌 발전은 이미, 'integration'의 형식으로 나타나고 있다. 이것은 H/W 와 S/W 간의 극단적인 혼용까지도 의미하며, 가장 훌륭한 물건을 만드 는데 필요한 resource 는 그것이 무엇이든 간에 (H/W와 S/W) 활용해야 한다는 점이 향후 기업, 학교의 발전 형태에 커다란 요소로 작용할 것이다.

### 참 고 문 헌

[1] T. S. Jung and C. M. Kyung, " A Channel Routing System using CMOS Standard Cell Library", The Journal of Korean Inst. of Electronics Engineers, Vol.22, No.1, Jan. 1985.

[2] G. S. Kang, C. M. Kyung and S. B. Park, " A Study on the Automatic Placement System for Standard Cell", The Journal of KIEE, Vol.23, July, 1986.

[3] H. K. Choi and C. M. Kyung, " Placement and Global Routing of Functional Blocks", The Journal of KIEE, Vol.23, Nov., 1986.

[4] K. S. Eo and K. T. Kim and C. M. Kyung, " A Design Rule Checker Based on Bit-Mapping", The Journal of Korean Inst. of Electronics Engineers, Vol.22, No.2, March 1985.

[5] S. S. Kim and C. M. Kyung, " Circuit Extraction from MOS/LSI Mask Layout", The Journal of KIEE, Vol.23, Nov., 1986.

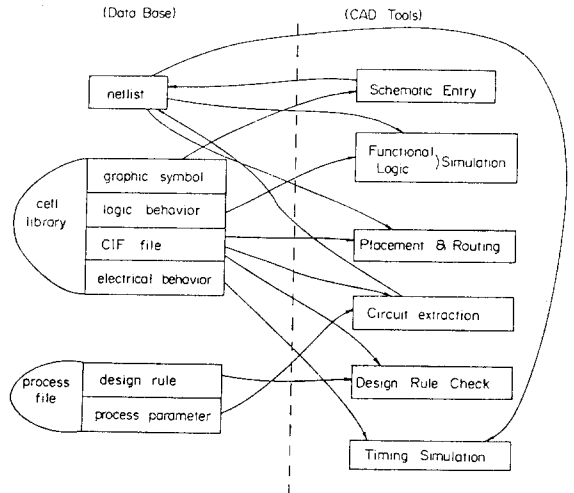
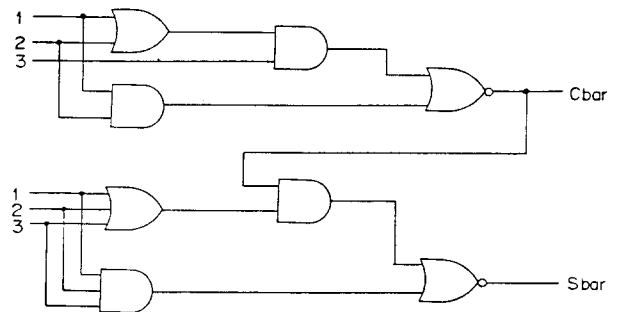


그림 1. VLSI 설계를 위한 CAD system 구성도



$$Sbar = \text{nor}(\text{and}(1, 2, 3), \text{and}(\text{or}(1, 2, 3), \text{nor}(\text{and}(1, 2), \text{and}(3, \text{or}(1, 2))))))$$

그림 2(a) Cell generator 에 입력되는 입력식과 회로도 (full adder 회로)

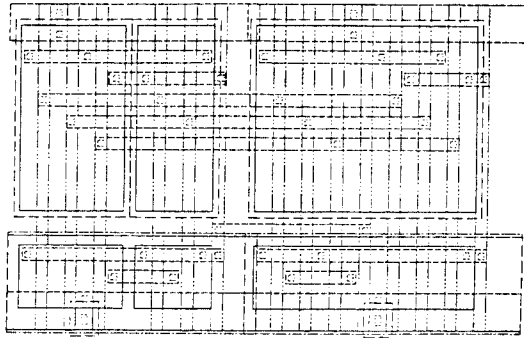


그림 2(b) 2(a)로 부터 만들어진 full adder 의 physical layout

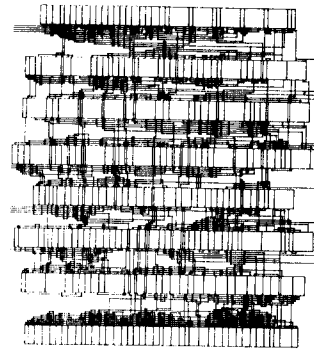


그림 3(d) Multi-row standard cell layout example

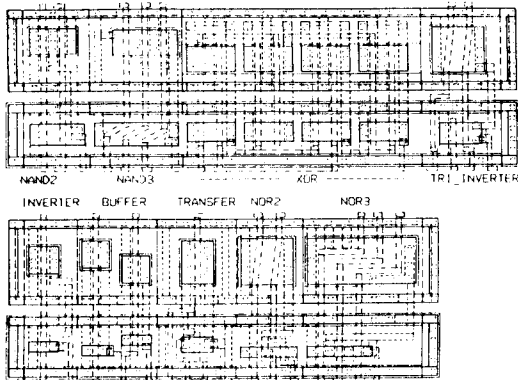


그림 3(a) CMOS cell library 의 작은 예

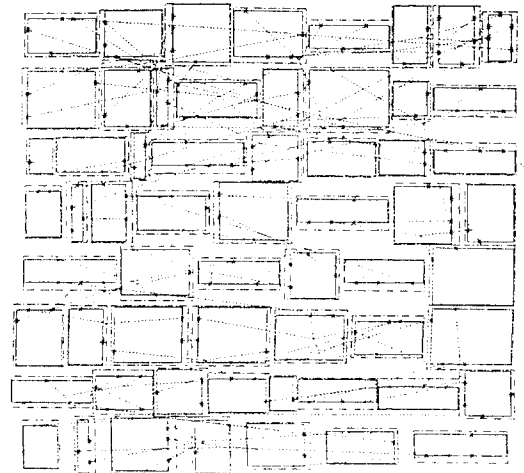


그림 4(a) 직선배열과 zigzag 방식에 의해 building block 배치 및 연결 신호선들

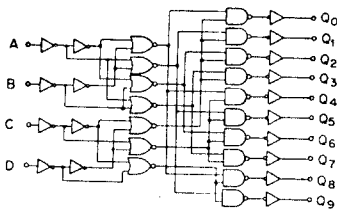


그림 3(b) BCD-decimal decoder 회로도

BCD TO DECIMAL DECODER  
NUMBER OF NETS = 39  
NUMBER OF HORIZONTAL TRACK = 11

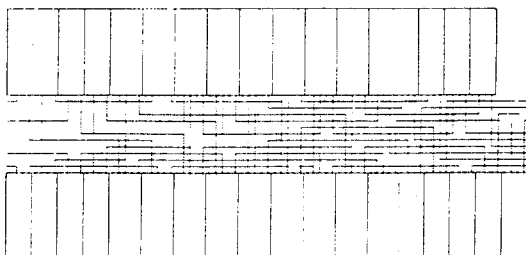


그림 3(c) 2 row standard cell 배치에 의한 (b)회로의 schematic layout

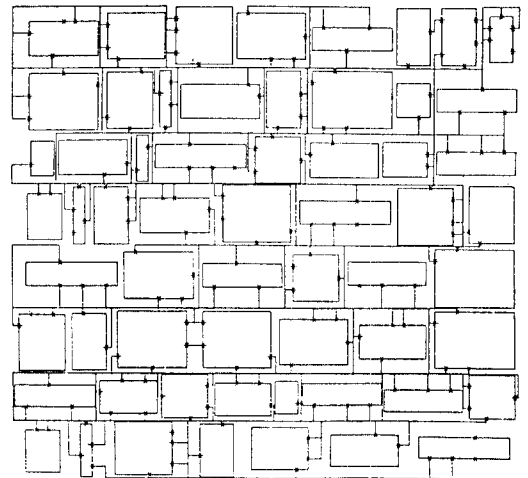
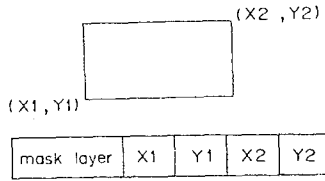


그림 4(b) (a)의 배치결과에 의한 global routing pattern



```

000111100000111100001100001111000011000011110000110000
0000000000000000000000000000000000000000000000000000
0000000000000000000000000000000000000000000000000000
0000000000000000000000000000000000000000000000000000
00011110000001111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
000111000000111000011000011100001100001110000110000
0000000000000000000000000000000000000000000000000000
0000000000000000000000000000000000000000000000000000
0000000000000000000000000000000000000000000000000000
0001111000000111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
0001111111111111000011000011100001100001110000110000
  
```

그림 5(a) DRC 를 위한 직사각형 data 와 Bit-map data

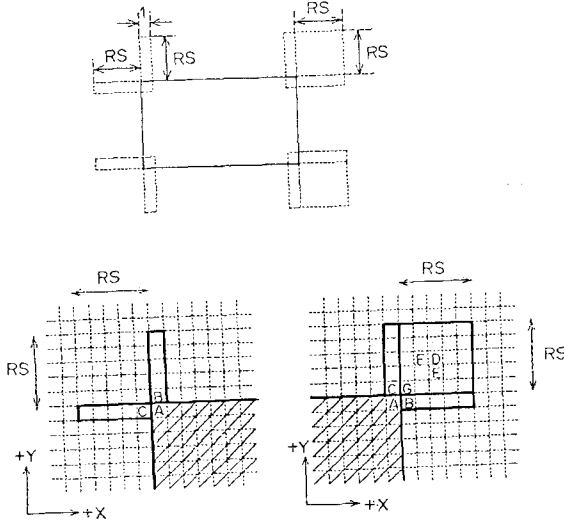


그림 5(b) Corner checking 방식에 의한 직사각형의 4 corner 에서 search 영역 표시

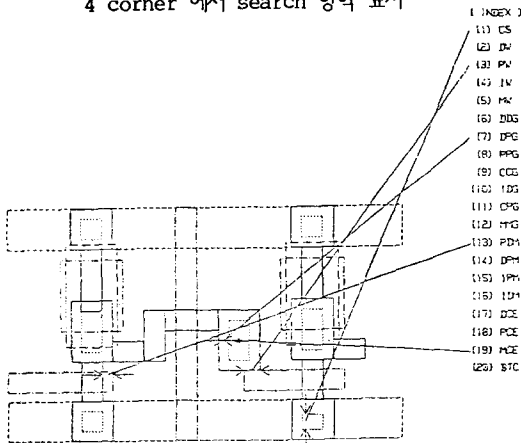


그림 5(c) DRC 프로그램의 수행결과 (오류 위치와 code가 표시되어 있음)

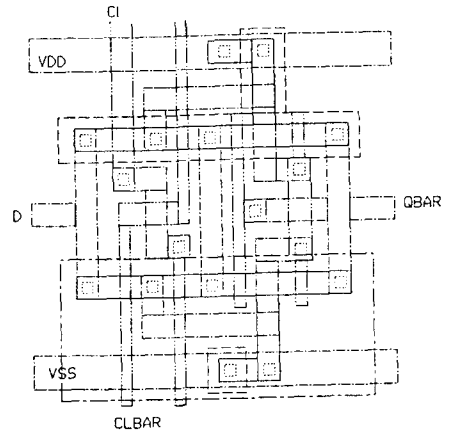


그림 6(a) Dynamic D-f/f layout

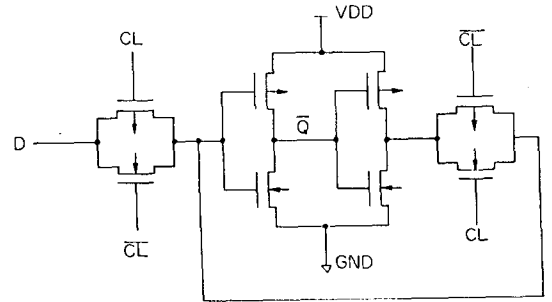


그림 6(b) (a) 의 회로도

```

P-WELL CMOS D FLIP/FLOP
.TRAN 1.INS 220NS
VDD 4 0 DC 5
VCL 6 0 PULSE(0 5 25NS 15NS 15NS 35NS 90NS)
VCLB 8 0 PULSE(5 0 25NS 15NS 15NS 35NS 90NS)
VIND 2 0 PULSE(5 0 40NS 15NS 15NS 80NS 150NS)
.PRINT TRAN V(6) V(2) V(5)
.WIDTH OUT=80
.MODEL CN NMOS (LEVEL=2 LD=0.28U TOX=500.0E-10
+ NSUB=1.0E+16 VTO=0.8 KP=3.3E-05 GAMMA=1.36
+ PHI=0.60 UO=200.0 RSH=25 UEXP=1.0E-03
+ UCRIT=99900. DELTA=1.24 VMAX=100000. XJ=0.4U
+ LAMBDA=1.6E-02 NFS=1.2E+12 NEFF=1. NSS=0.0
+ TPG=1.0 CGS0=5.2E-10 CGD0=5.2E-10 MJ=0.5
+ MJSW=0.33 CJ=9.0E-05 CJSW=8.0E-10)
.MODEL CP PMOS (LEVEL=2 LD=0.28U TOX=500.0E-10
+ NSUB=1.1E+14 VTO=-0.8 KP=1.5E-05 GAMMA=0.88
+ PHI=0.60 UO=100.0 RSH=50 UEXP=0.15
+ UCRIT=16376.8 DELTA=1.94 VMAX=100000. XJ=0.4U
+ LAMBDA=4.7E-02 NFS=8.8E+11 NEFF=1. NSS=0.0
+ TPG=-1.0 CGS0=4.0E-10 CGD0=4.0E-10 MJ=0.5
+ MJSW=0.33 CJ=9.0E-05 CJSW=7.0E-10)
* EXTRACTED MOS NETWORK
MOS0 2 6 1 4 CP W=1.20E-05 L=1.20E-05
MOS1 1 8 3 4 CP W=1.20E-05 L=6.00E-06
MOS2 3 5 0 0 CN W=1.20E-05 L=6.00E-06
MOS3 3 5 4 4 CP W=1.20E-05 L=6.00E-06
MOS4 4 1 5 4 CP W=1.20E-05 L=6.00E-06
MOS5 1 6 3 0 CN W=1.20E-05 L=6.00E-06
MOS6 2 8 1 0 CN W=1.20E-05 L=6.00E-06
MOS7 0 1 5 0 CN W=1.20E-05 L=6.00E-06
.END
  
```

그림 6(c) (a)의 layout 즉, CIF file 에서 추출된 netlist 에 의해 만들어진 SPICE 입력자료