

성 영 권
 여 권*
 이 상 혼

고 려대 교수
 고 려대 대학원
 고 려대 대학원

1. 서 론

MOS-IC의 미세화 및 고 밀도화에 수반하여 새로운 문제점으로 등장하는 것이 Gate 산화막의 부막화에 따른 Si-SiO₂ 계면근방의 제현상이다. Si표면근방에서 bulk와 표면을 나누어 고찰하는 바와 같이 SiO₂에서도 bulk적 성질과 천이영역적 성질로 나누어 생각할 필요가 있다. 특히 후자의 경우 결정학적, 물리학적, 또는 화학적 관점에서의 천이 영역과 tunnel 효과나 트랩 또는 재결합 중심 등의 전기적인 관점에서의 천이 영역을 고려해야 할 것이다. 그런데, 종래 P형 Si기판상에 습식산화로 생성시킨 SiO₂ 내에 전자를 avalanche 주입시킴으로서 계면준위가 증가하나⁽¹⁾⁽²⁾⁽³⁾ 건식산화로 생성시킨 SiO₂에서는 계면준위의 증가는 적다고 보고되고 있다.⁽⁴⁾ 이러한 관점에서 우리는 건식산화에 의한 MOS diode를 제작하여 SiO₂ 내에 avalanche 주입방법으로 Carriers를 주입시켜 C-V

곡선에서의 flat band 전압의 변화량과 I-V 특성곡선으로부터 전자 trapping 현상을 고찰하여 그 일부를 보고코져 한다.

2. 시료의 제작 및 측정

먼저 비저항 0.2-0.6 Ω cm 인 (100)방향의 P형 실리콘 웨이터를 표준 세척법으로 세척한 후 산소가스를 이용한 건식산화법으로 1000°C 에서 시간을 조절하여 200 Å - 700 Å 정도의 두께를 갖는 산화막을 성장시켰다.

이때, 산소의 유량은 1 l/min 로 고정시켰으며 산화 후 1000°C N₂ 분위기에서 20분간 annealing 시킨 후 진공증착 장치를 이용해 2x10⁻⁵ torr 에서 직경 2 mm 의 Al 상부전극을 증착시켰다. 이렇게 제작한 각 시료들을 그림 1과 같이 avalanche 주입에 의한 전자주입과 C-V 측정을 연속적으로 시행하였는데 이때 시료는 Function Generator로 부터 펄스duration 5 μ s , 펄스폭 2 μ s 인 펄스파를 인가함에 의하여 주기적으로

비평형 깊은 공핍상태로 되어 산화막내에 전자의 주입이 이루어진다.

시간과 펄스전압을 변화시키면서 주입시킨 시료를 그때마다 C-V 측정장치에 연결하는 과정을 반복시행하여 각각의 특성을 관찰하였다.

3. 실험결과 및 검토

그림2에서 보는 바와 같이 ΔV_{FB} 는 avalanche 주입시간의 증가에 따라 비교적 두꺼운 경우(700Å)에는 증가양상을 거쳐 포화되어 가나 비교적 얇은 경우(200-400Å)는 증가양상이 아주 완만하다. 이것은 trap이 Si의 Fermi 준위에 의존하여 충·방전하는 성질이 있다고 가정하면 얇은 경우는 Si-SiO₂ 계면이 용이하게 방전되어 trap이 모두 충전되기 때문이며 두꺼운 경우는 완전히 충전되지 않기 때문으로 생각된다.

그림3은 펄스크기를 변화시켰을 때 주입시간을 일정하게 한 경우 (a)와 주입되는 전자량을 일정하게 한 경우 (b)에서의 flat band 전압의 변화량을 보인 것이다. 그림에서와 같이 각 펄스크기에 따라 30분 동안 주입시켰을 때는, 펄스크기가 커짐에 따라 flat band 전압의 변화량이 커짐을 알 수 있었다. 이는 펄스크기를 크게 함에 따라 Si 표면은 deep depletion 상태에서 고에너지 상태로 있는 trap이 차례로 발생하여 avalanche 주입된 carrier가 trap되기

때문이라고 생각된다.

그러나 주입시간을 변화시켜 각 펄스크기마다 주입되는 전자량을 $N_{inj} = 1.07 \times 10^{17} \text{ cm}^{-2}$ 으로 고정시켰을 때는 펄스크기가 커짐에 따라 flat band 전압의 변화량이 감소하는 양상을 볼수 있는데 이는 펄스크기를 크게 함에 따라 보다 높은 에너지를 갖는 전자들이 trap을 거치지 않고 바로 tunneling으로 산화막내로 주입되므로 가전자대 근방에 있는 전자 trap이 감소하기 때문으로 사료된다.

이들의 시료의 B-T 처리효과를 검토한바 그림4에 나타낸바와 같이 negative B-T 처리 후 측정된 C-V 곡선은 B-T 처리에 의해서 initial C-V 곡선으로 부러 크게 이랄하여 왼쪽으로 shift되며, shift된 양으로 부러 계산된 surface state charge density Q_{ss}/q 는 B-T 처리시 인가된 전계와 시간의 증가에 따라 거의 직선으로 증가한다.

이러한 현상은 negative B-T 처리에 의해 실리콘층내의 실리콘이 SiO₂ 층에 들어가 과잉 실리콘으로 (5) 되어 정전하가 증가하거나 계면에서의 결합전자가 실리콘층내에 방출되어 구조변화를 수반하여 dangling bond가 형성되어 정전하가 증가하기 때문으로 간주된다. 이와 같은 과잉실리콘에 의한 전자 trap 작용은 그림5에 나타낸 온도의존성으로부터 확인된다.(6)

또, positive B-T 처리인 경우는 initial

C-V 곡선과 비교 시 약간의 왜곡만 나타났을 뿐 큰 차이는 나타나지 않고 V_{FB} 의 변화는 대단히 작으나 이것은 Si표면이 축적상태로 되어 있기 때문에 반도체 근방의 trap 이외는 trap 전하는 방출된 상태로 되기 때문으로 간주된다.

한편 이들 시료의 전도특성을 I-V 특성결과로 부러 검토한 바 그림 6에 나타난 바와 같이 Fowler-Nordheim plot ($\log(J/E^2) - \frac{1}{E}$)⁽⁷⁾의 형태로 그려진다. 그림 6은 1시간 동안 avalanche 주입시킨 후 I-V 특성결과를 그린 것이나 그림에서 알수 있는 바와 같이 Fowler-Nordheim plot이 선형적인 것으로 보아 산화막내에 전자가 포획된 후에도 산화막의 전기전도 기구는 Fowler-Nordheim emission에 의한 것으로 사료된다. 여기서 이들 전도 기구에 관여하는 하전입자의 이동은 인가고전계에 의한 Fowler-Nordheim 형 tunneling으로 기인한 것이라 생각하면 tunneling 할 수 있는 곳의 수 $N(t)$ 에 비례 할 것이며 형태적으로는 다음식으로 나타낼 수 있다.

$$\frac{dN(t)}{dt} = -N(t)/\tau \quad (1)$$

$$N(t) = N_0 \exp(-t/\tau) \quad (2)$$

이상의 상세한 검토결과는 당일 발표할 예정이다.

참 고 문 헌

- (1) E.H. Nicollian, et al; J.A.P.L., 15, 174(1969)
- (2) H. Hara, et al; J.J.A.P., 9, 1103 (1970)
- (3) A. Ushirokawa, et al; J.J.A.P., 12, 383(1973)
- (4) E.H. Nicollian, et al; J.A.P., 42, 5654(1971)
- (5) B.E. Deal, et al; J. Electrochem., 114, 266(1974)
- (6) M.V. Fischetti; "Insulating Films on Semiconductors"(Springer-verlag Berlin Heidelberg, New York) pp.126, (1981)
- (7) M. Lenzlinger, et al; J.A.P., 40, 278(1969)

pulse width : 2 μ s
 pulse duration : 5 μ s

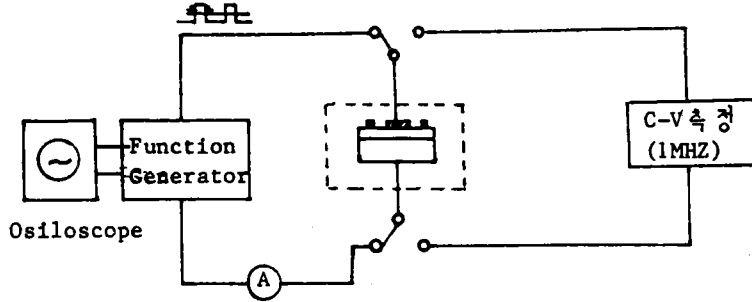


그림1. avalanche 주입과 C-V 측정장치의 개략도

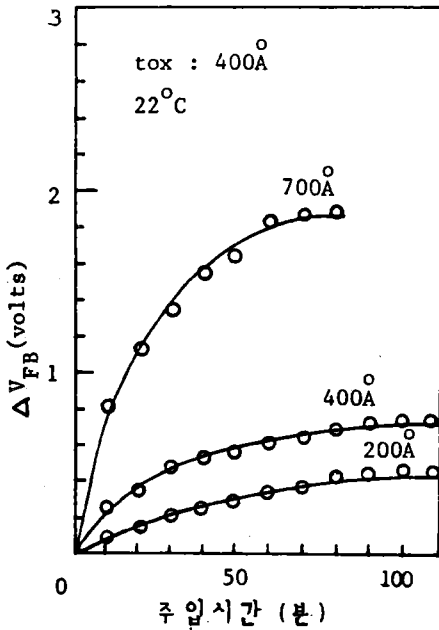


그림2. 여러가지 산화막 두께에 대하여 시간의 함수에 따른 ΔV_{FB}

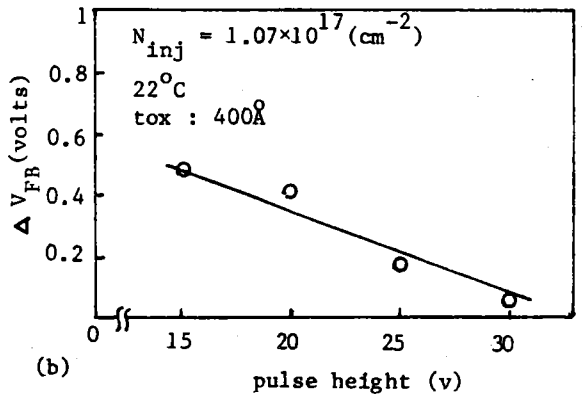
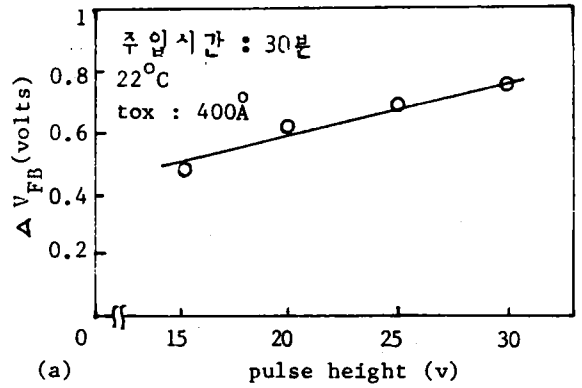


그림3. ΔV_{FB} 의 pulse height 의존성

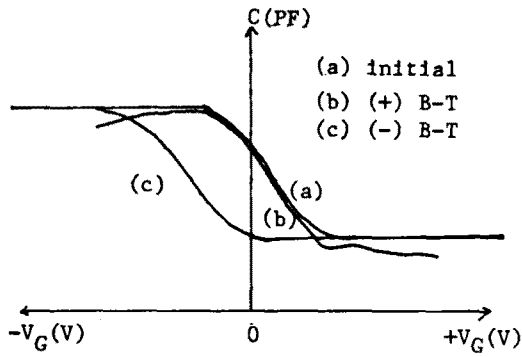


그림4. B-T 처리 전후의 C-V 곡선

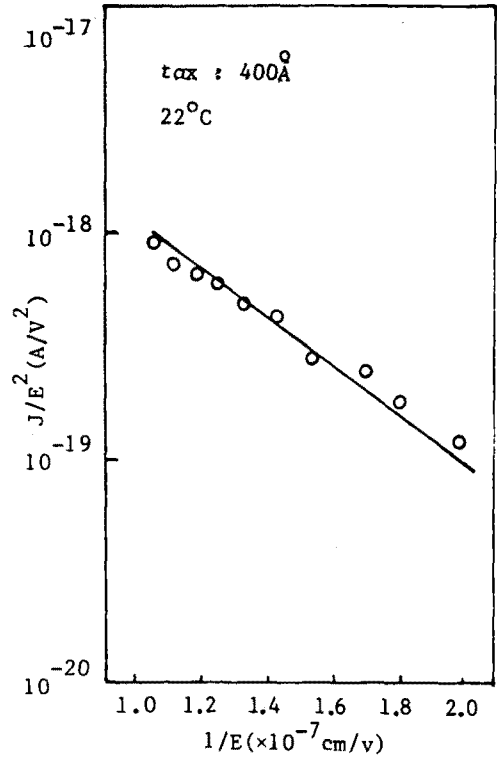


그림6. Fowler-Nordheim plot

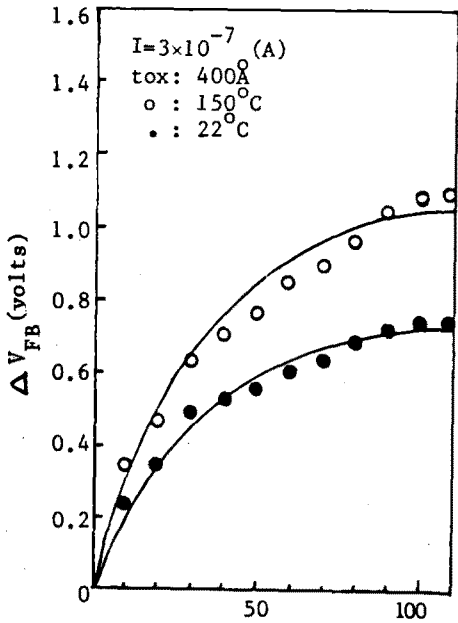


그림5. ΔV_{FB} 의 온도 의존성