

벡터 승산 구조를 이용한 다중채널 디지털 필터 구성

°임 영 도* 김 명 기**

* 동명전문대학 전자과 ** 동아대학교 전자공학과

Multi-Channel FIR Digital Filter Hardware Implementation Using Vector Multiplication Structure

Young Do Lim*, Dong-Myung Junior College *

Myung Ki Kim**, Dong-A University **

Abstract

A new method on the hardware implementation of multi-channel Finite Impulse Response(FIR)digital filter using vector multiplication structures is proposed.

The proposed method can reduce the complexity of hardware structure and improve execution speed.

The frequency response of four channel digital implemented by the above method is quite agreeable with the frequency response simulated by Remez method.

1. 서 론

1973년Croisier(1)가 벡터 승산 구조를 이용하여 디지털 필터를 처음 구성하였고, 그후 Peled 와 Liu(2,3) 을 비롯하여 필터 구성에 대한 많은 논문들이 발표되었다.(4-7) 그리고 Chen Chang Fuu(8)는 고정된 계수의 경우 비용절감과 동작속도 개선에 관점을 두고 FIR 디지털 필터를 구성하였다.

오늘날 급격한 첨단산업의 발전으로 인해 디지털 통신, 음성, 영상, 그리고 산업제어 시스템등을 구성할때 다중 채널 디지털 필터의 필요성이 요구된다. 그러나 이러한 방법으로 다중 채널 디지털 필터를 구성함은 하드웨어 구성의 복잡성으로 인한 비용증대와 동작속도의 지연이란 문제점이 있다. 그러나 본 논문에서는 이러한 단점들을 개선한 다중 채널 디지털 필터를 구성하는 새로운 기법을 제시하였다.

2. 벡터 승산 구조

(1) 기본 원리와 구성

실시간 응답 FIR 디지털 필터의 차분 방정식 Y_n 은

$$Y_n = \sum_{k=0}^N A_k \cdot X_{n-k} \quad (1)$$

로 주어진다. 단, N 은 FIR 필터의 차수, A_k 는 계수이다. 여기서 모든 입력 정보 및 계수의 최대값은 ± 1 로 한정하고 부호비트를 갖는 2의 보수로 표현하면 입력 정보 X_{n-k} 는

$$X_{n-k} = -X_{n-k}^0 + \sum_{j=1}^{B-1} X_{n-k}^j \cdot 2^{-j} \quad (2)$$

로 된다. 단, X_{n-k}^0 는 부호비트(0혹은1), X_{n-k}^j 는 X_{n-k} 의 j 번째 비트(0혹은1)이다. 식(1)에 식(2)을 대입하면 식(1)은

$$Y_n = \sum_{j=1}^{B-1} \left(\sum_{k=0}^N A_k \cdot X_{n-k}^j \right) 2^{-j} - \left(\sum_{k=0}^N A_k \cdot X_{n-k}^0 \right) \quad (3)$$

로 된다. 여기서 함수 ϕ_j 를 다음 식으로 정의한다.

$$\phi_j = \sum_{k=0}^N A_k \cdot X_{n-k}^j \quad (4)$$

그러면 식(3)은

$$Y_n = \sum_{j=1}^{B-1} \phi_j 2^{-j} - \phi_0 \quad (5)$$

로 주어진다. 만약 ϕ_j 를 안다면 Y_n 은 $(B-2)$ 회 덧셈과 1회의 뺄셈 및 $(B-1)$ 회의 우측 추이 연산을 수행하면 구해진다.

함수 ϕ_j 는 $N+1$ 개의 독립변수인 2진 벡터를 어드레스로 취하는 ROM으로 실현 가능하다. 그러므로 N 차 FIR 디지털 필터의 Y_n 은 가산기 감산기와 추이연산기만으로 구성할 수 있고 이는 논리회로는 그림1과 같다.

입력정보는 쉬프트 레지스터(Shift Register:SR1)에 직렬 순차적으로 취하와비트부터 1비트씩 들어온다. 각각 SR1,SR2,...,SRN에서 나오는 벡터 $\{X_{n-k}^j, X_{n-k}^{j-1}, X_{n-k}^{j-2}, \dots, X_{n-k}^0\}$ 는 ROM의 입력에 가해져서 함수 ϕ_j 을 실현한다.

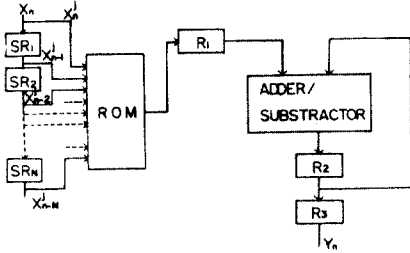


그림1. N차 FIR 디지털 필터의 논리회로
fig.1. Logic circuit of n order FIR digital filter.

2차 FIR 디지털 필터의 계수가 $A_0=0.0152474$, $A_1=0.0021682$, $A_2=-0.0166436$ 일때 ROM 에 프로그램된 함수 ϕ_j 의 값은 표1과 같다.

표1. 2차 FIR 필터의 함수
Table1. Function for second order FIR filter.

X_n^j	X_{n-1}^j	X_{n-2}^j	ϕ_j
0	0	0	0000000000000000
0	0	1	1111110111011111
0	1	0	0000000010001111
0	1	1	1111110001001110
1	0	0	0000000111110011
1	0	1	1111111111010010
1	1	0	0000001000111010
1	1	1	0000000000110011

필터 구성을 위해 필요한 가산기에서 두 개의 오버플드를 가산할 경우 오버플드(Overflow)가 발생하면 결과는 정확하지 않으므로 이러한 오차를 교정하기 위해 오버플드 교정회로가 요구된다. 만일 A 와 D를 가수와 피가수의 부호비트, B와 C를 교정하지 않은 합과 캐리출력(Carry Out)의 부호비트, S는 교정된 합의 부호비트로 가정하면 오버플드 교정의 진리표는 표2와 같다.

표2. 오버플드 교정의 진리표
Table2. Truth table of the overflow correction

A	D	C	S
0	0	0	0
0	0	1	d
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	d
1	1	1	1

표2에서 Karnaugh map 에 의해 유도된 논리식 S 는
 $S = A \oplus B \oplus C$ (6)
로 된다.

(2) 분산 ROM 처리
식(4)로부터 N 차 FIR 디지털 필터 구성을 위한 ϕ_j 를 구하려면 $2^N + 7$ 비트 어(word)를 가진 ROM 이 필요하다. 그러나 그림1과 같은 회로로 고차 FIR 디

지탈 필터의 구성은 매우 고가인 ROM 이 필요하므로 실용적이지 아니다. 그래서 식(4)를 분산해 쓰면
$$\phi_j = \sum_{k=0}^{m_1-1} A_k X_{n-k}^j + \sum_{k=m}^{m_2-1} A_k X_{n-k}^j + \dots + \sum_{k=m_1-1}^N A_k X_{n-k}^j$$
 (7)

로 된다. 단, i는 ROM 뱅크의 수이다. 부가되는 i-1 개의 가산기는 ROM 용량을 감소시키며, 함수 ϕ_j 를 구하는데 필요하다. 곱셈연산을 유지하도록 i-1개의 가산기를 그림2와 같이 $(\log_2 i)$ 레벨로 배열한다.

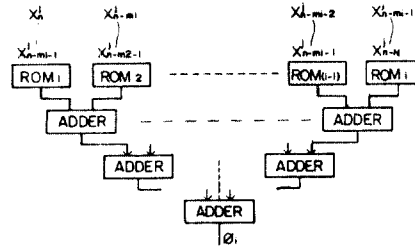


그림2. 멀티오 퍼랜드 가산기와 가산기 감산기 결합구성도
fig.2. Block diagram of combining adder subtractor and multioperand adder.

여기서 (x)는 X 와 같거나 또는 X 보다 큰 최소정수를 표현한다. 그림2에서 총 전달 지연시간 T 는

$$T = t_1 + t_2 (\lceil \log_2 i \rceil - 1) \quad (8)$$

로 주어진다. 단, t_1 은 한 레벨에서 가산기의 동작 시간, t_2 는 가산기에서 합의 전달 지연시간이다.

그리고 i 를 고정시켜 N+7을 i로 나눈 나머지를 m 이라 하고, 어떤 두 개의 ROM 뱅크 사이에 어드레스 입력수의 차이가 1보다 크지않게 하면 그림2의 ROM 최소 용량은 $2^{\lceil \frac{N+1}{i} \rceil} \lceil \frac{N+1}{i} \rceil (i+m) \cdot 2^0 = 2^{\lceil \frac{N+1}{i} \rceil} \cdot (i+m)$ (9)

로 주어진다. 단, $\lceil \frac{N+1}{i} \rceil = (Z)$ 은 Z 와 같거나 Z 보다 작은 최대 정수를 표현한다. 그러나 어떤 두 개의 ROM 뱅크 사이에 어드레스 입력수의 차이가 1보다 크면 ROM 용량은 식(8)보다 크게 된다. 만약 X_{n-k}^j 를 (여기서 $k=0, 1, 2, \dots, N$) i 그룹으로 나누고 각 그룹의 X_{n-k}^j 수의 차가 1보다 크지 않으면 필요한 ROM 은

$$\frac{2^{N+1}}{2^{\lceil \frac{N+1}{i} \rceil} \cdot (i+m)} = \frac{2^{(N+1) - \lceil \frac{N+1}{i} \rceil}}{(i+m)} \quad (10)$$

배 만큼 감소된다. 이와 같이 ROM 을 i 뱅크로 분산하면 오차가 발생하는데 누산전의 2의 보수로 표현된 ROM 내용의 최대값에 대한 상대오차는

$$i \cdot |e| = \frac{(0.5) \cdot i}{2^{B-1} - 1} \quad (11)$$

이고 전체 상대오차는

$$|E| \leq \frac{1}{2^{B-1} - 1} \left(\sum_{j=-\lceil \frac{N+1}{i} \rceil}^0 (i+1) 2^{j-2-B} \right) < \frac{i+1}{2^{B-1}} \quad (12)$$

이다. 식(12)의 상대오차는 ROM 뱅크의 증가에 따라

크게 되나 일반적으로 무시할수 있다. 예를 들면 $i = 5, B = 16$ 일때 상대오차는 0.018% 보다 적다.

(3) 동작속도를 개선하기 위한 멀티오퍼랜드 가산기에 가산기 / 감산기의 결합회로

$$\text{식(5)에서 } \sum_{j=1}^{B-1} \phi_j \cdot 2^{-j} = \text{Acc} \quad (13)$$

로 두면 Y_n 은

$$Y_n = \overline{\phi_0 + \text{Acc}} \quad (14)$$

로 된다. 식(14)에 의해 구성된 그림3은 가산기/감산기를 그림2에 있는 멀티오퍼랜드 가산기에는 논리적으로 결합시켜 동작속도를 개선한 것이다.

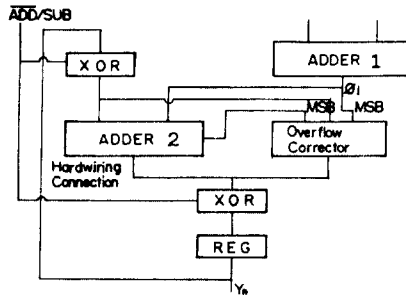


그림3. 메모리뱅크와 멀티오퍼랜드 가산방법의 구성
fig.3. Implementation with memory banks and multioperand addition method.

그림3에서 가산기 1과 가산기2를 하드와이어 연결(hardwire connection)을 행하여서 식(13)의 2^{-j} 연산을 실행할 수 있도록 하였다.

3. 다중 채널 디지털 필터 구성

(1) 입력정보의 기억을 위한 RAM 이용

고차FIR 디지털 필터의 구성을 위해 벡터승산 구조를 이용한 그림1은 입력정보를 기억하는데 많은 쉬프트 레지스터가 필요하게 된다.

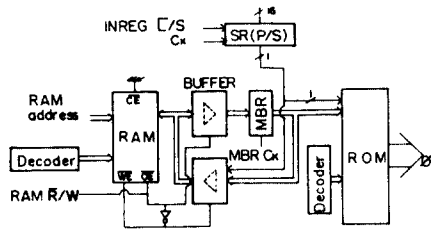


그림4. 쉬프트 레지스터를 대체하기 위한 RAM 이용
fig.4. Using a RAM to replace the shift registers.

그림4와 같이 RAM을 MAR에 의해 어드레스하고 여분어드레스로 디코딩하여 RAM의 영역을 입력채널의 수만큼 분산시킨다. 이때 두 개의 버퍼를 RAM의 $\overline{R/W}$ 신호로 동작시켜 입력정보 X_n^j 을 읽고 기억하여서 MBR에서 나오는 벡터 $X_{n-1}^j, X_{n-2}^j, X_{n-3}^j, \dots, X_{n-N}^j$ 를 ROM의 입력에 가한다. ROM도 역시 여분

어드레스로 입력채널수와 같은 영역으로 분산시켜 각 채널에 해당하는 함수 ϕ_j 의 값을 얻도록 하였다. 이때 최대 입력채널의 수(n)는

$$(n) = \left\lfloor \frac{T_s}{\text{ADCs}} \right\rfloor \quad (15)$$

로 된다. 단, T_s 는 한 채널의 표본화 주기, ADCs는 AD 변환기의 변환시간이다. 여기서 $(n) = \left\lfloor \frac{T_s}{\text{ADCs}} \right\rfloor$ 는 n보다 작은 최대 정수의 값을 표현한다.

4. 필터의 구성

(1) 필터의 규격 및 계수의 설정

4채널FIR 30차 디지털 필터를 실현하기 위해 저역필터(LPF 1, LPF 2)2개, 대역통과필터(BPF 1, BPF 2)2개를 이용하였으며, 미들 필터의 규격과 계수의 값은 Remez 방식으로 구하였다. 주어진 계수를 2의 보수로 변환하여 각 채널의 ϕ_j 에 해당하는 값을 6개의 뱅크로 분산시킨 ROM에 기억시켰다.

(2) 하드웨어 시스템 구성

주어진 규격에 대응시켜 구성된 다중 채널 FIR 디지털 필터의 하드웨어 시스템의 구성도는 그림5와 같다.

5. 실험결과 및 고찰

저역필터 2개, 대역통과 필터 2개를 이용한 4채널 필터를 구성하였고 모든 필터의 차수는 30차로 제한하였다. 표3은 (LPF 1의 경우) Remez 방식으로 시뮬레이션하여 얻어진 주파수 응답이 실험치와 잘 일치함을 보여준다.

표3. Remez 방식으로 시뮬레이션한 주파수 응답과 실험치의 비교

Table3. Compare on the frequency response simulated by Remez method and experimental results.

주 파 수	Simulation 값	실험치
0. 0 0	. 24 (dB)	. 23 (dB)
0. 0 5	- . 12 "	- . 13 "
0. 1 0	- . 18 "	- . 18 "
0. 1 5	- . 25 "	- . 24 "
0. 2 0	- 30.9 "	-30.3 "
0. 2 5	- 35.7 "	-34.9 "
0. 3 0	- 33.7 "	-32.7 "
0. 3 5	- 33.2 "	-32.8 "
0. 4 0	- 37.7 "	-36.5 "
0. 4 5	- 31.7 "	-30.3 "
0. 4 9	- 33.0 "	-32.4 "

변환시간이 짧은 AD 변환기를 이용하면 채널의 수를 증가시킬수 있고 필터의 개수가 많이 요구되는 디지털 시스템 구성에 적합하다고 사료된다.

6. 결 론

본 연구에서는 벡터 승산구조를 이용한 다중 채널

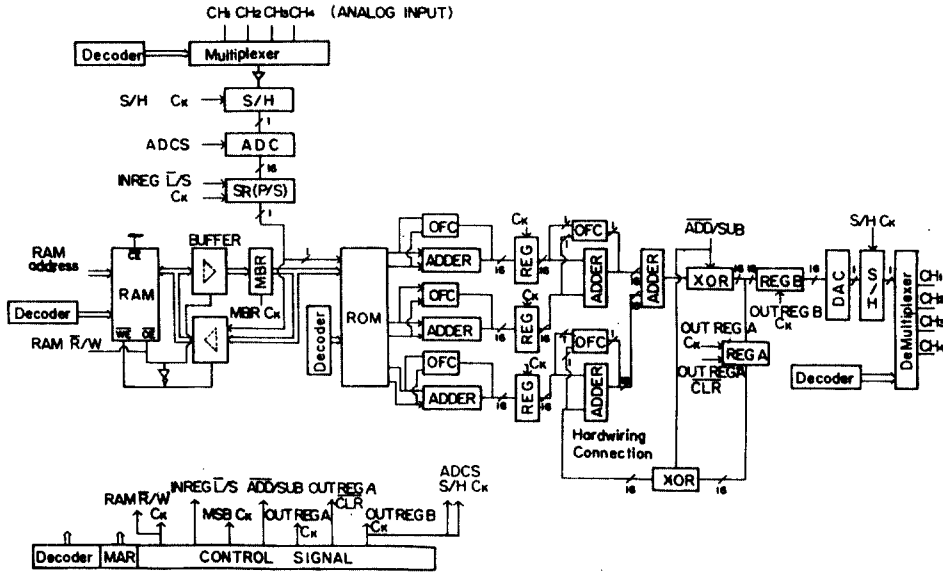


그림5. 하드웨어 구성도

fig.5. Block diagram for hardware implementation.

FIR 디지털 필터를 구성하는 한 기법을 제시하고, 이 기법에 따라서 4채널 디지털 필터를 구성하였으며 실험을 통해 다음과 같은 결론을 얻었다.

- 1) ROM과 RAM을 이용하여 하드웨어의 구성을 간소화시켜 비용절감을 기하였다.
- 2) 멀티오퍼랜드 가산기에 가/감산기를 결합한 회로를 구성하므로 동작속도를 개선하였다.
- 3) 구성된 4채널 디지털 필터중 LPF1의 주파수 응답은 Remez 방식으로 시뮬레이션하여 얻어진 주파수 응답과 잘 일치하였다.

7. 참고 문헌

- (1) A.Croisier, D.J.Esteban, M.E.Levilion, and V.Rizo, "Digital Filter for PCM Encoded Signals," U.S.Patent. 3777130, December 4, 1973.
- (2) Abraham peled and Bede Liu, "A New Hardware Realization of Digital Filter," IEEE Transactions on Accoustics, speech, and signal processing, PP. 456-462, December, 1974.
- (3) Abraham peled and Bede Liu, Digital signal processing Theory Design and Implemetation, John Wiley & Sons, New York, PP.212-227& PP. 239-247,

1976.

- (4) J.L.Schmalzel, D.N.Hein, and N.Ahmed, "Some pedagogical Considerations of Digital Filter Hardware Implementation." IEEE Circuits and System Magazine, PP. 4-13. March, 1980.

- (5) M.Arjmand and R.A.Roberts, "On Comparing Hardware Implementations of Fixed point Digital Filters," IEEE Circuits and systems Magazine, PP. 2-8. June, 1981.

- (6) Stanley A. White, "On Mechanization of Vector Multiplication," proceedings of the IEEE, PP. 730-731, March, 1976.

- (7) Manfred Büttnner and Hans-Wilhelm Schubler, " On Structures for the Implementation of the Distributed Arithmetic," Nachrichtentech. Z. Communications Journal, Vol. 6, No. 29,PP. 472-477, June, 1976.

- (8) Chen, Chang-Fuu, "A study of FIR Digital Filter Algorithms and Hardware Implementations," Dissertation. Ph D. Stanford Univ, PP. 6-29.1981.