

고속 신호 처리용 Systolic Array 설계

신경옥, 최병윤, 유종근, 김봉열, 이문기  
연세대학교 전자공학과

A High Speed Signal Processing Systolic Array Design

K. W. Shin, B. Y. Choi, J. K. Yoo, B. R. Kim, M. K. Lee  
Yonsei University, Dept. of Electronics Eng.

ABSTRACT

This paper describes a systolic array algorithm for FFT. The proposed systolic array is a VLSI - oriented architecture, and has high concurrency, local communication and regular data flow. To implement this algorithm into integrated circuit, systolic cell has been designed with Yonsei - GSS CMOS standard cell library. And, to verify the systolic cell design, logic simulation was performed.

From the simulation results, it was proved that the proposed systolic array can perform data ordering and reordering operation in 6.2 μs for 1024 data sampling points.

I. 서론

최근 디지털 신호처리 기술이 급격히 발달함에 따라 대량의 데이터를 고속으로 처리하기 위한 하드웨어의 개발이 매우 중요하게 되었다.

종래의 Von Neumann 방식의 하드웨어로는 대량의 데이터를 실시간(real time)으로 처리할 수 없으므로, 고도의 parallel 및 pipeline 특성을 갖는 array processor 에 대한 관심이 증대되고 있다.

또한 CAD 시스템과 VLSI 기술의 발달에 의해 고집도, 고성능의 집적회로를 비교적 단가에 실현시킬 수 있게 되었으므로, VLSI 지향적인 고성능 array processor 의 개발이 고속 신호처리를 위한 가장 바람직한 방법으로 대두되고 있다. (1)-(5)

본 논문에서는 VLSI 지향적이며, 고도의 병렬성을 갖는 systolic array 를 이용한 FFT 연산 알고리즘을 연구 하였으며, 이 알고리즘을 집적회로로 실현

시키기 위해 systolic 셀을 설계하였다.

셀의 내부 리본은 Yonsei - GSS CMOS standard cell library 를 이용 하여 설계되었으며(6), (7), 설계된 회로의 동작을 확인하기 위해 논리 및 타이밍 시뮬레이션을 수행하였다.

II. FFT 연산을 위한 systolic array

(1) Fast Fourier Transform (FFT)

N 개의 표본점에 대한 Discrete Fourier Transform (DFT)는 다음의 식(1)과 같이 정의된다.

$$F(n) = \sum_{k=0}^{N-1} f(k) \cdot W_N^{nk}, \quad n = 0, 1, 2, \dots, N-1 \quad (1)$$

$$\text{단, } W_N = \exp(-j2\pi/N) \\ j = \sqrt{-1}$$

식(1)에서  $W_N$  이 지수함수이므로 다음과 같은 식(2), (3)의 관계가 성립하고, 이를 이용하여 FFT 를 연산할 수 있다. (8), (9)

$$W_N^{nk} = W_N^{nk \bmod (N)} \quad (2)$$

$$\text{단, } nk \bmod (N) = \frac{nk}{N} \text{의 나머지}$$

$$W_N^{N/2} = -W_N \quad (3)$$

그림(1)은 식(1)을 연산하기 위한 각종 하드웨어들의 성능(AT<sup>2</sup>)을 비교한 것이며(10), 그림(2)는 N=16 일때의 FFT 연산 흐름도이다.

(2) systolic array

Systolic array 는 동일한 셀을 규칙적으로 배열하여 구성되는데, 그 사용목적 및 기능에 따라 그림(3)과 같은 각종 배열형태를 갖는다.

systolic array는 parallel, pipeline 등 고도의

병렬성, local communication, 그리고 단순하고 규칙적인 구조등을 갖고 있어 VLSI 지향적인 하드웨어 구조이다. (11), (12)

또한 그림(3)과 같이 그 배열 형태에 따라

Convolution, matrix-vector 곱, DFT, FFT, pattern matching 등 응용분야가 매우 광범위하다. (13)

### (3) systolic array 를 이용한 FFT 연산 알고리즘 (14)

그림(2)의 흐름도에 따라 FFT 를 연산하기 위해서는 매 stage 마다 데이터 배열, 재배열 해주어야 한다. 이와같은 데이터의 배열, 재배열에 필요한 시간이 전체 FFT 연산 속도에 상당한 영향을 미치므로, 본 논문에서는 이를 고속으로 처리할수 있도록 그림(4)와 같은 2차원 systolic array 를 설계하였다.

그림(4)의 systolic array 는 N 개의 데이터 표본 점에 대해 N 개의 동일한 셀들을 가로, 세로 각각  $2 \times \log_2 N$  개씩 정방향으로 연결하여 구성된다.

array 의 각 셀에는 데이터  $fo(k)$  가 그림(4)와 같은 순서로 입력되어 배열, 재배열을 위해 인접한 셀로 이동 되는데, 이때 셀간의 데이터 이동을 제어하기 위해 DISTANCE 값을 매 stage 마다 입력시켜 주어야 한다. FFT 연산 stage  $\log_2 N$  중에서, 전반부  $1 \sim \frac{1}{2} \log_2 N$  Stage 동안에 데이터는 수평방향의 인접한 셀로만 이동되고, 후반부  $\frac{1}{2} \log_2 N + 1 \sim \log_2 N$  stage 동안에 데이터는 수직방향의 인접한 셀로만 이동된다. 한편 전.후반 각각  $\frac{1}{2}$  stage 동안의 DISTANCE 값들은 순차적으로  $\frac{\sqrt{N}}{2}, \frac{\sqrt{N}}{4}, \frac{\sqrt{N}}{8}, \dots, 1$  이된다.

그림(5)는  $N=16$  인 경우 stage 1 에서 배열, 재배열을 위한 데이터 이동을 보여주고 있다.

이와같은 구조의 systolic array 는 규칙적인 하드웨어 구조 및 데이터 흐름을 갖을 뿐 아니라, 이동된 데이터에 대해 각셀에서 동시에 Butterfly 연산을 수행하므로 고도의 parallel 및 pipeline 특성을 갖는다.

### III. Systolic cell 의 설계

II장에서 설명된 systolic array algorithm을 하드웨어로 실현시키기 위해, Yonsei-GSS CMOS standard cell library 를 이용하여 systolic 셀을 설계하였다.

설계된 systolic 셀은 그림(6)과 같이 데이터 배열회로, 재배열회로, Butterfly 연산회로, 그리고

제어회로등으로 구성된다. 데이터 배열회로와 재배열회로는 동일한 구조를 갖고며, 그림(7)은 데이터 배열회로를 나타낸다.

제어회로는 데이터 배열, 재배열동 셀의 동작에 필요한 각종 제어신호를 발생시키는 부분으로서, 그림(8)과 같이 설계되었다.

### IV. 시뮬레이션 및 결과 고찰

III 장에서 설계된 systolic 셀을 그림(9)와 같이 배열한후 데이터가 올바르게 이동되는지를 알아보기 위해 논리 및 타이밍 시뮬레이션을 수행하였으며, 그 결과는 그림(10)과 같다. 시뮬레이션 결과에서 보듯이, 데이터가 인접한 셀로 이동하는데 걸리는 시간  $t_d$  는 약 50 ns 정도이다.  $N=1024$  인 경우, 데이터의 배열 및 재 배열에 필요한 시간  $T_D$  는 다음과 같이 계산된다.

$$T_D = 2 \times 2 \times \left( \frac{\sqrt{N}}{2} + \frac{\sqrt{N}}{4} + \dots + 1 \right) \cdot t_d \\ = 124 t_d = 6.2 \text{ (}\mu\text{s)}$$

Butterfly 연산 시간을 대략 400 ns 로 잡으면(14),  $N=1024$  에 대한 전체 FFT 연산 시간 T 는

$$T = T_D + 400 \times \log_2 N = 10.2 \text{ (}\mu\text{s)}$$

가 되어, 단일 processor 를 사용한 경우의 연산 시간 1.33 ms 보다 (15) 고속의 연산이 가능함을 보였다.

### V. 결 론

본 논문에서 설계된 systolic array 로 1024 points FFT를 연산할 경우, Butterfly 연산시간을 약 400ns로 가정 하였을때 대략 10.2us 정도의 시간이 소요됨을 알수 있었다.

이와 같은 속도 개선은 systolic array 가 갖고 있는 고도의 concurrency 특성에 기인한것으로, 고속 신호 처리용 하드웨어 구조로 적합함을 보였다.

최근 VLSI 기술의 발달과 더불어 systolic array 를 집적회로화 하는 문제에 많은 관심이 집중되고 있으며, 또한 systolic array 를 단일칩으로 집적시키기 위한 wafer scale systolic array 의 개발등에관한 연구가 많이 진행되고 있다.

본 논문에서는 3um Design rule 을 사용하여 systolic 셀의 회로를 설계하였으나, 이보다 작은 design rule 이 사용될 경우 데이터 처리 속도가

더욱 향상될 수 있다.

참고 문헌

(1) S. Y. Kung, " VLSI Array Processors " IEEE ASSP Magazine, Jul. 1985 (pp. 4)

(2) H.M . Ahmed, J.M. Delosme, M. Morf, "Highly concurrent computing structures for Matrix arithmetic and signal processing", Computer, Jan. 1982 (pp. 65)

(3) S.Y. Kung, H.J. Whitehouse and T. Kallath, "VLSI and modern signal processing", Prentice - Hall INC. 1985

(4) M.J. Foster and H.T. Kung, " The design of special purpose VLSI chips", Computer, Jan. 1980 (pp. 26)

(5) C. Mead and L. Conway, " Introduction to VLSI systems", Addison - Wesley, 1980

(6) 이문기, 정성익, 박춘성, 박종훈, "초대형 집적회로 설계 방법론 개발( CMOS 셀 데이터 베이스 구성) 연구과제 최종 보고서" 연세대학교 전자공학과, Jul. 1985

(7) 이문기, 정성익, 박춘성, 박종훈, " Yonsei - GSS CMOS standard cell library ", 연세대학교 전자공학과, Jul. 1985

(8) J.W. Cooley, and J.W. Tukey, "An algorithm for the machine calculation of complex Fourier series", Math. Computation vol.19 Apr. 1965, (pp.297)

(9) E.O. Brigham, "The Fast Fourier Transform" Prentice - Hall INC. 1974

(10) C.D. Thompson, "Fourier Transforms in VLSI", IEEE Trans. on Computer vol. c-32 No.11, Nov. 1983 (pp. 1047)

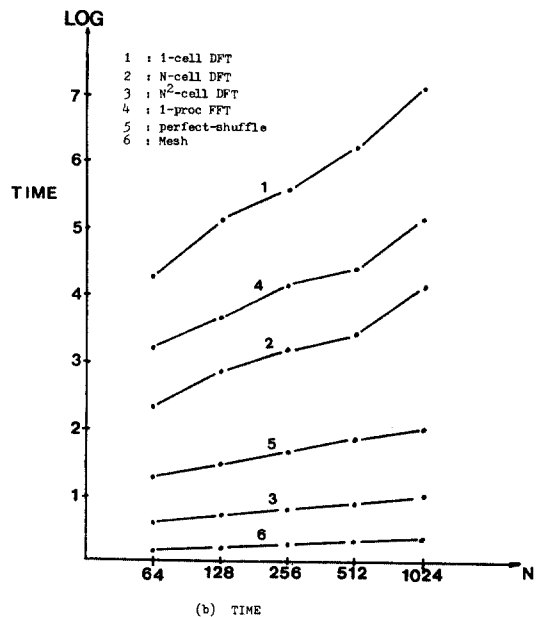
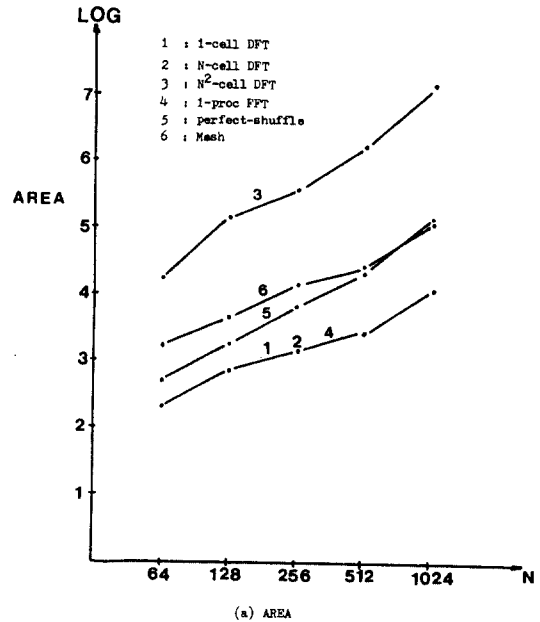
(11) H.T. Kung, "Why systolic Architectures ?" Computer, Jan. 1982 (pp. 37)

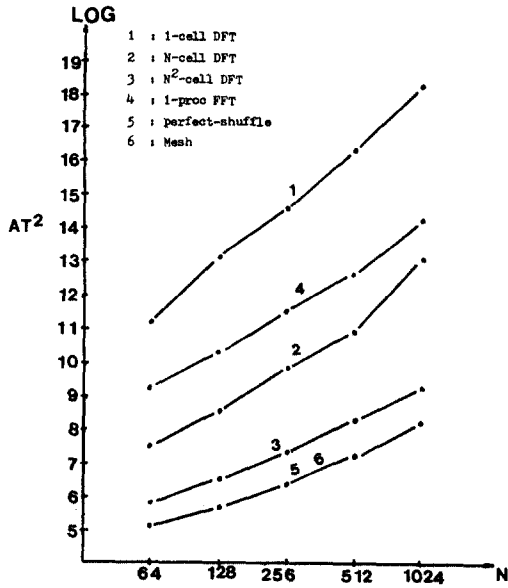
(12) J.V. McCanny and J.G. McWhirter, "Implementation of signal processing functions using 1 bit systolic arrays", Electronics letters, 18th, Mar. 1982 (pp.241)

(13) G. Rabbat, "Hardware and software concepts in VLSI", Van Nostrand Reinhold Company, 1983

(14) H.S. Lee, H. Mori, and H. Aiso, "Parallel processing FFT for VLSI implementation", The Trans. of the IECE of Japan, vol. E68, No.5, May, 1985 (pp. 284)

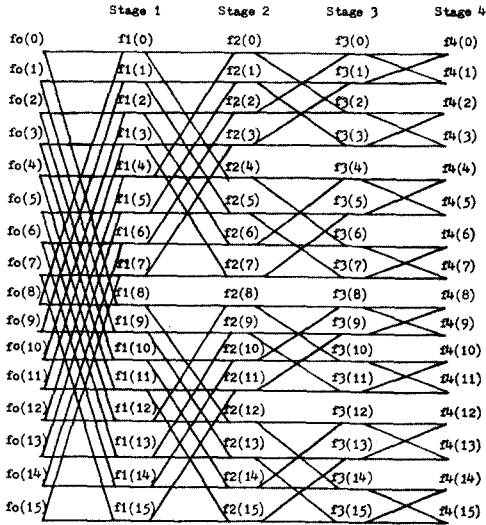
(15) R.W. Linderman, P.M. Chau, W.H. Ku, and P.P. Reusens, "CUSP : A 2-um CMOS digital signal processor", IEEE Journal of Solid - State circuits, vol. sc-20. No.3 Jan. 1985 (pp. 761)



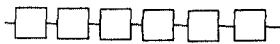


(c)  $AT^2$

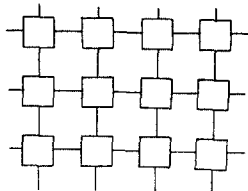
그림(1) FFT 연산 하드웨어의 성능 비교



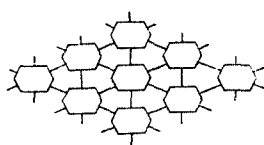
그림(2) FFT 연산의 흐름도



(a) 1-D systolic array

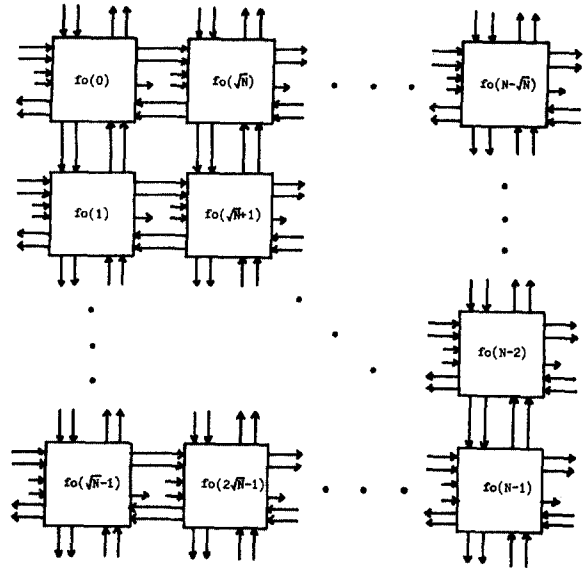


(b) 2-D systolic array

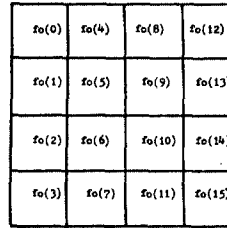


(c) Hexagonal systolic array

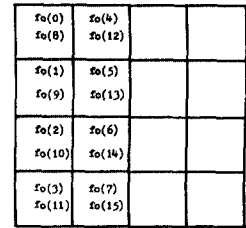
그림(3) 3중 systolic array



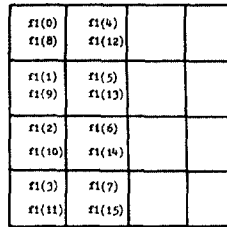
그림(4) FFT 연산을 위한 systolic array



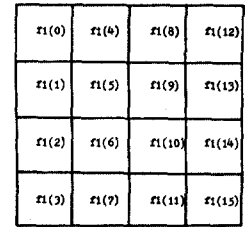
(a) 초기 데이터 입력



(b) 데이터 버퍼

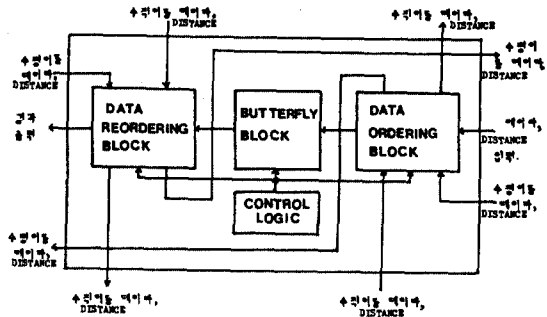


(c) Butterfly 연산

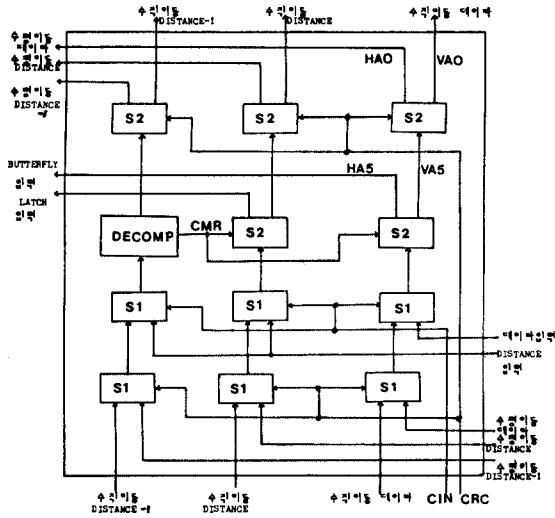


(d) 데이터 재배열

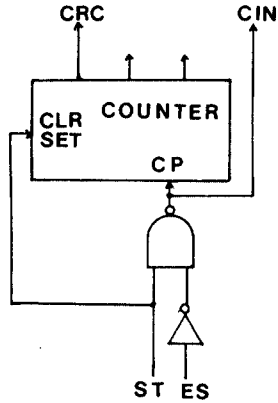
그림(5) systolic array 를 이용한 FFT 연산의 예 ( $N=16$ , stage 1)



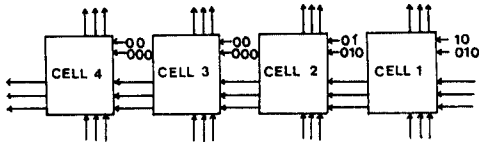
그림(6) 설계된 systolic array의 내부



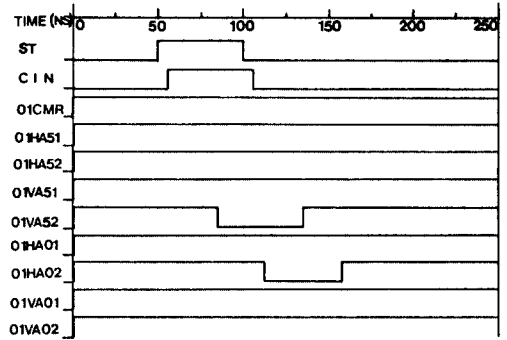
그림(7) 데이터 배선 회로  
단, S1 : Multiplexer  
S2 : Demultiplexer



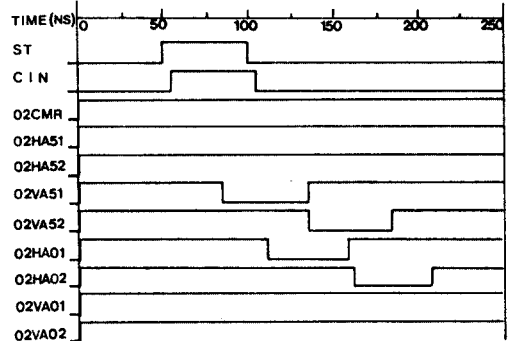
그림(8) 계이회로



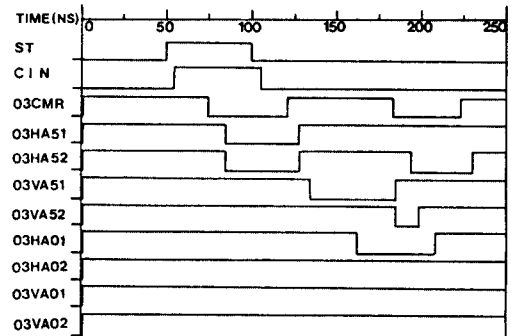
그림(9) 비트 스트림 배선을 위한 systolic array



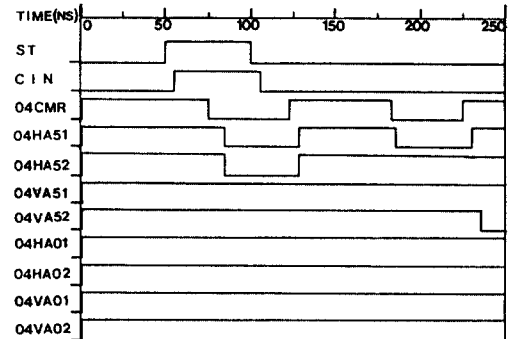
(a) CELL 1



(b) CELL 2



(c) CELL 3



그림(10) 서술 배선 결과 (d) CELL 4