

멀티 프로세서를 이용한 텔리텍스 터미널의 하드웨어 설계

박 광 호, 김 정 선
한국항공대학 전자공학과

Hardware Design of Teletex Terminal Using Multi-Processor

Kwang Ho Park, Jung Sun Kim
Dept. of Avionic Eng., Hankuk Aviation College

ABSTRACT

This paper describes the hardware design concept of Teletex terminal. Two approaches were studied in designing hardware that satisfies the requirements of Teletex terminal. One approach was to use one powerful processor with a multi-tasking executive. The other approach was to use several less powerfull processors where each handles functionally deferent job. The latter approach was taken with three processors being devided into performing Wordprocessing, File management and communication, thus forming loosely coupled multi-processing system

1. 서 론

텔리텍스 터미널의 기본기능은 문자단위로 코드화된 문서를 작성하고 전기 통신망을 통하여 작성된 문서를 상대방 터미널에 송신하며 다른 터미널에서 송신되는 문서를 수신하는 것이다.

이 터미널을 설계하는 데는 두가지 방법, 즉,
- 범용 워드프로세서에 텔리텍스 통신기능을 부가함으로써 텔리텍스 터미널을 실현시키는 방법
- 메모리를 가진 전자식 타자기에 텔리텍스 통신기능을 부가하는 방법

을 생각 할 수 있다. 후자의 방법은 저가격, 저 소비 전력화가 가능하므로 휴대용으로 발전가능한 것이나 미래의 확장성, 사용의 편의성면에서 전자의 워드프로세서 기능을 가진 터미널이 미래의 사무실용으로 보다 더 적합할 것이다.

본 논문에서는 이러한 워드프로세서 기능을 가진 텔리텍스 터미널의 하드웨어 설계 개념과 실현 방법에 관하여 소개하고자 한다.

2. 텔리텍스 터미널의 기능

텔리텍스 터미널의 기능은 크게 로컬(LOCAL)기능과 통신(COMMUNICATION) 기능으로 나뉘어진다. 각 기능을 세분화 해보면

- 로컬 기능
 - 문서의 작성, 편집
 - 문서의 인쇄
 - 문서의 보관, 검색
- 통신 기능
 - 작성된 문서의 송신
 - 다른 터미널로 부터 보내오는 문서의 자동 수신

등이 있다. 또한 이들 기능은 서로 독립적으로 수행되어 착신의 경우에 로컬기능 조작에 방해될 주어서는 아니되며, 문서의 송신시각을 임의로 지정하여 지정된 시각에 문서를 전송할 수 있는 시간관리기능도 포함되어야한다.

3. 방식 설계

앞에서 열거한 바와 같은 기능의 텔리텍스 터미널을 실현하기 위하여 하드웨어는 다음과 같은 기능들이 가능하도록 구성되어야 한다.

- 문자의 입출력 기능
- 문서의 검색, 보관 기능
- 텔리텍스 프로토콜 수행기능
- 로컬기능과 통신기능의 병렬 처리

이와같은 기능을 가진 하드웨어의 구성방법으로는

- 그림 1에서 보는 바와 같이 처리속도가 빠른 프로세서가 제어하는 Multi-tasking system 을 이용한 이들 기능의 병렬처리

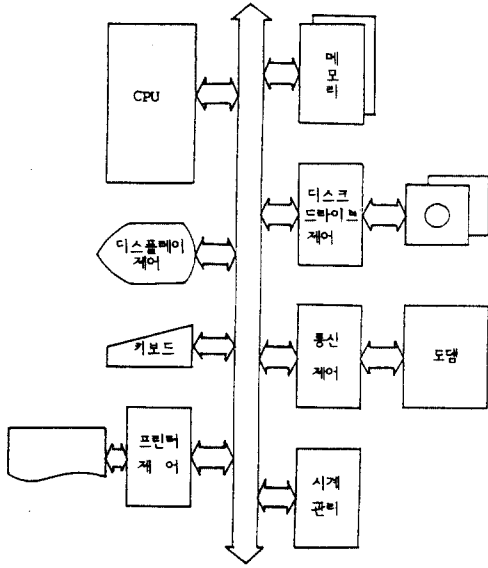


그림 1. Multi-tasking system 을 이용한 Local 기능과 통신기능의 병렬처리를 위한 하드웨어 구성도.

-범용 8 bit Processor 를 기능별로 할당하는 분산처리

방법을 생각할 수 있다. 전자의 방법은 Multi-processor 를 사용하는 경우에 필요한 프로세서간 통신을 위한 절차가 필요없으며 시스템 구성이 스마트한 점 등의 장점이 있다. 그러나, 개발시에 디버깅이 어려우며 기능의 추가 또는 수정이 힘들 뿐만 아니라 신뢰성면에서도 각 기능별로 볼때 부품의 수가 적은 분산처리 시스템이 모든 부품을 공유하는 집중처리의 경우 보다 우수 할 것이다. 특히, 국내에서는 한글 워드프로세서가 가능한 Multi-tasking system 이 필요한데 이를 위한 새로운 시스템의 제작은 많은 시간이 소요되며, 현재 국내에서 널리 사용중인 한글 워드프로세서를 그대로 사용하고, 이 하드웨어를 텔리텍스 통신용 어댑터로도 활용 한다는 관점에서 볼 때 후자의 방법이 타당하리라 생각된다.

따라서, 본 설계에서는 범용 8 bit microprocessor 를 이용한 Multi-processor 방식을 채택하였다.

이 방식의 경우 각 프로세서별 기능 분담을 적절히 하여 프로세서의 수를 최소화하는 문제가 대두된다.

먼저 워드프로세서 기능과 통신기능을 분리하여 2 개의 프로세서 만으로 구성하는 방법을 생각할 수 있으나 이 경우에는 보조기억장치의 관리를 어느 쪽에서 담당하느냐가 문제이다. 만약, 워드프로세서 기능을 수행하는 프로세서가 보조기억 장치를 관리하면 문서작성 중에 수신한 문서를 보관하려는 경우에는 로컬기능의 조작에 방

해를 주지않고 보관 할 수는 없으며, 그 역의 경우에도 마찬가지로 상대방의 기능수행에 지장을 초래하게 된다. 그러므로, 보조기억 장치를 관리하면서 문서의 보관, 검색을 담당하는 프로세서의 추가가 불가피하다. 이와 같은 이유로 인하여 여기서는 3 개의 프로세서를 사용하여 텔리텍스 터미널의 기능을 분산처리 하기로 하였다.

4. 하드웨어 설계 방침

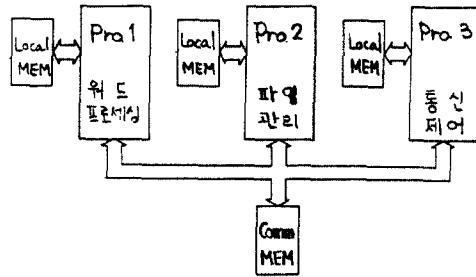
- 1) 멀티 프로세서 시스템에서 가장 중요한 것 중의 하나가 프로세서간 정보 전송방법이다. 여기서 3 개의 프로세서를 사용하여 기능을 분산처리하는 경우에 수신문서 혹은 워드프로세서에서 작성한 문서를 보관하거나 보관된 문서를 읽어내는 경우에는 파일관리 프로세서와 다른 프로세서 간에 필요한 데이터의 전송이 이루어 져야한다. 이 경우에 프로세서간 정보전송을 위한 하드웨어 구성방법은 여러 가지 방법이 있으나 다음과 같이 크게 2가지로 생각할 수 있다.

- Common memory 를 사용한 정보 전달(그림 2 참조)

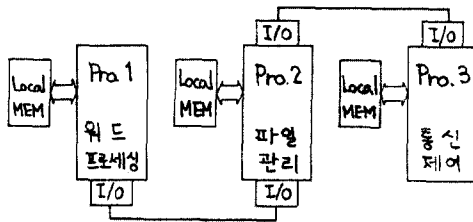
이 방법은 전송속도가 빠르므로 2개의 프로세서간 통신시에 다른 프로세서에서 통신을 요구하는 경우 대기시간이 짧아(문서 1페이지를 4 K byte 로 가정하고 4MHz의 system clock을 사용하는 Z80-A CPU 로 제어하는 경우에 페이지당 전송 시간은 약 40 msec 임) 대기시에 필요한 버퍼의 크기를 줄일 수는 있으나 공통메모리 관리를 위한 제어가 복잡해지며 기능의 추가 또는 변경이 어려워지므로 기능의 분산처리에 의하여 얻고자하는 효과가 감소된다. 또한, 워드프로세서를 기존의 것을 그대로 사용하고 이 터미널이 텔리텍스 통신 어댑터 형태로도 발전할 것을 고려한다면 이 방법은 부적당 하다.

- Input/Output (이하 I/O 라함) 디바이스를 이용한 정보전달

I/O 디바이스로서는 Parallel I/O 와 Serial I/O 를 생각할 수 있다. Parallel I/O 를 사용하는 경우에는 프로세서간의 연결이 복잡하고 제어가 Serial I/O 를 사용하는 경우 보다 복잡해지며 앞서서도 언급 한 것과 마찬가지로 통신 어댑터의 응용을 고려하면 기존의 모든 마이크로



a) Common Memory 를 이용한 정보전송



b) I/O 를 이용한 정보전송

그림 2. 프로세서간의 정보전송 방법

컴퓨터 혹은 워드프로세서가 RS-232C 채널을 가지고 있으므로 Serial I/O 를 사용하는 것이 바람직한 방법이다.

따라서, 여기서는 Serial I/O 디바이스를 이용한 프로세서간 정보전송 방법을 채택하고 통신 방식은 가장 간단한 비동기 통신방식을 사용하므로써 Multi-processor 의 사용에 따른 하드웨어 및 소프트웨어의 프로세서간 통신을 위한 부담을 극소화시키려 했다.

- 2) 파일관리를 위하여 가장 보급이 많이 된 범용 OS 인 CP/M 을 채택기로 함.
- 3) 보조기억장치는 5 1/4" Flexible Disk Cartridge를 채택기로 함.
 - 2대를 기본으로 하여 하나는 시스템 전체를 보관하도록 하고, 다른 하나만을 사용자에게 개방하여 문서를 보관하는 데 이용하도록 함.
- 4) Data Link Layer 기능 수행을 위해 전용 LSI 사용.
 - CCITT X. 25 / LAPB 의 기능을 수행할 수 있도록 설계된 LSI(WD 2511) 을 채택 함.
- 5) 공중 전화방에서의 전송속도는 최저한 2400 bps (Full Duplex) 까지 가능하도록 함.
- 6) 시간 감시 기능부여
 - 사용자가 지정한 특정시간에 사용자 없이도 문서를 송신하거나, 수신문서의 수신시간 기록 등을 위하여 RTC (Real Time Clock) 을 사용함.

5. 하드웨어 실현

전체적인 멀티텍스 터미날의 구성은 그림 3과 같다.

1) Wordprocessor 부

Wordprocessor 부 (이하 WP 라 함) 는 문서 작성, 편집 기능을 가진 부분으로 Z-80A CPU 를 사용하였다. WP 는 기본적으로 모든 처리가 WP 내의 메모리상에서 완료되는 것을 전제로 하였으며 작성된 문서의 보관 또는 검색이 필요한 경우에만 파일관리 프로세서와 통신을 하도록하였다. 따라서, 워드프로세싱 기능을 Firm Ware 와 하였고 직선 또는 사선을 마음대로 구사할 수 있도록 Bit-Map Display 방식을 사용하였다. 문서 작성을 위한 입력 부분인 Keyboard 는 1 - Chip microcomputer 인 Intel 8748 을 사용하여 한글, 영문을 모두 입력시킬 수 있으며, Z-80A SIO 의 1 Channel 을 통하여 Serial 비동기 통신을 한다.

2) File Server 부

File Server 부 (이하 FS 라 함) 는 WP 에서 편집된 문서를 보관하고, 필요시 인쇄하는 기능을 갖는다. 문서관리를 위하여 보조 기억장치로 5 1/4" Flexible Disk Cartridge 를 사용한다. 디스크에의 문서 보관과 검색을 위하여 FDC (Floppy Disk Controller) 와 DMA 를 사용함으로써 효율적인 데이터 전송을 꾀하였다. 보관된 문서를 인쇄할 수 있도록 프린터 와는 병렬로 인터페이스 하였다. FS 부의 메모리는, 인쇄 중 다른 기능의 요구가 있을 때 그에 필요한 프로그램을 다시 Load 하지 않고도 이를 수행할 수 있도록 충분한 영역을 확보하기 위하여, bank를 이용한 2 개의 64 K byte RAM 으로 설계되었다.

그리고, WP 에서의 문서보관 요구와 Communication Processor (이하 CP 라 함) 에서의 문서통신 요구를 처리하기 위하여 FS의 CPU 는 Polling 방식에 의해 두가지 요구에 응답할 수 있게 하였다.

일반적으로, 범용 Serial I/O LSI 는 1 byte 입력이 완료되거나 출력한 1byte 가 Serial Buffer 를 모두 빠져 나간 뒤 CPU 에 Interrupt 를 요구할 수 있는 기능을 가지고 있다. 이 방식을 사용할 경우, FS 에서 WP 혹은 CP로부터 요구한 Data 를 디스크에 Read 또는 Write 하는 중에, Interrupt 처리를 행하면 디스크에 R/W 하던 데이터는 분실되는 경우가 발생한다. 이 때문에 Interrupt 방식을 쓰기는 곤란하다. 따라서, 한쪽의 요구를 처리하는 동안 다른 한쪽은 1 byte 의 처리요구를 뜻하는 정보 (ENQ Code)를 FS의 SIO 입력 Reg. 에 기억되도록한 후, 앞서 말한 처리가 끝난 FS 의 CPU가 Polling 해 왔을때 입력 Reg. 내용을 참조하여 다른 한쪽의 요구가 틀림 없이 처리되도록 구성하였다.

이 경우의 문제점으로는 한 쪽과 통신을 하고 있을 때, 다른 한 쪽의 통신요구는 완전히 무시되므로, 대기하고 있는 쪽은 처리될 때까지 데이터를 보관할 수 있는 충분한 Buffer를 갖고 있어야 한다. Polling 방식 사용시에 최악의 경우 필요한 Memory 용량은 약 5.5 K byte 정도이며, 대기 시간은 약 20 초 정도이다. 이 값은 다음에 의해 계산되었다. 즉, 가정할 수 있는 최악의 경우는 WP 에서 FS 에 문서 보관을 요구하여 이를 처리 중에 CP 로부터 FS 에 수신 문서를 보관하려는 경우이다.

- i) WP 가 1 회에 제작할 수 있는 Data 의 최대량 : 30 K byte
- ii) 송신 속도 : 19200 bps (byte 당 0.57 ms - Start, Stop Bit 포함)
 - i) 의 송신 시간 : 30 K byte x 0.57 ms = 17.6 sec
- iii) Disk Write 시간 :
 - 30 [K byte] x 32 [us / byte] + 1 [sec] (seek, settling time) = 2 sec

이다. 즉, 총 대기 시간은 약 19.6 초가 된다. 그리고, CP 에서 필요로 하는 임시 Buffer 용량은 다음과 같다. HDLC 로 Format 하여 최대 2400 bps로 송수신할 경우 1 byte 당 전송속도는 3.48 ms 이고, 따라서 Buffer 용량은 19.6 [sec] / 3.48 [ms / byte] = 5600 [byte]이다. 이와 같은 검토 결과로 CP 에 준비할 Memory 영역은 적어도 6K byte 이상이 필요함을 알수 있으며, 본 하드웨어에서는 56K bytes 의 충분한 Buffer Memory 를 보유하고 있다.

3) Communication Processor 부

CP 는 세션 레이어 이하의 모든 텔리텍스 통신 프로토콜을 수행하며, 모뎀과도 직접 인터페이스 하는 부분으로서 텔리텍스 터미널의 하드웨어 중 가장 중요한 부분이다.

CP 의 하드웨어는 CCITT X.25/LAPB 의 기능을 수행하며 시간관리 기능도 가지고 있다. 동기통신 방식인 LAPB의 실현방법으로 범용 Serial I/O device를 사용하는 방법과 LAPB 기능을 완전히 처리해 주는 전용 LSI 를 사용하는 두가지 방법을 검토한 결과 소프트웨어 개발기간을 단축 (어셈블리 언어로 프로그래밍 할 때 Object code 로 Z80 SIO 를 사용한 경우 약 8 Kbyte, 전용 LSI 경우 약 2 Kbyte 의 용량임) 할 수 있고 반도체화 됨으로 인한 신뢰도 향상 측면을 고려하여 전용 LSI 를 사용하였다.

6. 결론

본 논문에서는 텔리텍스 터미널의 하드웨어 설계시 검토된 사항들에 대하여 소개하고 멀티프로세서를 사용하여 텔리텍스 터미널의 기능을 분산처리해낸 배경에 대하여 논하였다. 실제 이 하드웨어는 3장의 PCB 상에 각각 분산되어 있어, 기능의 변경, 추가, 보수 등이 용이하게 이루어 질수있게 되어있다. 예를들면, 어떤회사에서 워드프로세서를 LAN에 접속하여 사용하고 있는 경우에 WP 부분을 분리, LAN에 접속시켜 하나의 터미널 처럼 동작되게하고 WP가 제거된

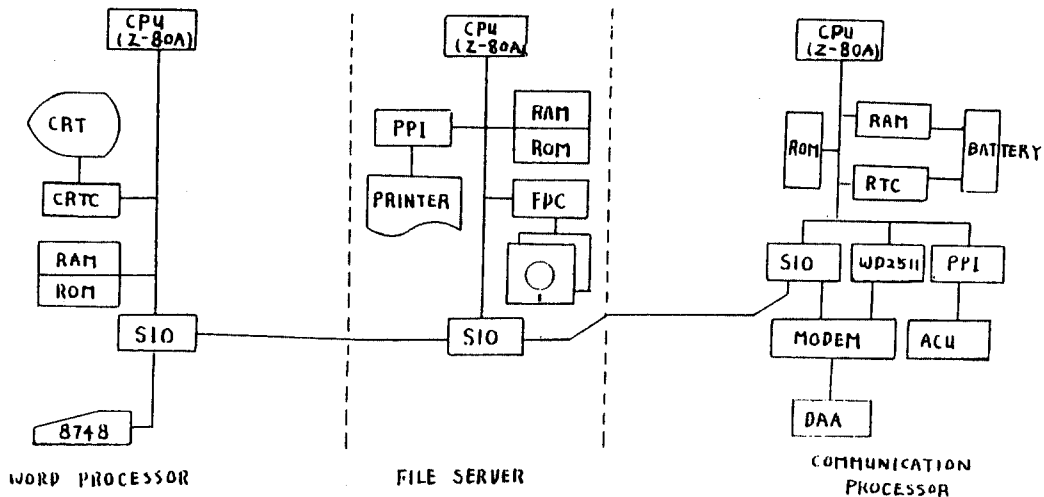
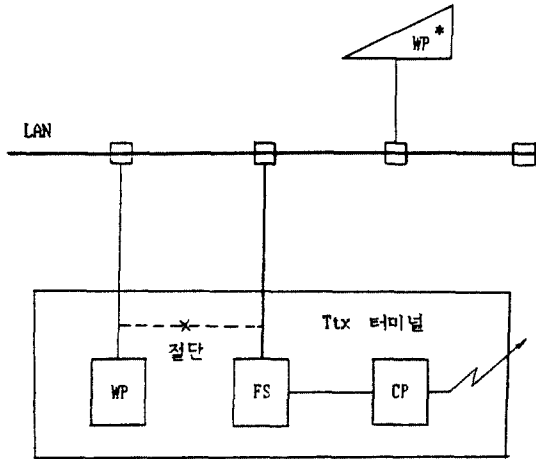


그림 3. 텔리텍스 터미널의 하드웨어 블럭도

FS 와 CP 만을 LAN 에 접속시켜 FS가 요구하는 Format 에 맞춰 데이터를 WP가 보내주기만 하면 CP를 통하여 외부(공중통신망)로 송신할 수있도록 용이하게 기능 확장이 가능할 수 있다. (그림 4 참조)

마지막으로, 텔리텍스 터미널 개발과제 책임자이신 강철희 박사님과 본 연구에 많은 도움을 주신 ETRI 관련 연구원 여러분께 감사드립니다.

본 연구는 한국전기통신공사의 출연금에 의하여 수행된 것입니다.



WP : Ttx WP
 * : 시판되는 WP

그림 4. 텔리텍스 터미널을 LAN에 접속할 때 가능한 기능 변경의 한계

7. 참고문헌

- (1) CCITT Recommendation X.25, X.75, T.62, T.70, T.61, T.60, F.200
- (2) John D. Day, Hubert Zimmermann, "The OSI Reference Model", Proc. IEEE, Vol.71, No. 12, pp1334-1340, DEC. 1983
- (3) Western Digital Co., "Network Products Handbook", 1983
- (4) 강철희 "텔리마틱 터미널의 프로토콜", 전자공학회 하계 종합 학술대회, VOL.7, NO.1, 1984
- (5) 한국전기통신연구소, "정보통신 시스템" 개발 및 시험사업(2) 중 신규 서어비스 기술개발에 관한 연구", Dec. 1983.
- (6) 한국전기통신연구소, "정보통신 시스템" 개발 및 시험사업(2) 중 신규 서어비스 기술개발에 관한 연구", Dec. 1984.
- (7) 강철희, 홍범기, 이창범, "KETRI 형 텔리텍스 터미널의 소프트웨어", 전자공학회 하계 종합 학술대회, VOL.7, NO.1, 1984
- (8) 김진현, 이동평, "KETRI 형 텔리텍스 터미널의 TRANSPORT LAYER 프로토콜의 설계 및 실현", 전자공학회 하계 종합 학술대회 VOL.7, NO.1, 1984
- (9) 정 해원, 정교일 "KETRI 형 텔리텍스 터미널의 DATA LINK LAYER 프로토콜의 설계 및 실현", 전자공학회 하계종합 학술대회, VOL.7, NO.1, 1984
- (10) J.L. Snare, "An Introduction to the CCITT Recommendation X.25 ", Telecomm. Journal of Australia Vol.33 NO.2, 1983