

MOS Capacitor 의 C-V 측정에 의한 불순물 분포 측정 에 관한 연구.
 A study of impurity distribution in MOS capacitor by
 C-V curvemeasurement

김 봉 흡
 김 진 주 *

한양대 교수
 한양대 대학원

1. 서 론

반도체 소자에 있어서 전기적 성질을 결정하는 중요한 요소중의 하나는 반도체 소자에 첨가되는 불순물의 농도라고 생각된다

불순물의 분포가 어떠한 분포로 되어 있는가에 따라 그 소자의 전기적 특성이 결정된다

불순물의 농도를 정확히 측정하는 데에는 여러가지 방법이 있으나 최근 ION-Implantation 방법의 사용이 점차 늘어 가는 경향이 있다

이제까지 보고된 바에 의하면 ION-Implantation 을 이용하는 대표적인 방법은 MOS 구조에서 Threshold-Volt 를 조정하는 데 사용되어 왔으나 본 연구 에서는 불순물의 분포를 측정하기 위해

MOS capacitor 을 만들어 그것의 Capacitance-volt 의 전기적 특성으로 부터 반도체 소자의 가까운 부분에 대하여 불순물의 분포 양상을 측정하여 보고자 한다

2. 본 론

1) 시료 제작

Mos capacitor 의 제작목적은 불순물의 분포를 측정하는 것이므로 그것에 맞추어 제작했다

Silicon wafer 의 결정방향은 (100)

이고 비저항은 2-4 $\Omega \cdot cm$ 이고

Ion implantation 의 Source 는

BORON 을 사용 하였으며 ENERGY 는 150 keV, Dose, 2.5×10^{10} 개/cm² 이다.

2) 이론

실험에 사용한 Ion implantation 에 대하여 간단히 살펴보면 Single crystal silicon wafer 에 불순물을 Ion beam 으로 Implantation 했을 때 Silicon 속의 불순물 분포상태는 Gaussian Distribution 을 이룬다.

$$N(x) = N_{max} \cdot \exp \left\{ \frac{-(x-Rp)^2}{2(\Delta Rp)^2} \right\}$$

Rp : Range, ΔRp : 표준편차. 이고 이것은 Input energy 에 의해 결정 된다.

3) 실험방법

실제로 분포되어 있는 불순물의 농도와 측정에서 계산한 불순물의 농도에는 오차가 있는데 그 중요한 원인을 다음 몇가지 구분하면서 계산했다

7. Si-SiO₂ interface 에서의 물리적 현상에 의한 오차

나. Depletion approximation 에 의한 오차

다. 제작과정에서 생기는 오차

라. 측정에서 생기는 오차

마. Series-resistance 에서 생기는 오차

3결 론

Semiconductor wafer 에서 불순물의 농도
분포를 측정하기 위하여 MOScapacitor
를 만들어 그것으로부터 Capacitance-
Voltage 을 측정하여 그 결과를
Wafer surface 부근에서의 불순물의
분포를 계산했다

,IEEE TRANSACTION ON ELECTRON DEVICES,Vol
ED-22, NO-6, pp319-329,1975.

7)EDWARD C. DOUGLAS, ANDREW G.F. DINGWALL,
"Ion Implantation for THreshold Control
in COSMOS Circuit" IEEE TRANSACTION ON
ELECTRON DEVICES, Vol ED-21,No6 pp324331,
1974.

4. 참고 문헌

- 1)E.H.NICOLLIAN and J.R.BREWS, MOS
(Metal Oxide Semiconductor) physics and
Technology,John Wiley& Son,1982.
- 2)J.VERJANS and R.JVAN OVERSTRAETEN,
"Measurement of the Electrical Impurity
Profile of Implanted Ions, Using the
Pulsed MOS C-V Technique", Solid-State
Electronics,VoL.18,PP911-916,1975.
- 3) E.E.DEAL,A.S.GROVE,E.H.SNOW and C.T.
SAH,"Observation of Impurity Redistribution
During Thermal Oxidation of Silicon
Using the MOS Structure", Journal of
Electrochemical Society, VoL.112,No3,
pp308-314,1965.
- 4)A.S.GROVE, Physics and Technology of
Semiconductor Devices,John Wiley and
Son,1967.
- 5) B.E.DEAL, M.SKLAR, A.S. GROVE,
and E.H. SMOW, "Characitor of the Sur-
face State Charge of THERMALLY Oxidized
SILICON", Journal of Electrochemical
Society.SOLID STATE SCIENCE,pp 266-274
,1967.
- 6) CHUNG P. WU,EDWARD C. DOUGLAS, CHARL
ES W. MUELLER, "Limitations of the
C-V Technique for Ion Implanted Profiles"