

Parallel R. O. E.에 의한 계통의 Simulation에 관한 연구

A Study on the Simulation of Systems by Parallel R. O. E.

윤석무\*

신명철

해군사관학교 전기공학과

성균관대학교 전기공학과

## 1. 서론

전력계통의 조류와 과도안정도 Simulation은 컴퓨터의 많은 연산시간을 필요로 하므로 계통의 해석시 컴퓨터의 연산시간과 기억용량을 감소시키기 위한 방법으로 가우스의 상부법과 절점의 선택방법에 의하여<sup>1</sup> 최적서열을 결정하고<sup>2</sup> 계통을 분할회로망으로 구성하여 각 분할행렬이 독립적으로 매우 스파스하도록 한다<sup>3</sup>. 또한 Parallel R. O. E.에 의한 계통의 Simulation을 위하여 계통을 BDFE의 행렬로 구성하고<sup>7</sup> Block Elimination과 LU Factorization의 알고리즘을 제시하며 Row-wise storage에 의한 LU Factorization을 계통의 Simulation 한 결과 Single Processor에 대한 Parallel Processor의 효율성을 제시하므로써 전력계통의 해석에 이용할 수 있도록 하였다. 그리고 본 논문에 사용된 컴퓨터의 기종은 UNIVAC 1100/60이다.

## 2. 본론

### 2.1 계통의 스파스 행렬법 적용.

전력계통의 행렬에 이용되는 대부분의 행렬은 스파스 행렬이며 어드미던스 행렬을 가우스의 상부법에 의한 삼각화 변환을 이용하면 스파시피의 보존을 가능하게 한다. 그리고 컴퓨터에 의하여 계통을 해석할 때 Parallel Processor의 효과는 계통행렬의 스파시피에 영향을 받게 되므로 대용량의 계통에 대하여도 영이 아닌 요소만 기억시키고, 처리하게 되면 컴퓨터의 데이터 기억용량을 감소 시킬 수 있다.

본 연구에서는 가우스의 상부법에 의하여 처리되는 동안에 Fill-in terms를 최소화하기 위하여 최적서열을 분할회로망으로 구성 적용하였다. 이러한 최적서열은 가우스의 상부법과 절점

의 선택방법에 의하여 결정되고 영이 아닌 요소가 대각선 부근에 집중되는 행렬로 된다. 한편 LU Factorization에 의한 직접해법은

$$[A][X]=[b]$$

$$[A]=[L][U], a_{ij}=\sum_{k=1}^n a_{ik}u_{kj} : u_{kk}=1 \\ [L][U][X]=[b], [U][X]=[Z]$$

전진과정에 의하여 해는

$$[L][Z]=[b]$$

$$z_i = (b_i - \sum_{j=1}^{i-1} b_j)/l_{ii}, \quad (i=1, 2, \dots, n) \\ \text{역행과정에 회하여}$$

$$x_i = z_i - u_{ij}x_j, \quad (i=n, n-1, \dots, 1)$$

인 해를 구한다. 그리고 계통을 분할회로망으로 구성한 후 최적서열의 앞로 리듬을 적용하면 분할행렬은 특히 독립적으로 스파스하고 블록그레이딩 과정에서 영이 아닌 요소만 기억시키고 처리할 때에 기억용량과 실행시간이 현저하게 감소된다.

### 2.2 Parallel Row-Ordered Elimination

선행방정식의 해법에는 Gauss-Jordan Elimination과 Triangular Factorization 그리고

Row-wise Storage와 Column-wise Storage가 있다. 본 논문에서는 Processor의 수와 개수 행렬의 크기가 같은 경우를 제외하고는 효과적인 Row-wise Storage의 LU 법이 연구되었다.  $n \times n$ 인 선형계통의 LU Factorization에 의한 해법은 스파스 행렬법에서 제시되었으며 확대 행렬 A에 벡터 b를 고려하면

$$[A|b] = \begin{bmatrix} \mathbf{Q}_1^T \\ \mathbf{Q}_2^T \\ \vdots \\ \mathbf{Q}_m^T \end{bmatrix}$$

와 같은  $n \times (n+1)$ 의 행렬이 구성되고 컴퓨터가

$m$  개의 Processor 를 필요로 하였다면 확대 행렬  $A$ 는  $m$  개의 기억장치에 저장되어 Parallel Processor 에 영향을 주게 된다. 이러한 영향은 효과적으로 수행할 수 있는 Row wise Storage 방법은 그림 1과 같다.

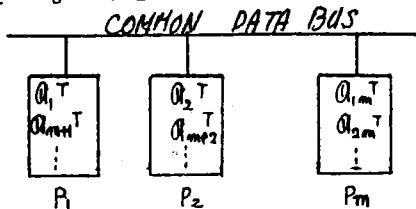


그림 1. Row-wise Storage

한편 영이 아닌 요소수가 12인 개별 행렬  $A$ 에 대한 DATA STRUCTURE 는 그림 2와 같다.

	$X_1$	$X_2$	$X_3$	
$X_4$	$X_5$			
		$X_6$		
$X_7$		$X_8$		
	$X_9$		$X_{10}$	
		$X_{11}$	$X_{12}$	

Row Number 1. 2. 3. 4. 5. 6.

Row point Array 1. 4. 6. 7. 9. 11. 13  
Column Index Array 1. 3. 5. 7. 1. 2. 3. 7. 11. 2. 5. 4. 6.

Floating Point Value  $x_1, x_2, x_3, x_4, x_5, x_6, x_7, x_8, x_9, x_{10}, x_{11}, x_{12}$ .

그림 2 Data Structure.

### 2.3 Block 행렬에 대한 해석

전체 개별은 상호 연결되어 있는 분할화로 당으로 구성할 수 있으며 이에 대한 마디어드 미턴스 행렬은 그림 3과 같이 BDBF 와 LU Factorization 으로 되어 있다. Block Elimination 은  $[A][x]=[b]$  인 방정식의 해를 구하는 데 적용되며 행렬  $A$ 는 그림 3과 같이 분할 행렬로 구성되고

$$y = (y_1, \dots, y_{k+1}) \\ b = (b_1, \dots, b_{k+1})$$

이므로

$y_i$  및  $y_{k+1}$ 의 해는 다음과 같은 방법으로 구한다.

$$A_{ii}y_i + A_{i,k+1}y_{k+1} = b_i \quad (i=1, 2, \dots, k)$$

$$\sum_{j=1}^k A_{k+1,j}y_j + A_{k+1,k+1}y_{k+1} = b_{k+1}$$

$$\text{따라서 } y_i = A_{ii}^{-1}b_i - A_{ii}^{-1}A_{i,k+1}y_{k+1}$$

$$(A_{k+1,k+1} - \sum_{j=1}^k A_{k+1,j})y_{k+1} = b_{k+1} - \sum_{j=1}^k b_j$$

$$\text{여기서 } A_i^{-1} = A_{k+1,i}^{-1}A_{ii}^{-1}A_{i,k+1}$$

$$b_i' = A_{k+1,i}^{-1}b_i$$

$A_{ii}, A_{i,k+1}, A_{k+1,i}$ 는 Processor  $i$ 에 기억되고  $A_i^{-1}$ 와  $b_i'$ 는 Processor  $k$ 와 동시에 병렬로

처리되어 또한 Processor  $k$ 는 Parallel R.O.E.에 의하여  $y_{k+1}$ 의 해를 구하는데 이용된다.

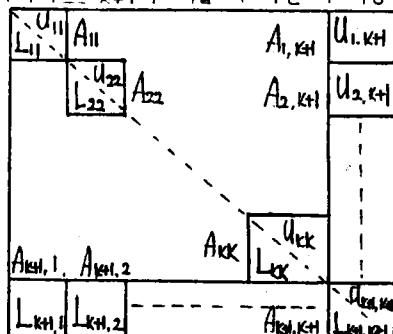


그림 3. BDBF 와 LU 의 구성

그림 3은 LU Factorization 에 대하여 동일하게  $A_{i,k+1}$  와  $A_{k+1,k+1}$  가 Processor  $i$ 에 기억되고  $A_{k+1,k+1}$  가 Processor  $k$ 가 대각선 Block 의 LU Factorization 을 처리하게 된다.

$$A_{k+1,k+1} = \sum_{i=1}^{k+1} L_{k+1,i} U_{i,k+1} \\ A_{k+1,k+1}' = L_{k+1,k+1} U_{k+1,k+1} \\ = A_{k+1,k+1} - \sum_{i=1}^{k+1} L_{k+1,i} U_{i,k+1}$$

$L_{k+1,i}$  와  $U_{i,k+1}$ 는 Processor  $i$ 에서 기억되고 처리되므로  $L_{k+1,i} U_{i,k+1}$ 의 값은 역시 Processor  $i$ 에서 처리되며  $A_{k+1,k+1}'$ 는 Processor  $k$ 에서 처리된 후 Parallel R.O.E.에 의하여  $A_{k+1,k+1}'$ 에 대한 LU Factorization 을 행한다. 이와 같은 방법으로 전진과정과 역행과정에 의하여  $y$ 에 대한 해를 구하게 된다.

### 3. 모델계통에의 적용

Parallel R.O.E.에 의한 계통의 Simulation 을 위하여 21모선 28선로의 모델계통에 분할화로 당에 의한 최적설계의 알고리즘을 적용하고 그 형태를 갖는 행렬을 구성하여 적용한 결과 모델계통의 행렬이 각열에 대하여 평균적으로 영이 아닌 요소가 3.7%이므로 대각선과 Border Block 의 Factorization 및 Forward Elimination 은 Processor  $k$ 의 수가 4 이상에서 Multiplication, Multiplication-Addition 의 연산회수에 대한 변화가 없으며 Index Array는 Processor  $k$ 의 수에 반비례하여 실행 시간이 감소됨을 알 수 있었다. 그리고, 일반적으로 전력계통은 열에 대한 영이 아닌 요소 수가 매우 적고 스팸스 하므로 Processor  $k$ 의 수를 적게 필요로 하게 된다.

### 4. 결론

본 논문에서는 분할화로 망에 의한 쪐작서열의 알고리즘을 개발, 적용하여 계통의 행렬을 매우 스파스 하도록 구성하고 Parallel R.O.E.에 의한 알고리즘을 개통에 적용 Simulation 한 결과 컴퓨터의 Index Array 및 인산회수에 대하여 Single Processor 와 Parallel Processor 를 비교 하므로써 Parallel Processor 의 효율성을 확증하였다.

따라서 Processor 의 수와 스파시티의 영향을 고려하여 전력계통의 조류, 과도 안정도 해석 및 경제적 운용에 활용할 수 있도록 하였다.

### 참 고 문 헌

- (1) J.K.Reid; Large Sparse Sets of Linear Equations. Academic Press, 1971.
- (2) W.F.Tinney and J.W.Walker; Direct Solution of Sparse Network Equations by Optimally Ordered Triangular Factorization. Proc.IEEE, Vol.55, pp 1801-1809, 1967.
- (3) W.F.Tinney; Optimal Ordering for Sparsity Coupled Subnetwork, 1968.
- (4) E.C.Ogbucbir, W.F.Tinney and J.W.Walker; Sparsity-Directed Decomposition for Gaussian Elimination on Matrices. IEEE Trans, PAS-89 no1, pp141-150, 1970.
- (5) F.G.Gustavson; Some Basic Techniques for Solving Sparse Systems of Linear Equations; in Sparse Matrices and Their Application. Plenum, 1972, pp41-52.
- (6) J.A.George; Block Elimination on Finite-Element Systems Equations. Plenum, 1972.
- (7) J.Fong; Large scale Power System and Nonlinear Network Simulation via Simple Parallel Microcomputer Structures. Ph.D.dissertation, Cornell University, May, 1978.