

최영호	(연세 대학교)
전계식	(경희 대학교)
황남찬	(연세 대학교)

1. 서론

본 연구에서는 음향전기 콘벌버에 비해 반도체 아택의 공극에서 정확히 기준신호와 외부신호가 일치되도록 정확한 Timing 을 요구하지 않고 반도체의 Surface State 에 기준신호인 입력신호를  $2k$  형태로 저장시킨후, Read Out 신호를 인가하여 반도체의 비선형 효과 및 반도체 위에 증착된 전극에 의하여 공간적인 적분연산을 수행함으로써 반도체 표면에 저장된 신호와 Read Out신호와의 코릴레이션 출력을 얻을 수 있는 기억 코릴레이터를 제작하고 소자의 동작 특성을 조사하였다. 또한 Silicon 표면에 Single Surface State가 존재한다는 가정하에서 저장과정과 비선형 효과에 대하여 간단한 모델을 전개하였다.

실험에서는 압전재료인  $YZ-LiNbO_3$  위의 양단의 한면에 중심 주파수 100MHz 인 IDT (와 50MHz 인 IDT 를, 다른 한면에 중심 주파수 50MHz 인 IDT 를 포토리토그라피방법으로 Al 증착하여 탄성표면파 지연선을 제작하고, 비계항율이  $10\Omega\text{-Cm}$  인 고품질 실리콘을 약 주권 자연 대기중에서 방치함으로써 Surface State를 갖는 실리콘 시편을 제작하여 이를 탄성표면파 지연선 위에  $1500\text{\AA}$ 의 일정한 공극을 유지하도록 장착하여 기억 코릴레이터를 제작하고자 하며, 통신 방식에서 프로그램이 가능한 오토코릴레이션 정합필터로 응용될 수 있음을 제시하고자 한다.

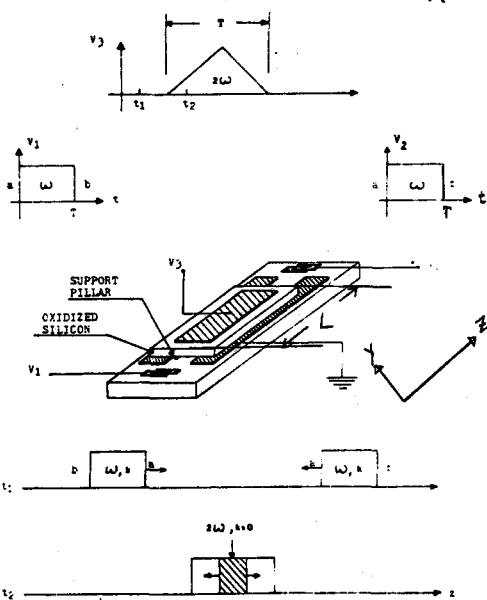
2. AE 콘벌버의 동작 원리

그림과 같이 음향전기 콘벌버의 구조는 압전 물질의 하면에 금속을 증착하고, 접연체인 압전 물질과 일정한 공극을 유지하도록 반도체 Strip 을 장착한 MIS 구조로서, 시간 변이는 서로

반대방향으로 진행되는 SAW 를 지연선의 양단에 증착된 두 IDT 에서 여기함으로써  $V_1$  과  $V_2$  를 얻을 수 있고, 급성연산은 두 IDT 에서 여기된 SAW 의 관계가 반도체 아택의 공극을 통하여 반도체와 결합됨으로써 반도체의 비선형성에 의하여 구해진다. 그리고 반도체 내부에 여기된 신호는 반도체위에 증착된 전극에 의하여 전극의 길이 L 에 대하여 공간적으로 적분연산이 수행됨으로써 식 (2-1) 과 같은 콘벌루션 출력을 얻는다.

$$V_{op}(t) = A * \exp(j\omega t) \int_{-\frac{L}{2}}^{\frac{L}{2}} V_1(t-\tau) * V_2(t+\tau) d\tau$$

$$V_{op}(t) = A * \exp(j\omega t) \int_{-\frac{L}{2}}^{\frac{L}{2}} V_1(\tau) * V_2(t-\tau) d\tau \dots \text{식(2-1)}$$

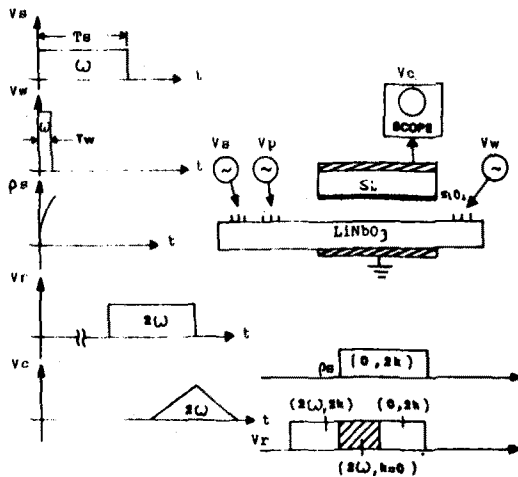


(그림 2-1) AE 콘벌버의 동작 원리

따라서 (그림 2-1) 와 같이 구형펄스로 변조된 두 입력신호  $V_1, V_2$ 로 인가하면, 전극의 길이, 즉 격분길이 내에서 인가한 두 신호의 겹치는 부분의 크기에 따라 콘벌루션 출력은 비례하며, 두 신호가 반도체아태의 공극에서 완전히 겹쳤을 때 콘벌루션 출력은 최대가된다.

### 3. Memory Correlator 의 동작 원리

반도체의 Surface State를 이용한 기억 코릴레이터의 구조는 압전물질의 표면에 증착된 3개의 IDT 와 압전물질의 표면의에 일정한 공극을 유지하도록 반도체를 설치한 구조로서 2개의 IDT 는 중심 주파수가  $\omega$ 이고, 1개의 IDT 는 중심 주파수가 이다.



(그림 3-1) 기억 코릴레이터의 동작원리

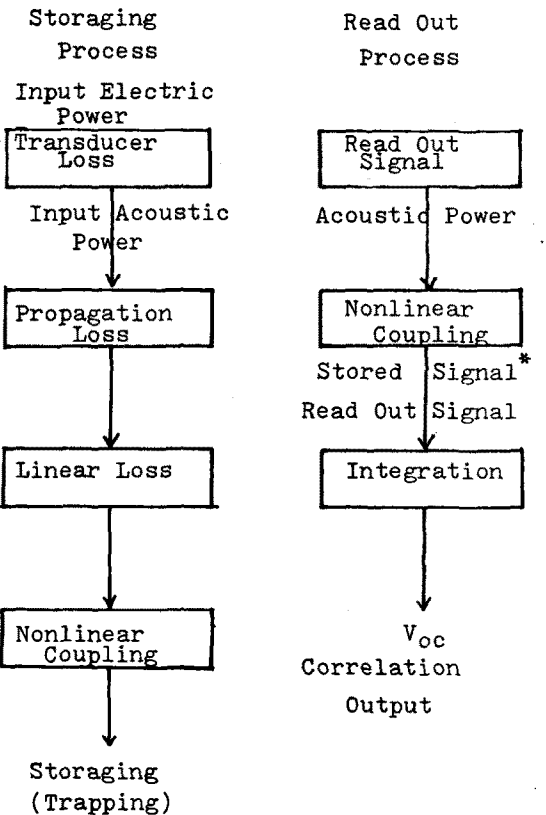
또한 반도체는 약  $1500\text{\AA}$ 의 두께로 산화막을 형성시킨 후, HF 용액으로 산화막을 제거시키고 약 2주간 자연상태에서 얇은 산화막을 형성시킨다. 즉 기억 코릴레이터의 구조는 그림(3-1)과 같이 음향전기 콘벌루션에 비해 중심 주파수가  $2\omega$ 인 가 1개 더 설치되었으며 반도체 표면에 얇은 산화막을 형성시킨 구조이다.

기억 코릴레이터의 동작은 1) 입력신호  $V_s$  와 Writing 신호  $V_w$  에 의한 반도체 표면의 비선형 효과를 이용하여 반도체 표면에 입력신호의 진폭에 비례하는 공간 전하분포의 형성과 동시에 저장시키는 과정과 2) 또 다른 입력신호인 Read Out 신호를 인가하였을 때 반도체의에 증착된 전극의 길이에 따라 반도체의 비선형 효과 및 공간적인

적분연산에 의해 저장된 신호와 Read Out 신호의 코릴레이션을 얻는 두 가지과정으로 구분된다.

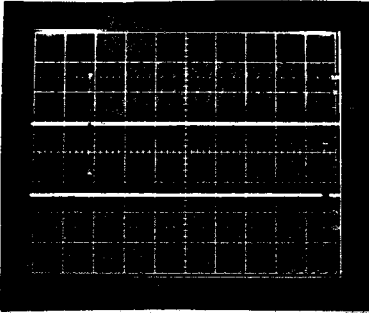
저장되는 과정은 입력신호 와 짧은 펄스인 Writing 신호를 압전물질 양단에 증착된 중심 주파수  $\omega$ 인 두 IDT 에 인가하면, 두 IDT 에서 SAW 가 여기되어 서로 반대 방향으로 진행하며 이는 반도체 아래의 공극을 지날때 반도체 표면의 전하와 결합되며 반도체의 비선형 효과에 의해 입력신호  $V_s$  와 짧은 펄스인 Writing 신호  $V_w$  두 신호의 곱셈연산이 행하여짐과 동시에 반도체의 Trap 에 의하여 공간적으로 두 배압축된 파형이 반도체 표면에 저장된다.

Read Out 과정은 또 다른 신호인 Read Out 신호  $V_r$  을 중심주파수  $2\omega$ 인 IDT 에 인가 하면 SAW 가 여기되어 진행하며 이는 반도체아태의 공극에서 반도체의 비선형 효과 및 공간적인 적분연산에 의해 반도체 표면에 저장된 신호와 코릴레이션 출력을 얻을 수 있다. 이와 같은 기억 코릴레이터의 동작원리를 블록선도로 표시하면 그림(3-2)와 같다.

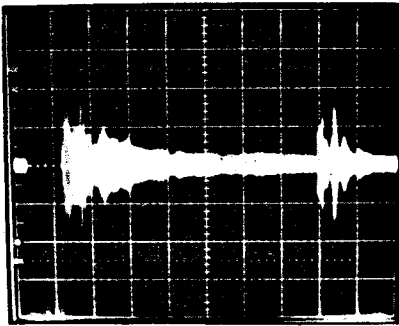


(그림 3-2) 기억 코릴레이터의 블록선도

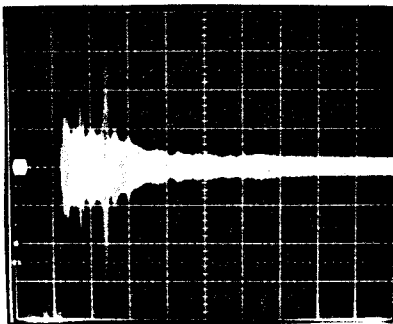
#### 4. 실험 결과



50MHz로 펄스 변조된 입력신호 및 Writing 신호



코릴레이션 출력



코릴레이션 출력

#### 5. 결론

압전물질인  $YZ-LiNbO_3$  위의 양단의 한면에 중심주파수 50 MHz인 IDT와 100 MHz인 IDT를, 다른 한면에 중심주파수 50MHz인 IDT 7개를 포토리토그래피방법으로 Al 증착하여 탄성 표면파 지연선을 제작하고, 비저항율  $10^{-6} \Omega\text{-cm}$ 인 N형 실리콘을 약 2주간 자연대기중에서 40A의 산화막을 형성함으로써 Surface State를 갖는 실리콘 시편을 제작한 후, 이를 탄성 표면파 지연선위에 1500 A의 일정한 공극을 유지하도록 장착하여 반도체의 Surface State를 이용한 기억 코릴레이터를 제작하였다.

그리고 탄성 표면파 지연선 양단에 증착된 중심주파수 50 MHz인 IDT에 50MHz로 펄스 변조된 입력신호와 Writing 신호를 인가하여 반도체 표면에 공간적으로 2배 압축된 입력 신호의 파형을 저장하고, 또 다른 입력신호인 Read Out 신호를 100MHz로 펄스 변조하여 중심주파수 100MHz인 IDT에 인가하여 코릴레이션 출력을 얻었다.

그러므로 코드화된 입력 신호와 짧은 펄스인 Writing를 탄성 표면파 지연선 양단에 증착된 IDT에 인가하여 실리콘 표면에 코드화된 신호를 저장시키고, 중심주파수 2( $\omega$ )인 IDT에 입력신호의 반인 코드화된 Read Out 신호를 인가할 경우 오토코릴레이션 출력을 얻을 수 있는 가능성을 타진함으로써 통신 방식에서 오토코릴레이션 결합 필터로 응용될 수 있음을 제시하였다.

#### 5. 참고 문헌

1. 황금찬, 최영호, 권계석, "SAW Convolver를 이용한 스펙트럼 확산 통신 방식에 관한 연구," 한국 음향 학회지, 1982.1
2. K.C.Whang, "SAW PN Diode Memory Correlator," Ph.D Dissertation Polytechnic Institute of New York, 1979.
3. J.H.Cafarella, Sc.D. Thesis, Dept. of Electrical Eng., M.I.T., Cambridge (February 1975).
4. G.S.Kino and H.Gautier, "Convolution and Parametric Interaction with Semiconductor." J.Appl. Phys.